

### 产品特性

- 可控制4 V至60 V范围内的电源电压
- 低压差反向电源保护的栅极驱动
- P沟道FET的栅极驱动
- 浪涌限流控制
- 可调限流
- 折返限流
- 发生电流故障时执行自动重试或锁定
- 支持安全工作区(SOA)的可编程限流定时器
- 电源良好和故障输出
- 模拟欠压(UV)和过压(OV)保护
- 16引脚、3 mm x 3 mm LFCSP封装
- 16引脚QSOP

### 应用

- 工业模块
- 电池供电/便携式仪器仪表

### 概述

ADM1270是一款限流控制器，能够为模块化或电池供电系统提供浪涌限流和过流保护。将电路板插入带电背板时，已放完电的电源旁路电容会从背板电源总线汲取大瞬态电流以便充电。这种瞬态电流可能会导致连接器引脚永久性损坏，以及背板电源电压下降，进而引起系统中的其它电路板复位。

ADM1270设计为在系统上电时通过外部P沟道场效应晶体管(FET)控制浪涌电流。

为了保护系统免受反向极性输入电源的损害，采取了一定措施控制额外的外部P沟道FET。该特性可防止极性接反时的反向电流损坏负载或ADM1270。

ADM1270采用3 mm x 3 mm、16引脚LFCSP和16引脚QSOP封装。

### 简化功能框图

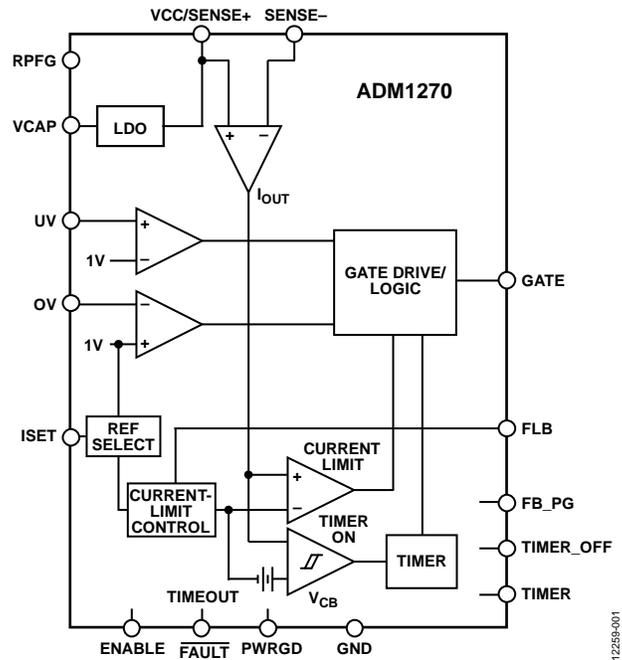


图1.

Rev. 0

### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

## 目录

产品特性 .....	1	电流检测输入 .....	16
应用 .....	1	限流基准电压 .....	16
概述 .....	1	设置电流限值(ISET) .....	16
简化功能框图 .....	1	折返 .....	17
修订历史 .....	2	TIMER .....	17
技术规格 .....	3	TIMER_OFF .....	18
绝对最大额定值 .....	5	热插拔重试占空比 .....	18
热特性 .....	5	栅极和RPFG箝位 .....	19
ESD警告 .....	5	对严重过流的快速响应 .....	19
引脚配置和功能描述 .....	6	欠压和过压 .....	19
典型性能参数 .....	9	使能输入 .....	19
典型应用电路 .....	14	电源良好 .....	20
工作原理 .....	15	外形尺寸 .....	21
为ADM1270供电 .....	16	订购指南 .....	21

## 修订历史

2014年12月—修订版0：初始版

## 技术规格

除非另有说明,  $V_{CC}/V_{SENSE+} = 4\text{ V至}60\text{ V}$ ,  $V_{SENSE-} = (V_{SENSE+} - V_{SENSE-}) = 0\text{ V}$ ,  $T_A = -40^\circ\text{C至}+125^\circ\text{C}$ 。

表1.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
<b>电源</b>						
工作电压范围	$V_{CC}$	4		60	V	
静态电流	$I_{CC}$		360	500	$\mu\text{A}$	GATE开启
<b>UV引脚</b>						
输入电流	$I_{UV}$		0.005	0.2	$\mu\text{A}$	$UV \leq 5.5\text{ V}$ , $T_A = -40^\circ\text{C至}+85^\circ\text{C}$
			0.005	1	$\mu\text{A}$	$UV \leq 5.5\text{ V}$ , $T_A = -40^\circ\text{C至}+125^\circ\text{C}$
UV阈值	$UV_{TH}$	0.985	1.0	1.015	V	UV下降
UV阈值迟滞	$UV_{HYST}$	55	60	65	mV	
UV毛刺滤波器	$UV_{GF}$	4		7	$\mu\text{s}$	50 mV过驱
UV传播延迟	$UV_{PD}$		6	8	$\mu\text{s}$	UV低电平至GATE下拉电路有效
<b>OV引脚</b>						
输入电流	$I_{OV}$		0.005	0.2	$\mu\text{A}$	$OV \leq 5.5\text{ V}$ , $T_A = -40^\circ\text{C至}+85^\circ\text{C}$
			0.005	1	$\mu\text{A}$	$OV \leq 5.5\text{ V}$ , $T_A = -40^\circ\text{C至}+125^\circ\text{C}$
OV阈值	$OV_{TH}$	0.985	1.0	1.015	V	OV上升
OV阈值迟滞	$OV_{HYST}$	25	30	35	mV	
OV毛刺滤波器	$OV_{GF}$	0.5		2.0	$\mu\text{s}$	50 mV过驱
OV传播延迟	$OV_{PD}$		1.5	2.5	$\mu\text{s}$	OV高电平至GATE上拉电路有效
<b>SENSE-</b>						
输入电流	$I_{SENSE-}$	20	40	70	$\mu\text{A}$	$SENSE- = 60\text{ V}$
<b>VCAP引脚</b>						
内部调节电压	$V_{VCAP}$	3.546	3.6	3.636	V	$0\ \mu\text{A} \leq I_{VCAP} \leq 1\ \text{mA}$ , $C_{VCAP} = 1\ \mu\text{F}$
欠压闭锁	UVLO					
上升	$UVLO_{RISE}$			3.4	V	$V_{CC}$ 上升
下降	$UVLO_{FALL}$	3.0			V	$V_{CC}$ 下降
迟滞	$UVLO_{HYST}$		230		mV	
<b>ISET引脚</b>						
输入电流	$I_{ISET}$		0.005	0.2	$\mu\text{A}$	$V_{ISET} \leq V_{VCAP}$ , $T_A = -40^\circ\text{C至}+85^\circ\text{C}$
			0.005	1	$\mu\text{A}$	$V_{ISET} \leq V_{VCAP}$ , $T_A = -40^\circ\text{C至}+125^\circ\text{C}$
基准电压选择阈值	$V_{ISETRSTH}$	2.55	2.6	2.65	V	如果 $V_{ISET} > V_{ISETRSTH}$ , 则使用内部基准电压( $V_{CLREF}$ )
内部基准电压源	$V_{CLREF}$		2		V	精度包括在检测电压总精度中
电流检测放大器增益	$AV_{CSAMP}$		40		V/V	精度包括在检测电压总精度中
<b>RPFPG引脚</b>						
反向保护FET栅极驱动电压	$V_{RPFPG}$		0		V	$V_{CC} \leq 10\text{ V}$
反向保护FET栅极驱动电压偏移	$\Delta V_{RPFPG}$	10	12	14	V	$\Delta V_{RPFPG} = V_{CC} - V_{RPFPG}$ , $60\text{ V} \geq V_{CC} \geq 14\text{ V}$ , $I_{RPFPG} \leq 5\ \mu\text{A}$
RPFPG下拉(开启)电流	$I_{RPFPGND}$	7	9	12	$\mu\text{A}$	$V_{RPFPG} = V_{CC}$
<b>GATE引脚</b>						
GATE驱动电压	$\Delta V_{GATE}$	10	12	14	V	$\Delta V_{GATE} = V_{CC} - V_{GATE}$ , $60\text{ V} \geq V_{CC} \geq 14\text{ V}$ , $I_{GATE} \leq 5\ \mu\text{A}$
GATE下拉(开启)电流	$I_{GATEDN}$	20	25	30	$\mu\text{A}$	$V_{GATE} = V_{CC}$
GATE上拉(关闭)电流	$I_{GATEUP}$					
调整率	$I_{GATEUP\_REG}$	-50	-65	-80	$\mu\text{A}$	$\Delta V_{GATE} \geq 2\text{ V}$ , $(V_{SENSE+} - V_{SENSE-}) = 70\text{ mV}$
故障	$I_{GATEUP\_FLT}$	-7	-13	-20	mA	$\Delta V_{GATE} = 2\text{ V}$

# ADM1270

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
电流检测电压						
检测电压电流限值 ( $V_{SENSE+} - V_{SENSE-}$ )	$V_{SENSECL}$	47	50	53	mV	$V_{ISET} > 2.65\text{ V}$ , $V_{FLB} > 1.1\text{ V}$ , $\Delta V_{GATE} = 3\text{ V}$ , $I_{GATE} = 0\text{ }\mu\text{A}$
折返无效			62.5		mV	$V_{ISET} = 2.5\text{ V}$ , $V_{FLB} > 1.35\text{ V}$ , $\Delta V_{GATE} = 3\text{ V}$ , $I_{GATE} = 0\text{ }\mu\text{A}$
		47	50	53	mV	$V_{ISET} = 2\text{ V}$ , $V_{FLB} > 1.1\text{ V}$ , $\Delta V_{GATE} = 3\text{ V}$ , $I_{GATE} = 0\text{ }\mu\text{A}$
		22.5	25.0	27.5	mV	$V_{ISET} = 1\text{ V}$ , $V_{FLB} > 0.57\text{ V}$ , $\Delta V_{GATE} = 3\text{ V}$ , $I_{GATE} = 0\text{ }\mu\text{A}$
		10.0	12.5	15.0	mV	$V_{ISET} = 0.5\text{ V}$ , $V_{FLB} > 0.3\text{ V}$ , $\Delta V_{GATE} = 3\text{ V}$ , $I_{GATE} = 0\text{ }\mu\text{A}$
折返有效		7	10	13	mV	$V_{FLB} = 0\text{ V}$ , $\Delta V_{GATE} = 3\text{ V}$ , $I_{GATE} = 0\text{ }\mu\text{A}$
		22	25	28	mV	$V_{ISET} > 2\text{ V}$ , $V_{FLB} = 0.5\text{ V}$ , $\Delta V_{GATE} = 3\text{ V}$ , $I_{GATE} = 0\text{ }\mu\text{A}$
断路器偏移	$V_{CBOS}$	0.5	1	1.5	mV	断路器触发电压, $V_{CB} = V_{SENSECL} - V_{CBOS}$
严重过流						
电压阈值	$V_{SENSEOC}$	90	100	110	mV	$V_{ISET} > 2.65\text{ V}$
		20	25	30	mV	$V_{ISET} = 0.5\text{ V}$
毛刺滤波器持续时间		0.4		1.6	$\mu\text{s}$	
响应时间			2.0	3.5	$\mu\text{s}$	
TIMER引脚						
TIMER上拉电流	$I_{TIMERUP}$	-18	-20	-22	$\mu\text{A}$	过流故障, $0.2\text{ V} \leq V_{TIMER} \leq 2\text{ V}$
TIMER上限	$V_{TIMERH}$	1.96	2.0	2.04	V	
TIMER下限	$V_{TIMERL}$	0.075	0.10	0.12	V	
TIMER下拉电流	$I_{TIMERPD}$	0.85		1.15	$\mu\text{A}$	Timer引脚电压 = 0.2 V
		75		105	$\mu\text{A}$	Timer引脚电压 = 0.05 V
TIMER_OFF引脚						
上电复位上拉电流	$I_{POR}$	-18	-20	-22	$\mu\text{A}$	初始上电复位, $V_{TIMER\_OFF} = 1\text{ V}$
重试上拉电流	$I_{TMROFF}$	-0.85	-1	-1.15	$\mu\text{A}$	故障之后, GATE关闭时, $V_{TIMER\_OFF} = 1\text{ V}$
TIMER_OFF上限	$V_{TMROFFH}$	1.96	2.0	2.04	V	
折返(FLB引脚)						
输入电流	$I_{FLB}$		0.005	0.2	$\mu\text{A}$	$V_{FLB} \leq 5.5\text{ V}$ , $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$
			0.005	1	$\mu\text{A}$	$V_{FLB} \leq 5.5\text{ V}$ , $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$
PWRGD反馈输入(FB_PG PIN)						
输入电流	$I_{FBPG}$		0.005	0.2	$\mu\text{A}$	$V_{FB\_PG} \leq 5.5\text{ V}$ , $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$
			0.005	1	$\mu\text{A}$	$V_{FB\_PG} \leq 5.5\text{ V}$ , $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$
PWRGD上升阈值	$V_{PGTH}$	0.985	1.0	1.015	V	FB_PG上升
PWRGD阈值迟滞	$PG_{HYST}$	25	30	35	mV	
电源良好毛刺滤波器	$PG_{GF}$	0.5		1.5	$\mu\text{s}$	50 mV过驱
FAULT引脚						
输出低电压	$V_{OL\_FAULT}$			0.1	V	$I_{FAULT} = 100\text{ }\mu\text{A}$
				0.4	V	$I_{FAULT} = 1\text{ mA}$
漏电流	$I_{FAULT}$		0.005	1	$\mu\text{A}$	$V_{FAULT} = 5.5\text{ V}$ , FAULT输出高阻态
ENABLE引脚						
输入高电压	$V_{IH}$	1.2			V	
输入低电压	$V_{IL}$			0.4	V	
漏电流	$I_{EN}$		0.005	1	$\mu\text{A}$	$V_{EN} = 5.5\text{ V}$
PWRGD引脚						
输出低电压	$V_{OL\_PWRGD}$			0.1	V	$I_{PWRGD} = 100\text{ }\mu\text{A}$
				0.4	V	$I_{PWRGD} = 1\text{ mA}$
输出低电压	$V_{OL\_PWRGD}$			0.4	V	$V_{CC} = 1.7\text{ V}$ , $I_{SINK} = 100\text{ }\mu\text{A}$ ,
漏电流	$I_{PWRGD}$	0.005	1		$\mu\text{A}$	$V_{PWRGD} = 60\text{ V}$ , PWRGD输出高阻态

## 绝对最大额定值

表2.

参数	额定值
VCC/SENSE+	-0.3 V至+66 V
VCAP	-0.3 V至+6 V
UV	-0.3 V至+6 V
OV	-0.3 V至+6 V
ISSET	-0.3 V至VCAP + 0.3 V
FLB	-0.3 V至+6 V
FB_PG	-0.3 V至+6 V
TIMER_OFF	-0.3 V至VCAP + 0.3 V
TIMER	-0.3 V至VCAP + 0.3 V
FAULT	-0.3 V至+6 V
ENABLE	-0.3 V至+6 V
PWRGD	-0.3 V至+66 V
GATE	-0.3 V至 $V_{CC} + 0.3 V$
GATE至VCC/SENSE+	-22 V至+0.3 V
SENSE-	-0.3 V至 $V_{CC} + 0.3 V$
RPFPG	-0.3 V至 $V_{CC} + 0.3 V$
RPFPG至VCC/SENSE+	-22 V至+0.3 V
$V_{SENSE} (V_{SENSE+} - V_{SENSE-})$	$\pm 0.3 V$
任意引脚的连续输入电流	$\pm 10 mA$
存储温度范围	-65°C至+150°C
工作温度范围	-40°C至+125°C
引脚温度, 焊接(10秒)	300°C
结温	150°C

注意, 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

### 热特性

$\theta_{JA}$  针对最差条件, 即焊接在电路板上的器件为表贴封装。

表3. 热阻

封装类型	$\theta_{JA}$	$\theta_{JC}$	$\Psi_{JB}$	单位
16引脚、3 mm x 3 mm LFCSP封装	49.5	35.2	29.6	°C/W
16引脚 QSOP	106.03	28.31	43.22	°C/W

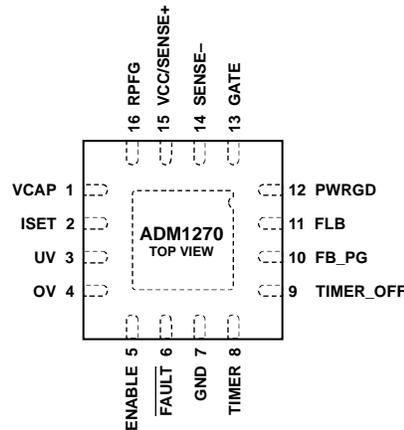
### ESD警告



#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

## 引脚配置和功能描述



**NOTES**  
 1. THE EXPOSED PAD IS LOCATED ON THE UNDERSIDE OF THE LFCSP PACKAGE. SOLDER THE EXPOSED PAD TO THE PRINTED CIRCUIT BOARD (PCB) TO IMPROVE THERMAL DISSIPATION. THE EXPOSED PAD CAN BE CONNECTED TO GROUND.

12259-002

图2. 16引脚LFCSP引脚配置

表4. 16引脚LFCSP引脚功能描述

引脚编号	引脚名称	描述
1	VCAP	内部调节电源。将一个1 μF或更大的电容放在此引脚上以保持良好的精度。此引脚可用作设置ISET引脚电压的基准电压。
2	ISET	限流。此引脚可以设置限流阈值。此引脚直接连接到VCAP时，设置默认限值。要实现用户定义的检测电压，可以利用VCAP的电阻分压器调整电流限值。也可以使用外部基准电压。
3	UV	欠压输入引脚。电源与此引脚之间连接一个外部电阻分压器，以便内部比较器检测电源电压是否低于UV限值。
4	OV	过压输入引脚。电源与此引脚之间连接一个外部电阻分压器，以便内部比较器检测电源电压是否高于OV限值。
5	ENABLE	使能引脚。此引脚为数字逻辑输入。要使ADM1270控制器开始一个上电序列，此输入必须为高电平。如果此引脚处于低电平，则ADM1270无法上电。此引脚无内置上拉电阻。
6	FAULT	故障输出。此引脚指示器件因为过流故障而关断。将此引脚直接连接到ENABLE引脚，可以将器件配置为关断后自动重试。
7	GND	接地引脚。
8	TIMER	定时器引脚。一个外部电容 $C_{TIMER}$ 设置SOA过流故障延迟。TIMER引脚上的电压超过上限时，GATE引脚关闭。
9	TIMER_OFF	定时器关闭引脚。一个外部电容 $C_{TIMER\_OFF}$ 设置初始时序周期延迟和SOA关闭时间延迟。SOA过流故障发生后，GATE引脚关闭，直至TIMER_OFF引脚上的电压超过阈值。
10	FB_PG	PWRGD反馈输入引脚。输出电压与此引脚之间连接一个外部电阻分压器，以便内部比较器检测输出电压是否高于PWRGD限值。
11	FLB	折返引脚。折返电阻分压器置于FET源极与此引脚之间。当源电压下降时，折返降低电流限值。折返特性确保通过FET的电源不会增大到SOA限值以上。
12	PWRGD	电源良好信号。此信号指示电源在容差范围内。此信号基于FB_PG引脚上的电压。
13	GATE	栅极输出引脚。此引脚是外部P沟道FET的栅极驱动。此引脚由FET驱动控制器驱动，后者提供下拉电流来给FET栅极引脚充电。FET驱动控制器通过调节GATE引脚来调节到最大负载电流。当电源低于欠压闭锁(UVLO)阈值时，GATE关闭。
14	SENSE-	负电流检测输入引脚。VCC/SENSE+引脚与SENSE-引脚之间的检测电阻设置模拟电流限值。ADM1270的热插拔操作控制外部FET栅极以维持检测电压( $V_{SENSE+} - V_{SENSE-}$ )。此引脚还连接到FET漏极引脚。

引脚编号	引脚名称	描述
15	VCC/SENSE+	正电源输入引脚(VCC)。检测到低电源电压时，UVLO电路复位器件。 当电源电压低于UVLO时，GATE关闭。无时序控制要求。 正电流检测输入引脚(SENSE+)。此引脚连接到主电源输入。 VCC/SENSE+引脚与SENSE-引脚之间的检测电阻设置模拟电流限值。 ADM1270的热插拔操作控制外部FET栅极以维持检测电压( $V_{SENSE+} - V_{SENSE-}$ )。
16	RPFG	反向保护FET栅极驱动器输出。此引脚连接到外部反向极性保护P沟道FET的栅极， 以便实现低压降操作。
N/A <sup>1</sup>	EP	裸露焊盘。裸露焊盘位于LFCSP封装的底部。应将裸露焊盘焊接到印刷电路板(PCB)以改善散热。 裸露焊盘可连接到地。

<sup>1</sup> N/A = 不适用。

# ADM1270

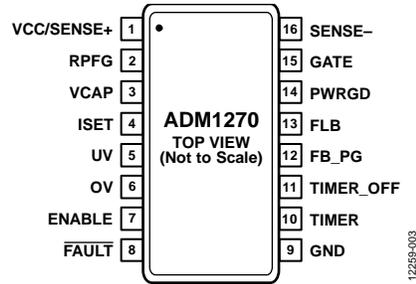


图3. 16引脚QSOP引脚配置

表5. 16引脚QSOP引脚功能描述

引脚编号	引脚名称	描述
1	VCC/SENSE+	正电源输入引脚(VCC)。检测到低电源电压时，UVLO电路复位器件。当电源电压低于UVLO时，GATE关闭。无时序控制要求。 正电流检测输入引脚(SENSE+)。此引脚连接到主电源输入。 VCC/SENSE+引脚与SENSE-引脚之间的检测电阻设置模拟电流限值。 ADM1270的热插拔操作控制外部FET栅极以维持检测电压( $V_{SENSE+} - V_{SENSE-}$ )。
2	RPFG	反向保护FET栅极驱动器输出。此引脚连接到外部反向极性保护P沟道FET的栅极，以便实现低压降操作。
3	VCAP	内部调节电源。将一个1 $\mu$ F或更大的电容放在此引脚上以保持良好的精度。 此引脚可用作设置ISET引脚电压的基准电压。
4	ISET	限流。此引脚可以设置限流阈值。此引脚直接连接到VCAP时，设置默认限值。 要实现用户定义的检测电压，可以利用VCAP的电阻分压器调整电流限值。 也可以使用外部基准电压。
5	UV	欠压输入引脚。电源与此引脚之间连接一个外部电阻分压器，以便内部比较器检测电源电压是否低于UV限值。
6	OV	过压输入引脚。电源与此引脚之间连接一个外部电阻分压器，以便内部比较器检测电源电压是否高于OV限值。
7	ENABLE	使能引脚。此引脚为数字逻辑输入。要使ADM1270控制器开始一个上电序列，此输入必须为高电平。如果此引脚处于低电平，则ADM1270无法上电。 此引脚无内置上拉电阻。
8	FAULT	故障输出。此引脚指示器件因为过流故障而关断。将此引脚直接连接到ENABLE引脚，可以将器件配置为关断后自动重试。
9	GND	接地引脚。
10	TIMER	定时器引脚。一个外部电容 $C_{TIMER}$ 设置SOA过流故障延迟。 TIMER引脚上的电压超过上限时，GATE引脚关闭。
11	TIMER_OFF	定时器关闭引脚。一个外部电容 $C_{TIMER\_OFF}$ 设置初始时序周期延迟和SOA关闭时间延迟。SOA过流故障发生后，GATE引脚关闭，直至TIMER_OFF引脚上的电压超过阈值。
12	FB_PG	PWRGD反馈输入引脚。输出电压与此引脚之间连接一个外部电阻分压器，以便内部比较器检测输出电压是否高于PWRGD限值。
13	FLB	折返引脚。折返电阻分压器置于FET源极与此引脚之间。 当源电压下降时，折返降低电流限值。折返特性确保通过FET的电源不会增大到SOA限值以上。
14	PWRGD	电源良好信号。此信号指示电源在容差范围内。 此信号基于FB_PG引脚上的电压。
15	GATE	栅极输出引脚。此引脚是外部P沟道FET的栅极驱动。此引脚由FET驱动控制器驱动，后者提供下拉电流来给FET栅极引脚充电。FET驱动控制器通过调节GATE引脚来调节到最大负载电流。当电源电压低于UVLO时，GATE关闭。
16	SENSE-	负电流检测输入引脚。VCC/SENSE+引脚与SENSE-引脚之间的检测电阻设置模拟电流限值。 ADM1270的热插拔操作控制外部FET栅极以维持检测电压( $V_{SENSE+} - V_{SENSE-}$ )。 此引脚还连接到FET漏极引脚。

## 典型性能参数

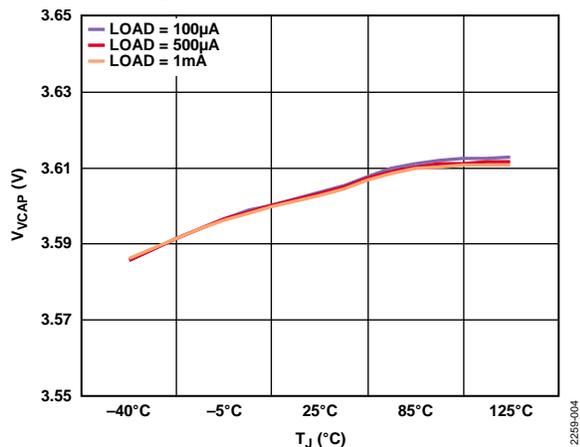


图4. 不同负载下  $V_{VCAP}$  与结温 ( $T_J$ ) 的关系

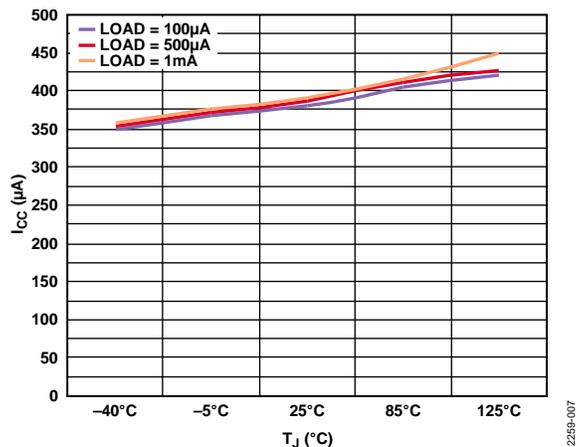


图7. 不同负载下电源电流 ( $I_{CC}$ ) 与结温 ( $T_J$ ) 的关系

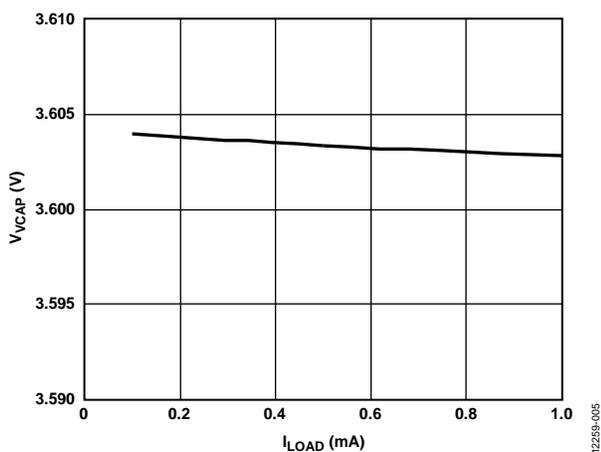


图5.  $V_{VCAP}$  与负载电流 ( $I_{LOAD}$ ) 的关系

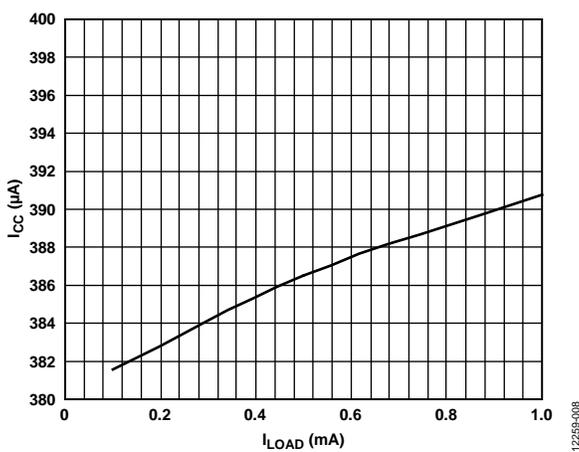


图8. 电源电流 ( $I_{CC}$ ) 与负载电流 ( $I_{LOAD}$ ) 的关系

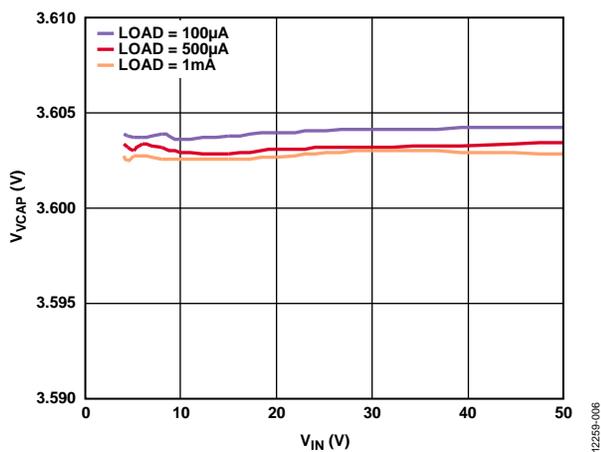


图6. 不同负载下  $V_{VCAP}$  与输入电压 ( $V_{IN}$ ) 的关系

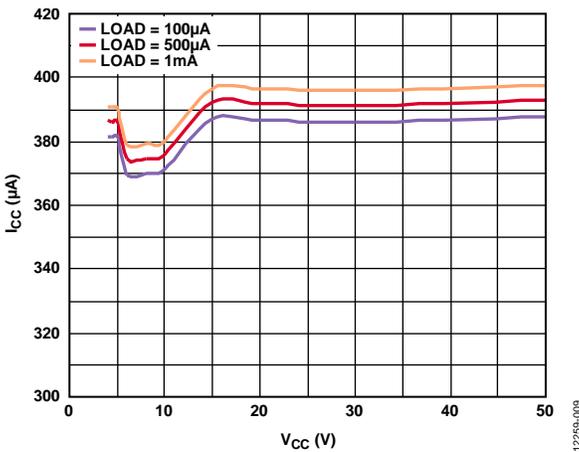


图9. 电源电流 ( $I_{CC}$ ) 与电源电压 ( $V_{CC}$ ) 的关系, 差分负载

# ADM1270

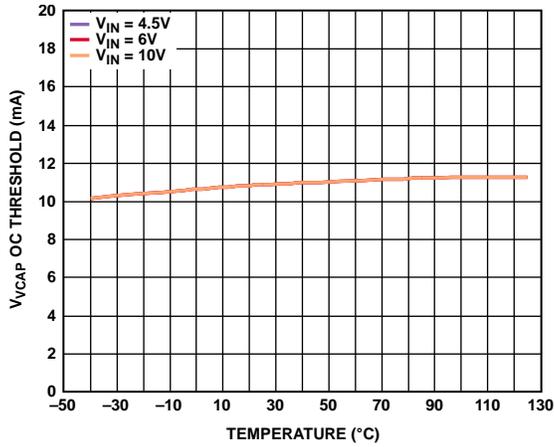


图10. 不同输入电压下 $V_{VCAP}$ 过流(OC)阈值与温度的关系

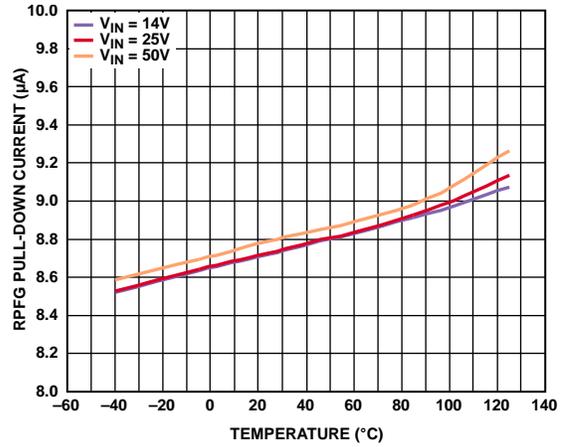


图13. 不同输入电压下RPFPG下拉电流( $I_{RPFPGND}$ )与温度的关系

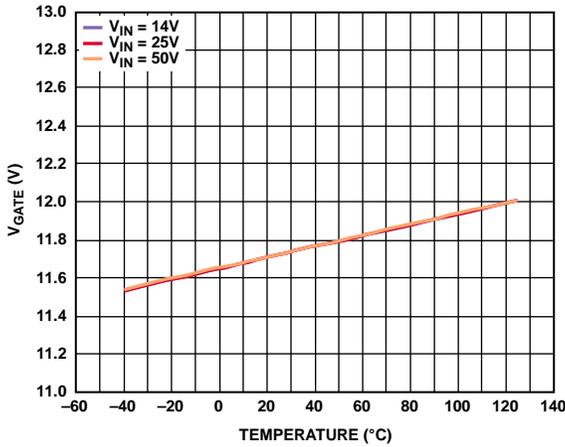


图11. 不同输入电压下GATE电压( $V_{GATE}$ )与温度的关系

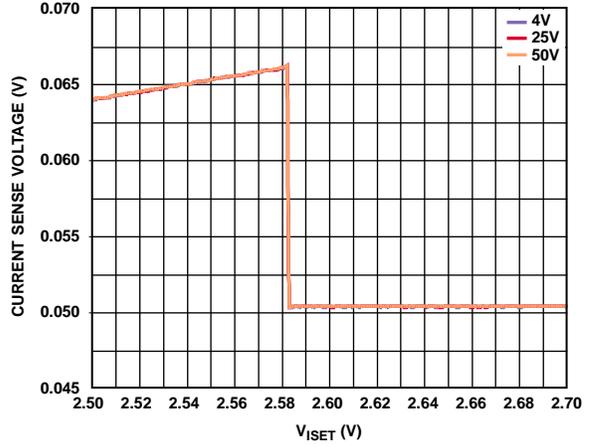


图14. 不同输入电压下电流检测电压与 $I_{SET}$ 电压( $V_{ISET}$ )的关系

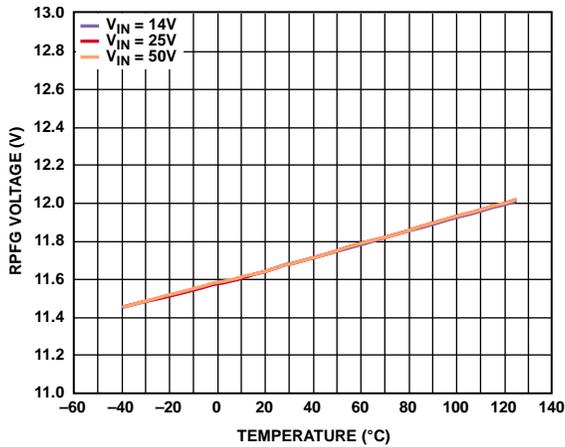


图12. 不同输入电压下RPFPG电压( $V_{RPFPG}$ )与温度的关系

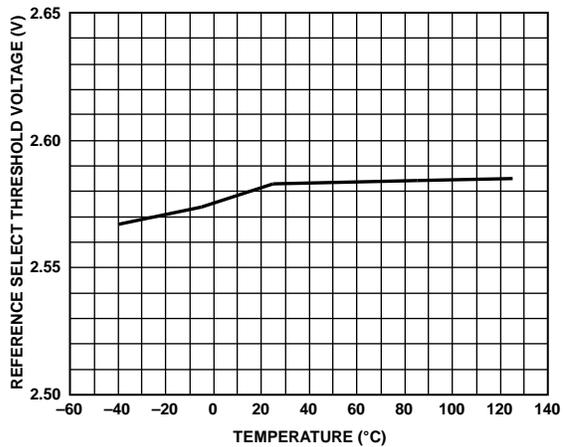


图15. 基准选择阈值电压( $V_{ISETRSTH}$ )与温度的关系,  $V_{IN} = 4V$

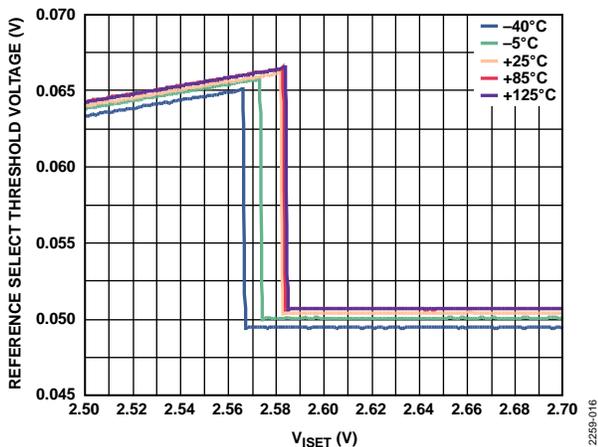


图16. 不同温度下基准选择阈值电压( $V_{ISETRSTH}$ )与ISET电压( $V_{ISET}$ )的关系

12259-016

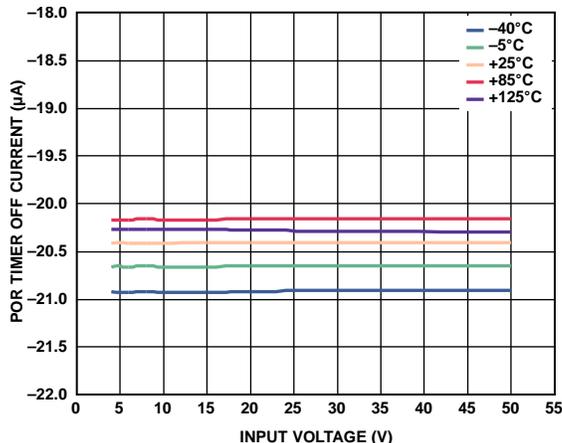


图19. 不同温度下POR定时器关闭电流( $I_{POR}$ )与输入电压( $V_{IN}$ )的关系

12259-019

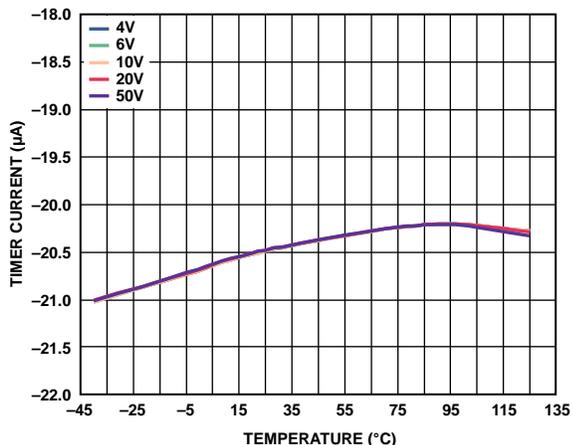


图17. 不同输入电压下定时器电流与温度的关系

12259-017

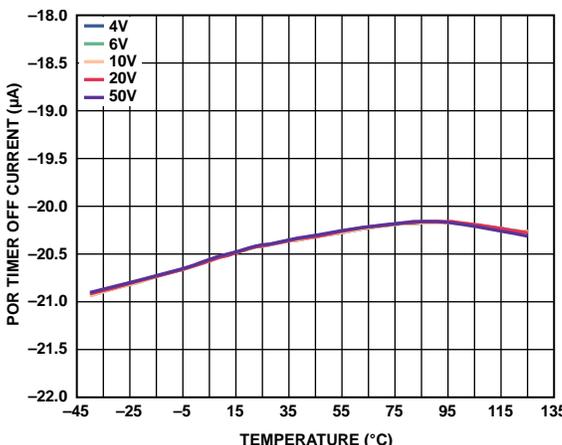


图20. 不同输入电压下POR定时器关闭电流( $I_{POR}$ )与温度的关系

12259-020

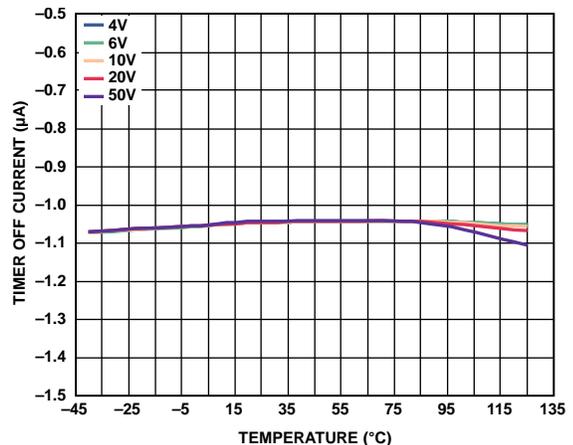


图18. 不同输入电压下定时器关闭电流( $I_{TIMROFF}$ )与温度的关系

12259-018

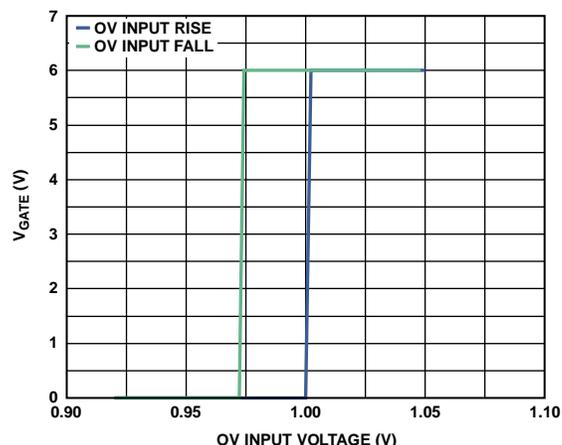


图21.  $V_{GATE}$ 与OV输入电压的关系

12259-021

# ADM1270

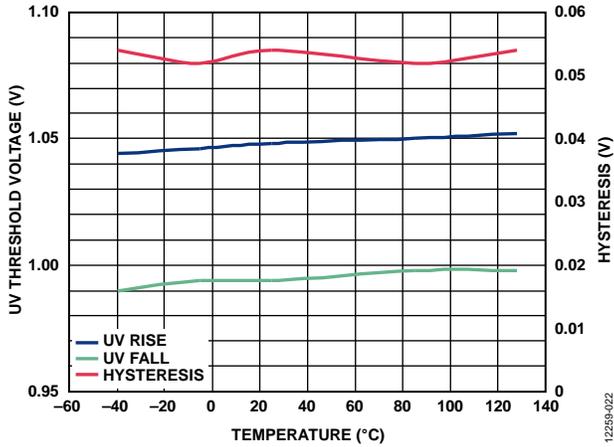


图22. UV阈值电压与温度的关系

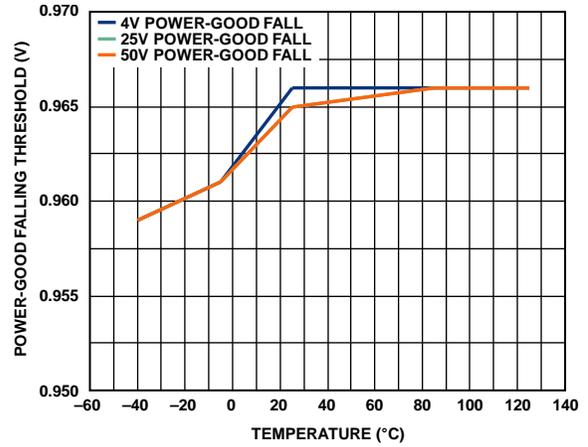


图25. 不同输入电压下电源良好下降阈值与温度的关系

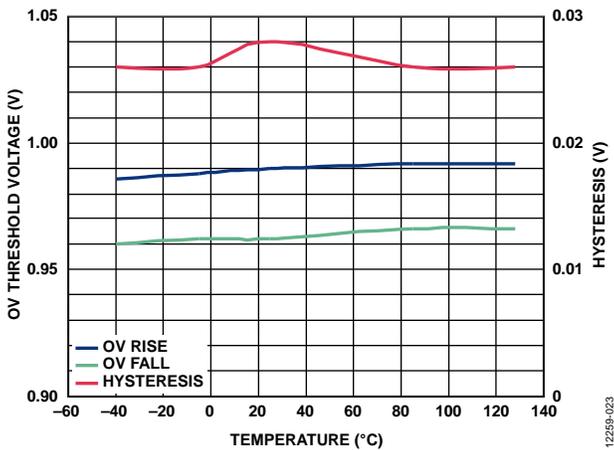


图23. OV阈值与温度的关系

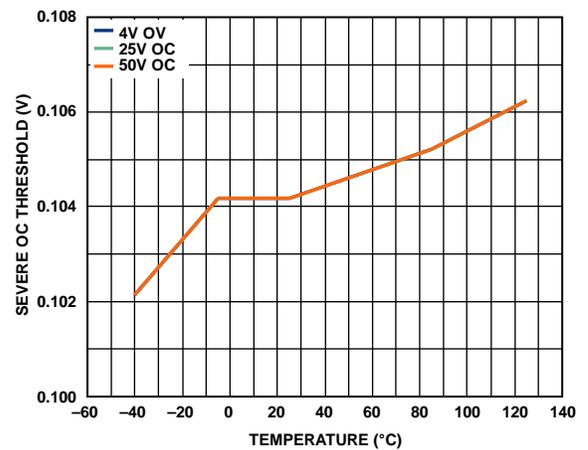


图26. 不同输入电压下严重过流(OC)阈值与温度的关系

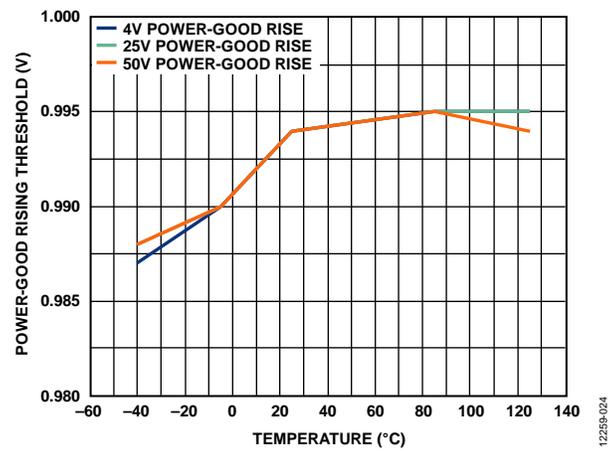


图24. 不同输入电压下电源良好上升阈值与温度的关系

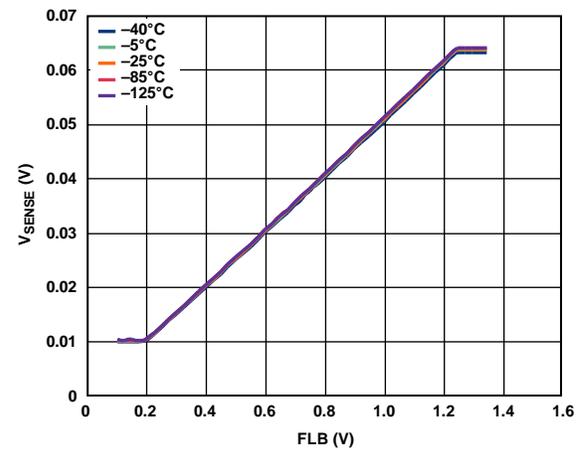


图27. 不同温度下检测电压( $V_{SENSE}$ )与FLB的关系

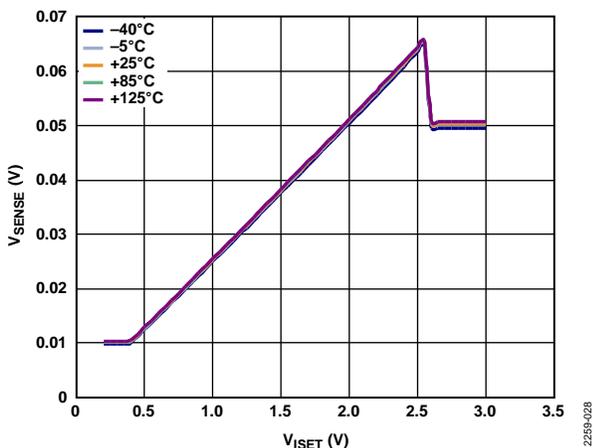


图28. 不同温度下检测电压( $V_{SENSE}$ )与ISET电压( $V_{ISET}$ )的关系

12259-028

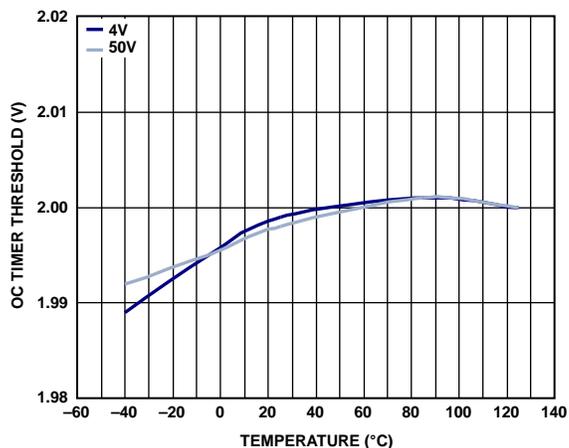


图31. 不同输入电压下OC TIMER阈值与温度的关系

12259-031

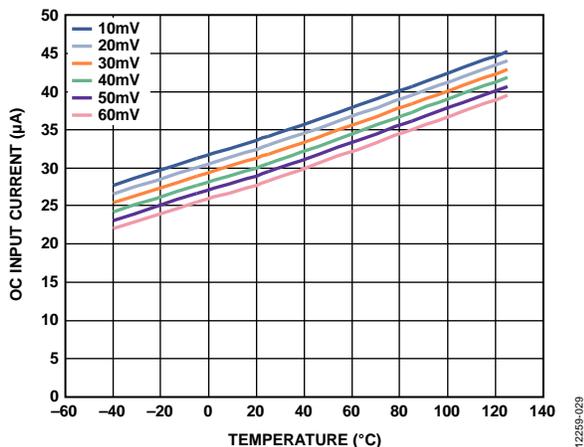


图29. 不同检测电压( $V_{SENSE}$ )下OC输入电流与温度的关系

12259-029

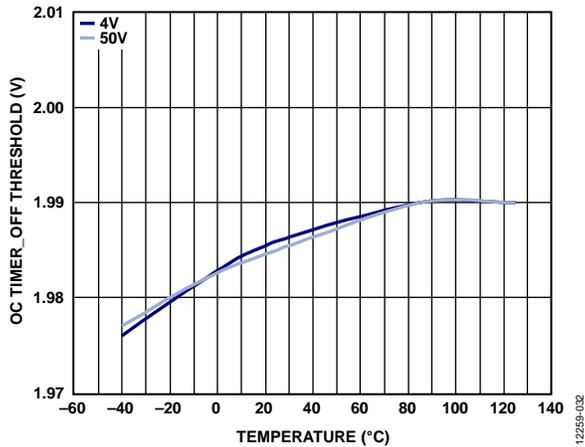


图32. 不同输入电压下OC TIMER\_OFF阈值与温度的关系

12259-032

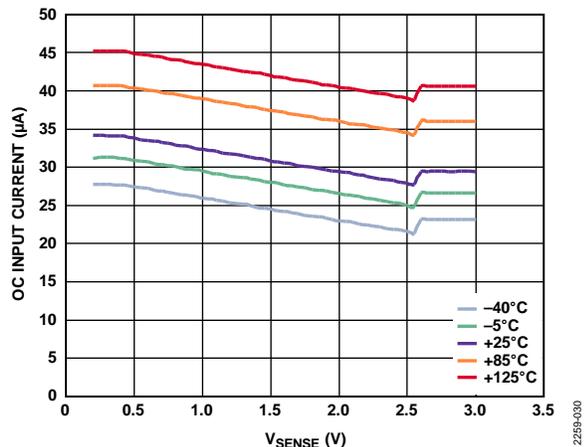


图30. 不同温度下OC输入电流与检测电压( $V_{SENSE}$ )的关系

12259-030



## 工作原理

将电路板插入带电背板时，已放完电的电源旁路电容会从背板电源总线汲取大瞬态电流以便充电。这种瞬态电流可能会导致连接器引脚永久性损坏，以及背板电源电压下降，进而引起系统中的其它电路板复位。

ADM1270设计用于控制系统上电时的浪涌电流，通过防止过大电流输入电路板来支持其安全插入带电背板。

ADM1270是一款限流控制器，能够为模块化或电池供电系统提供浪涌限流和过流保护。电源路径内检测电阻两端的电压利用电流检测放大器，通过VCC/SENSE+引脚和SENSE-引脚测量。默认限值设置为50 mV，如果需要，可通过VCAP引脚至ISET引脚的电阻分压器网络对该限值进行调整。

ADM1270通过GATE引脚控制电源路径内外部P沟道FET的栅极电压，从而限制流经检测电阻的电流，检测电压(因而负载电流)维持在预设最大值以下。ADM1270通过限制FET保持开启(电流处于最大值时)的时间来保护外部FET，该限流时间通过选择连接至TIMER引脚和TIMER\_OFF引脚的电容来设置。此限流时间有助于让FET处于SOA内。

除定时器功能外，还有一个折返引脚(FLB)用于提供附加FET保护。电流限值由FLB引脚电压线性降低，当漏源电压( $V_{DS}$ )压降较大时，器件使用的实际电流限值较低，这同样有助于确保FET处于SOA内。

最小电压箝位保证即使FLB电压为0 V，电流也不会降至0，不然的话，器件将无法上电。

ADM1270提供OV和UV保护，其阈值通过UV和OV引脚上的外部电阻分压器设置。

PWRGD信号可用于指示输出电源是否大于利用FB\_PG引脚上的外部电阻分压器设置的电压。

为了保护系统免受反向极性输入电源的损害，采取了一定措施来利用PRFG引脚控制附加的外部P沟道FET。此特性使得低导通电阻、低压降FET可代替二极管来执行相同的功能，从而降低功率损耗并提高总体效率。反向电压保护FET防止负输入电压损坏负载或ADM1270。

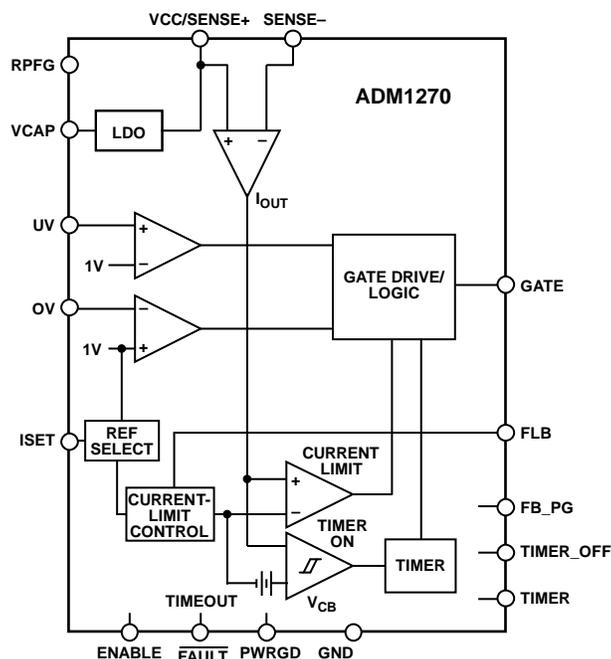


图34. 简化功能框图

# ADM1270

## 为ADM1270供电

需要4 V至60 V的电源电压通过VCC/SENSE+引脚为ADM1270供电。VCC/SENSE+引脚为器件提供大部分偏置电流，其余电流由SENSE-引脚提供，用于控制栅极驱动和以最佳方式调节栅源( $V_{GS}$ )电压。

## 电流检测输入

负载电流通过测量外部电流检测电阻 $R_{SENSE}$ 上的压降来监控(见图35)。对于 $R_{SENSE}$ 上检测到的压降，内部电流检测放大器提供40倍的增益。得到的结果与内部基准电压相比较，然后热插拔控制逻辑根据比较结果判断是否发生过流状况。

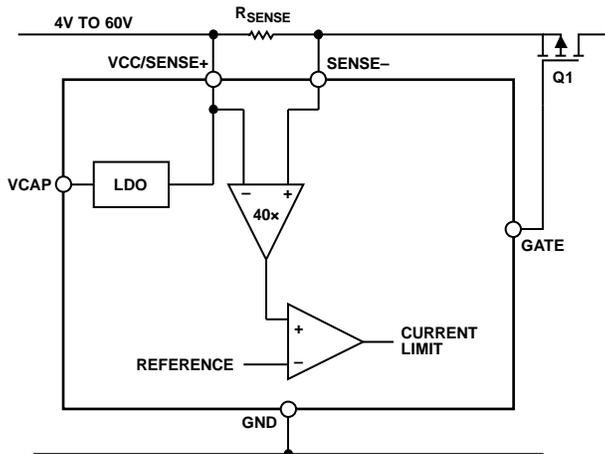


图35. 热插拔电流检测放大器

## 限流基准电压

限流基准电压决定过流事件期间，ADM1270将电流限制在多大的负载电流。此基准电压与经过放大的电流检测电压进行比较，以判断是否达到限流阈值。

内部限流基准电压选择器模块连续比较ISET和FLB电压，以判断任意给定时间哪个电压最低；最低电压将被用作限流基准电压。这可以确保正常工作期间使用编程设置的电流限值ISET，折返特性则可以在启动和/或故障状况下降低电流限值。

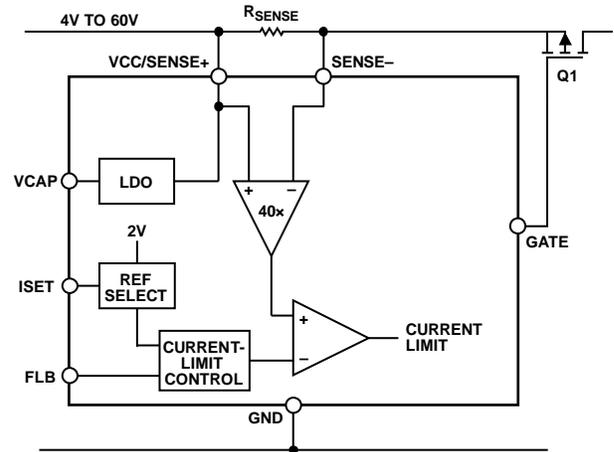


图36. 限流基准电压选择

FLB电压因工作模式不同而异，为防止电流限值过低而导致无电流流动，其箝位最小值为200 mV。图37举例说明了启动期间，当ADM1270开启FET并给负载电容充电时，FLB和ISET电压如何相互作用。转换点视折返特性的配置而定，以确保FET在正确的限值以内工作。

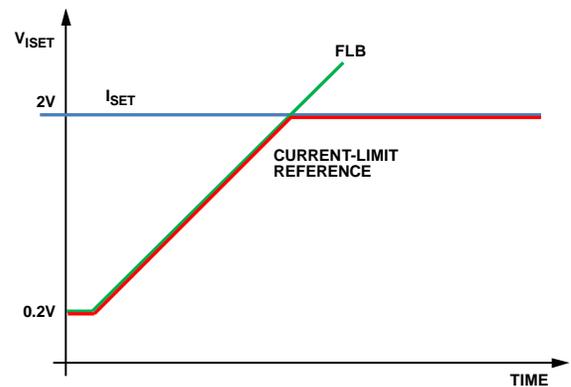


图37. 折返(FLB)和ISET电流限值的相互作用

## 设置电流限值(ISET)

最大电流限值部分地由以下方式决定：针对所需的负载电流，选择一个检测电阻以匹配控制器上的电流检测电压限值。然而，对于给定电流检测电压，当电流变得较大时，需要的检测电阻值会变小。由于低值电阻的选择有限，可能难以选择适当的电流检测电阻。ADM1270提供可调电流检测电压限值来处理这一问题。此器件允许用户在12.5 mV至62.5 mV范围设置所需的电流检测电压限值。

将ISET引脚直接连接到VCAP引脚，可以实现默认值50 mV。这种电路配置中，器件使用2 V内部基准电压，导致检测输入端为50 mV(见图38)。

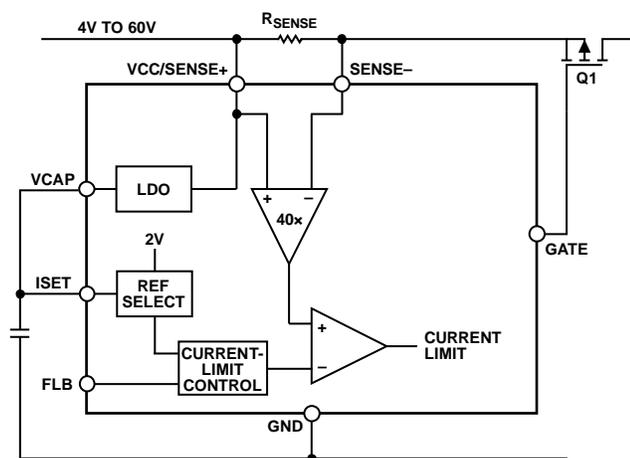


图38. 固定50 mV电流检测限值

要设置12.5 mV到62.5 mV的检测电压，应使用一个外部电阻分压器来设置ISET引脚上的基准电压(见图39)。

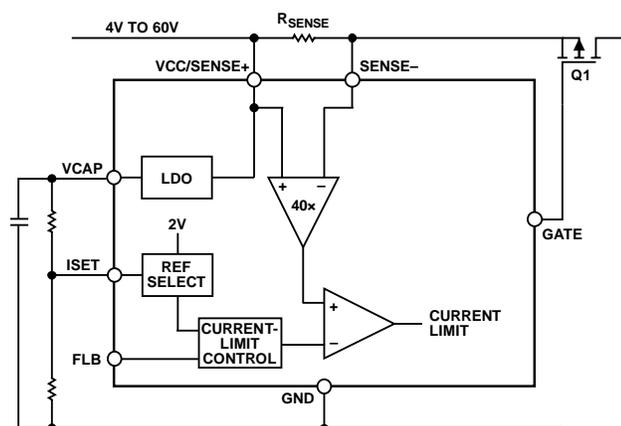


图39. 可调12.5 mV到62.5 mV电流检测限值

VCAP引脚有一个内部产生的3.6 V电压，可用来设置ISET引脚上的电压。假设 $V_{ISET}$ 等于ISET引脚上的电压，则应选择适当的电阻分压器值来设置ISET电压，如下所示：

$$V_{ISET} = V_{SENSE} \times 50$$

其中， $V_{SENSE}$ 为电流检测电压限值。

VCAP供电轨也可以用作上拉电源来设置其它引脚。为保证VCAP满足精度规格，请勿在VCAP引脚上施加大于100  $\mu$ A的负载。

## 折返

折返是一种随着FET上的压降增加而主动降低电流限值的方法，这种技术使得FET的功耗在上电、过流或短路期间保持最小。此外，它还减少了为适应最差状况而选择较大FET的需要，从而节省电路板尺寸和成本。

假设电源电压保持恒定且在容差范围内，ADM1270通过电阻分压器感测输出电压，从而检测FET上的压降。因此，该器件依赖这样一个原则：FET的漏极处于最大预期电源电压，输出电压的幅度与FET的 $V_{DS}$ 幅度相关。利用输出电压与FLB引脚之间的电阻分压器，可以导出 $V_{OUT}$ (因而 $V_{DS}$ )与 $V_{FLB}$ 的关系。

当 $V_{OUT}$ 降至目标电平以下时，电阻分压器的输出电压应等于 $V_{ISET}/2$ 。此电压必须远低于供电轨的工作容差。当 $V_{OUT}$ 继续下降时，限流基准电压变为 $V_{FLB}$ ，因为它现在是限流基准电压选择器模块的最低输入电压，这导致电流限值降低，因而调节后的负载电流也会降低。为防止电流降为0，当 $V_{FLB}$ 达到200 mV时，就会激活电压箝位。电流限值无法降到此电平以下。

为了确保不违反特定FET的SOA特性，此箝位的最低电流因设计而异。但是，限流基准电压将此箝位固定在200 mV，相当于检测电阻上的10 mV。因此，可以调整主ISET电压，以使此箝位与所需的电流降幅百分比一致。例如，如果 $V_{ISET}$ 等于1.6 V，则箝位可设置为最大电流的25%。

## TIMER

TIMER引脚利用一个外部电容 $C_{TIMER}$ 处理定时功能。TIMER引脚比较器的两个阈值分别为 $V_{TIMERL}$ (0.1 V)和 $V_{TIMERH}$ (2.0 V)。还有两个定时电流源：一个20  $\mu$ A上拉电流和一个1  $\mu$ A下拉电流。

这些电流和电压电平与用户选择的 $C_{TIMER}$ 值一起决定故障限流时间和热插拔重试占空比的开启时间。TIMER引脚电容值通过如下公式确定：

$$C_{TIMER} = (t_{ON} \times 20 \mu A) / V_{TIMERH}$$

其中：

$t_{ON}$ 为允许FET在电流限值进行调节的时间。

$V_{TIMERH}$ 为TIMER上限。

FET的选择取决于此时间与FET SOA特性的匹配情况。也可以使用折返来简化选择过程。

# ADM1270

当检测电阻上的电压达到断路器跳变电压 $V_{CB}$ 时，20  $\mu\text{A}$  TIMER上拉电流激活。ADM1270开始在电流限值调节负载电流，启动TIMER引脚上的上升电压斜坡，如果检测电压在TIMER引脚达到 $V_{T\text{IMERH}}$ 之前降至此断路器跳变电压以下，则20  $\mu\text{A}$ 上拉电流禁用，1  $\mu\text{A}$ 下拉电流使能。如果TIMER引脚电压降至 $V_{T\text{IMERL}}$ 以下，TIMER引脚将利用其上的强下拉电流放电至GND。

然而，如果过流状况持续，检测电压仍然高于断路器跳变电压，则20  $\mu\text{A}$ 上拉电流保持有效，FET持续进行调节。这种状况允许TIMER引脚达到 $V_{T\text{IMERH}}$ 并启动GATE关断，FAULT引脚被立即拉低。

断路器跳变电压不同于热插拔检测电压电流限值。断路器有一个很小的偏移 $V_{CBOS}$ ，它导致定时器在电流达到规定的电流限值之前不久启动。

在门锁模式下，当TIMER引脚达到 $V_{T\text{IMERH}}$ 阈值时，其放电至GND。TIMER\_OFF引脚开始充电。在TIMER\_OFF引脚斜坡上升期间，热插拔控制器保持关闭，无法开启，FAULT引脚保持低电平。当TIMER\_OFF引脚电压超过 $V_{T\text{MROFFH}}$ 阈值时，通过将ENABLE引脚从高电平切换到低电平，再切换到高电平，可以重新使能热插拔控制器。

## TIMER\_OFF

TIMER\_OFF引脚利用一个外部电容 $C_{T\text{IMER\_OFF}}$ 处理两项定时功能。TIMER\_OFF引脚比较器有一个阈值在 $V_{T\text{MROFFH}}$  (2.0 V)。还有两个定时电流源：20  $\mu\text{A}$ 上拉电流和1  $\mu\text{A}$ 下拉电流。

这些电流和电压电平与用户选择的 $C_{T\text{IMER\_OFF}}$ 值一起决定初始上电复位时间，并设置故障限流关闭时间。

当VCC连接到输入电源时，ADM1270的内部电源(VCAP)必须充电。VCAP的启动和建立时间非常短。当VCAP超过UVLO阈值电压时，器件退出复位。在该第一个短暂复位期间，GATE和TIMER引脚均保持低电平。

然后，ADM1270进入初始定时周期。TIMER\_OFF引脚被20  $\mu\text{A}$ 电流源拉高。当TIMER\_OFF引脚达到 $V_{T\text{MROFFH}}$ 阈值(2.0 V)时，初始定时周期完成。此初始上电复位时间由下式确定：

$$t_{\text{INITIAL}} = V_{T\text{MROFFH}} \times (C_{T\text{IMER\_OFF}}/20 \mu\text{A})$$

例如，100 nF电容产生大约10 ms的延迟。初始定时周期结束时，如果UV和OV输入指示VCC在规定的工作窗口内，则器件就可以开始热插拔操作。

完成此初始上电复位周期后，TIMER\_OFF引脚便可开始执行第二项功能。当TIMER引脚电压超过故障限流时间阈值电压 $V_{T\text{IMERH}}$  (2.0 V)时，TIMER\_OFF上的1  $\mu\text{A}$ 上拉电流激活， $C_{T\text{IMER\_OFF}}$ 开始充电，启动TIMER\_OFF引脚上的电压斜坡。当TIMER\_OFF引脚达到 $V_{T\text{MROFFH}}$ 时，TIMER\_OFF故障限流关闭时间完成。

故障限流关闭时间通过以下公式确定：

$$t_{T\text{IMER\_OFF}} = V_{T\text{MROFFH}} \times (C_{T\text{IMER\_OFF}}/1 \mu\text{A})$$

例如，100 nF电容对应的关闭时间约为200 ms——从TIMER超过 $V_{T\text{IMERH}}$ 起到TIMER\_OFF达到 $V_{T\text{MROFFH}}$ 止。

## 热插拔重试占空比

发生过流故障后，ADM1270关闭FET，并利用TIMER\_OFF引脚上的电容产生一个延迟，然后自动重试热插拔操作。要将ADM1270配置为自动重试模式，请把FAULT引脚连接到ENABLE引脚。注意，VCAP的上拉电阻需要连接到FAULT引脚，

发生过流故障时，TIMER引脚上的电容通过20  $\mu\text{A}$ 上拉电流源充电。当TIMER引脚达到 $V_{T\text{IMERH}}$  (2.0 V)时，GATE引脚被拉高，关闭FET。当FAULT引脚连接到ENABLE引脚以使能自动重试模式时，TIMER\_OFF引脚开始通过1  $\mu\text{A}$ 电流源充电。当TIMER\_OFF引脚达到 $V_{T\text{MROFFH}}$  (2.0 V)时，ADM1270会自动重新启动热插拔操作。

自动重试占空比由1  $\mu\text{A}$ /20  $\mu\text{A}$ 之比和 $C_{T\text{IMER}}/C_{T\text{IMER\_OFF}}$ 之比设置。重试占空比通过下式设置：

$$\text{Duty\_Cycle} = (C_{T\text{IMER}} \times 1 \mu\text{A}) / (C_{T\text{IMER\_OFF}} \times 20 \mu\text{A})$$

$C_{T\text{IMER}}$ 和 $C_{T\text{IMER\_OFF}}$ 电容的值决定此周期的开启和关闭时间，计算如下：

$$t_{\text{ON}} = V_{T\text{IMERH}} \times (C_{T\text{IMER}}/20 \mu\text{A})$$

$$t_{\text{OFF}} = V_{T\text{MROFFH}} \times (C_{T\text{IMER\_OFF}}/1 \mu\text{A})$$

TIMER引脚上的100 nF电容产生10 ms的开启时间。TIMER\_OFF引脚上的100 nF电容产生200 ms的关闭时间。器件以此方式连续重试下去，但可以利用如下方法手动禁用：使ENABLE引脚保持低电平，或者断开FAULT引脚。为防止FET中产生热应力，可以使用TIMER\_OFF引脚上的电容将重试时间延长到所需水平。

## 栅极和RPFG箝位

驱动GATE和RPFG引脚的电路被箝位在比VCC/SENSE+引脚低14 V以下。这些箝位确保外部FET不超过 $V_{GS}$ 最大额定值。

反向保护FET栅极引脚(RPFG)驱动外部PMOSFET的栅极。此PMOSFET Q2为ADM1270和所供电的系统提供反向极性保护。如果VCC和GND引脚反向连接(即电源实际上施加于GND)，则VCC相对于系统地地为负值。这种情况下，Q2防止电流反向流动，因为Q2的栅极保持在GND，Q2关闭。 $V_{OUT}$ 未被拉低到GND以下，系统不受极性反接影响。

在电源施加于VCC的典型情况下，栅极仍被拉低，使得FET Q2可以开启，从而正向传导电流。这样使用Q2与利用二极管实现反向极性保护相比，可提供低导通电阻、低压降，使系统效率更高，工作裕量更大。图33显示了正常工作时Q2和RPFG的连接。

## 对严重过流的快速响应

ADM1270具有一个独立的高带宽电流检测放大器，用于检测短路造成的严重过流。ADM1270的快速响应能力使它能够处理此类事件，避免因检测和处理不及时而引起灾难性破坏。快速响应电路确保ADM1270能检测到大约为正常电流限值200%的过流事件，并在大约2  $\mu$ s内控制电流。

## 欠压和过压

ADM1270监控电源电压是否发生UV和OV状况。UV和OV引脚连接到电压比较器输入端，与内部1 V基准电压相比较。

图40显示了电压监控输入连接。外部电阻分压器对电源电压进行分压以便监控。当连接到UV引脚的电压降至1 V以下时，即检测到欠压事件，FET利用10 mA上拉电流关闭。类似地，当发生过压事件，OV引脚上的电压超过1 V时，FET也会利用10 mA上拉电流关闭。

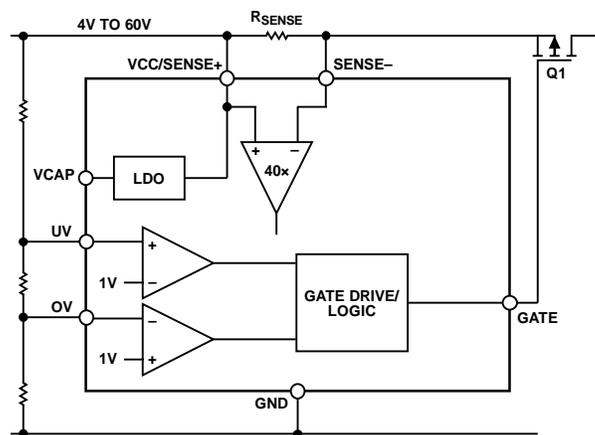


图40. 欠压和过压电源监控

## ENABLE输入

ADM1270具有一个专用ENABLE数字输入引脚。ENABLE引脚可以通过硬件信号使ADM1270保持关断，即使UV引脚上的电压超过1.0 V且OV引脚上的电压低于1.0 V也是如此。虽然UV引脚可用来提供数字使能信号，但将ENABLE引脚用于此目的时，UV引脚便能监控欠压状况。

为使器件开始上电序列，除了要满足UV和OV引脚的条件以外，ADM1270 ENABLE输入引脚必须为高电平。

直接使用UV引脚可以实现类似的功能。或者，如果仍然需要UV分频器功能，可使用图41所示的配置。

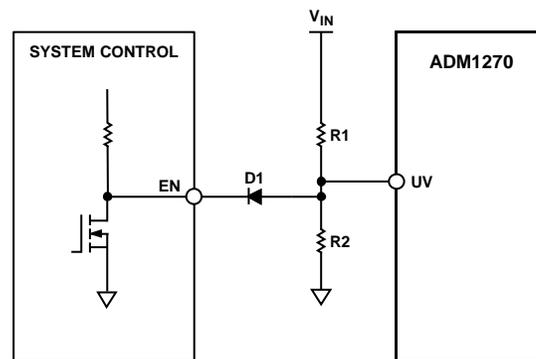


图41. UV引脚用作使能信号

二极管D1防止外部驱动器上拉电阻影响UV阈值。二极管D1选择标准如下：

$$(V_F \times DI) + (V_{OL} \times EN) \ll 1.0 \text{ V} \quad (I_F = V_{IN}/R1)$$

确保EN吸电流不超过 $V_{OL}$ 额定值。如果开漏器件无上拉，则不需要二极管。

# ADM1270

## 电源良好

电源良好(PWRGD)输出可用于指示输出电压是否超过用户定义的阈值，如果超过，则可以认为电源良好。PWRGD输出由连接到FB\_PG引脚的电阻分压器设置(见图42)。

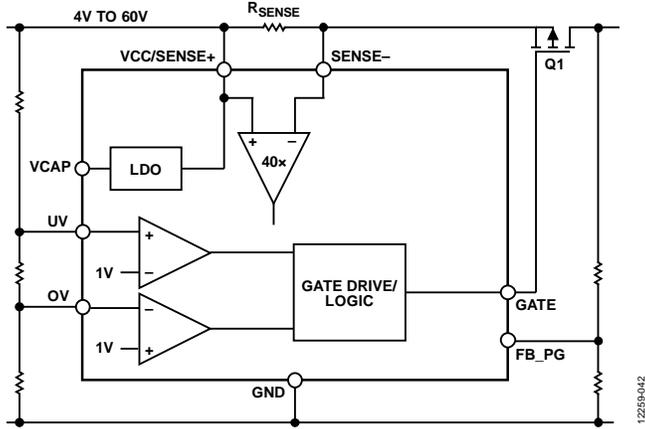


图42. PWRGD信号的产生

当FB\_PG引脚的电压超过1 V阈值时(表示输出电压已上升), 开漏下拉电流禁用, 使得PWRGD可以变为高电平。PWRGD引脚为开漏输出, 当FB\_PG引脚的电压低于1 V阈值减迟滞时(电源不良), 它变为低电平。FB\_PG引脚的迟滞为固定值30 mV。当 $V_{CC} \geq 1.7$  V时, PWRGD保证处于有效状态。

电源良好阈值通过下式计算:

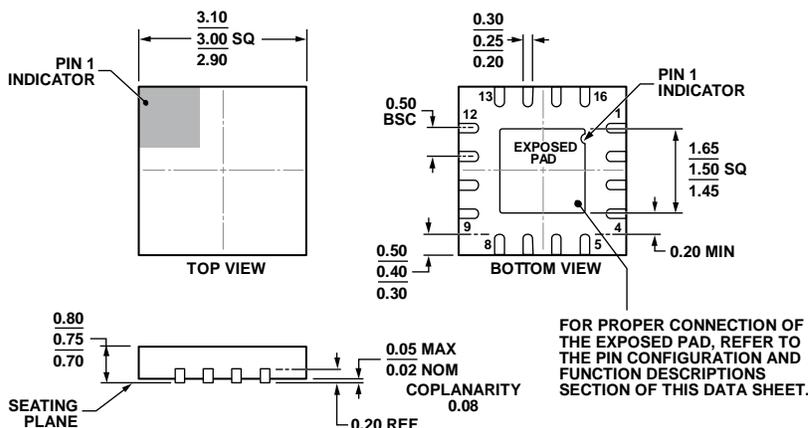
$$V_{PWRGD} = 1 \text{ V} \times (1 + RPG1/RPG2)$$

其中:

RPG1为 $V_{OUT}$ 至FB\_PG的电阻。

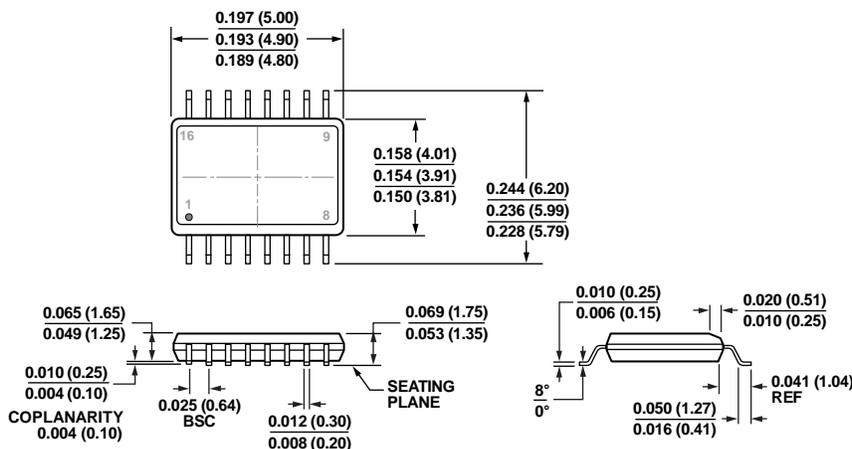
RPG2为FB\_PG至GND的电阻。

# 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

图43. 16引脚引脚架构芯片级封装[LFCSP\_WQ]  
3 mm x 3 mm, 超薄体  
(CP-16-27)  
图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-137-AB

CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

图44. 16引脚脚紧缩小型封装[QSOP]  
(RQ-16)

图示尺寸单位: inch(和mm)

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项	标识码
ADM1270ACPZ-R2	-40°C至+125°C	16引脚引线框芯片级封装[LFCSP_WQ]	CP-16-27	LNQ
ADM1270ACPZ-R7	-40°C至+125°C	16引脚引线框芯片级封装[LFCSP_WQ]	CP-16-27	LNQ
ADM1270ARQZ	-40°C至+125°C	16引脚紧缩小型封装[QSOP]	RQ-16	
ADM1270ARQZ-R7	-40°C至+125°C	16引脚紧缩小型封装[QSOP]	RQ-16	
ADM1270CP-EVALZ		16引脚 LFCSP_WQ评估板		
ADM1270RQ-EVALZ		16引脚 QSOP评估板		

<sup>1</sup> Z = 符合RoHS标准的兼容器件。