

产品特性

高性能

高相对精度(INL): 16位时最大±4 LSB

(AD5679/AD5679R)

TUE: ±0.14% FSR (最大值)

偏置误差: ±1.5 mV (最大值)

增益误差: ±0.06% FSR (最大值)

低漂移、2.5 V基准电压源温度系数: 2 ppm/°C (典型值)

短路电流: 40 mA

宽工作范围

温度范围: -40°C至+125°C

电源电压范围: 2.7 V至5.5 V

简化设计方案

用户可选增益: 1或2 (GAIN引脚)

1.8 V逻辑兼容性

带回读或菊花链的50 MHz串行外设接口(SPI)

符合RoHS标准的28引脚、4 mm × 4 mm、LFCSP封装

应用

光收发器

基站功率放大器

过程控制 (可编程逻辑控制器(PLC)输入/输出卡)

工业自动化

数据采集系统

概述

AD5674/AD5674R/AD5679/AD5679R均为低功耗、16通道、12/16位、缓冲电压输出、数模转换器(DAC), 内置2.5 V、2 ppm/°C内部基准电压源(默认使能)和增益选择引脚, 满量程输出电压为2.5 V (增益 = 1) 或5 V (增益 = 2)。采用2.7 V至5.5 V单电源供电, 通过设计保证单调性。AD5674/AD5674R/AD5679/AD5679R采用28引脚引脚架构芯片级封装(LFCSP), 内置一个上电复位(POR)电路, 确保DAC输出上电至并保持在零电平或中间电平, 直到执行一次有效的写操作为止。AD5674/AD5674R/AD5679/AD5679R还内置关断模式, 在此模式下, 将功耗降至2 μA (典型值)。

功能框图

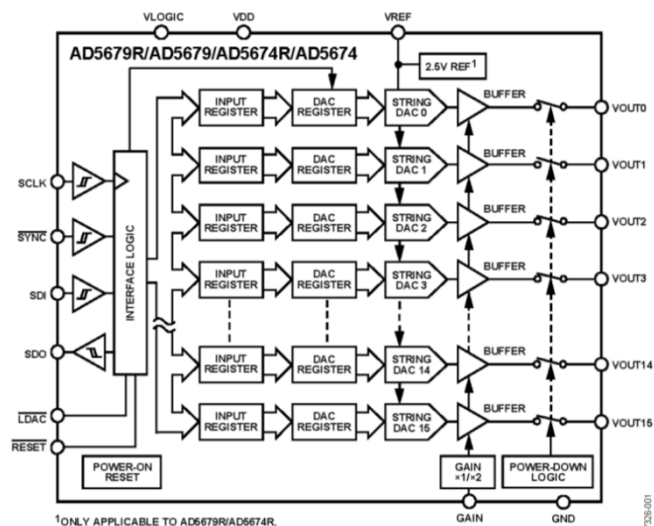


图1.

表1. 8通道和16通道nanoDAC+®器件

通道数	接口 ¹	基准电压源	16位	12位
8	SPI ¹	内部	AD5676R	AD5672R
		外部	AD5676	不适用
16	I ² C	内部	AD5675R	AD5671R
		内部	AD5679R	AD5674R
		外部	AD5679	AD5674

产品聚焦

- 高通道密度: 16通道, 4 mm × 4 mm LFCSP。
- 高相对精度 (积分非线性(INL)): ±4 LSB (最大值)。
- 低漂移, 2.5V片内基准电压源。

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

©2019 Analog Devices, Inc. All rights reserved.

Technical Support

www.analog.com/cn

ADI 中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考 ADI 提供的最新英文版数据手册。

目录

产品特性	1	写命令和更新命令	25
应用	1	菊花链操作	25
功能框图	1	回读操作	25
概述	1	掉电工作模式	26
产品聚焦	1	加载DAC（硬件LDAC引脚）	27
修订历史	2	LDAC屏蔽寄存器	27
技术规格	3	硬件复位(RESET)	28
AD5674/AD5674R技术规格	3	上电复位内部电路	28
AD5679/AD5679R技术规格	5	软件复位	28
交流特性	7	内部基准电压源设置	28
时序特性	7	回流焊	28
菊花链和回读时序特性	8	长期温度漂移	29
绝对最大额定值	10	热迟滞	29
热阻	10	应用信息	30
ESD警告	10	电源建议	30
引脚配置和功能描述	11	微处理器接口	30
典型性能参数	12	AD5674/AD5674R/AD5679/AD5679R与ADSP-BF531的	
术语	21	接口	30
工作原理	23	AD5674/AD5674R/AD5679/AD5679R与SPORT的接口	30
DAC	23	布局布线指南	30
转换函数	23	电流隔离接口	31
DAC架构	23	外形尺寸	32
串行接口	23	订购指南	32
独立操作	25		

修订历史

2019年12月—修订版A至修订版B

更改“概述”部分	1
表2和尾注1	4
更改表3	5
更改表9	11
更改图9	12
更改图13至图18	13
更改图19至图24	14
更改图25至图30	15
更改图31和图32	16
更改“硬件复位”(RESET)部分、图52和图53，移动表19	19
增加图60，更改内部基准电压源部分	24
DAC同步更新（LDAC保持低电平）和DAC迟延更新（LDAC变为低电平）部分	28
硬件复位(RESET)部分	29
更改“订购指南”	32

2019年11月—修订版0至修订版A

增加AD5674、AD5674R和AD5679	通篇
变更功能框图、表1、概述部分和产品聚焦部分	1
更改表2	4
增加AD5679/AD5679R技术规格部分和表2；重新排序	6
更改“热阻”部分	11
更改图7至图12	12
更改图13至图18	13
更改图19至图24	14
更改图25至图30	15
更改图31至图36	16
更改图37至图42	17
更改图60	25
增加“长期温度漂移”部分及图64；重新排序	28
更改图67和图68	30
更改“订购指南”	32

2019年8月—修订版0：初始版

技术规格

AD5674/AD5674R技术规格

除非另有说明，VDD引脚电压(V_{DD}) = 2.7 V至5.5 V，1.62 V ≤ VLOGIC引脚电压(V_{LOGIC}) ≤ 5.5 V，负载电阻(R_L) = 2 kΩ，负载电容(C_L) = 200 pF，所有技术规格为 T_J = -40°C至+125°C，一般为 T_A = 25°C。

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
静态性能 ¹					
分辨率	12			位	
积分非线性(INL)		±0.12	±1	LSB	增益 = 1
		±0.12	±1	LSB	增益 = 2
差分非线性(DNL)		±0.05	±0.1	LSB	增益 = 1
		±0.05	±0.1	LSB	增益 = 2
零代码误差		0.8	1.6	mV	增益 = 1或增益 = 2
失调误差		-0.75	±2	mV	增益 = 1
		-0.1	±1.5	mV	增益 = 2
满量程误差		-0.018	±0.14	% FSR	增益 = 1
		-0.013	±0.07	% FSR	增益 = 2, $V_{DD} = 5.5$ V
增益误差		+0.04	±0.12	% FSR	增益 = 1
		-0.02	±0.06	% FSR	增益 = 2
总非调整误差(TUE)		±0.03	±0.18	% FSR	增益 = 1
		±0.006	±0.14	% FSR	增益 = 2
失调误差漂移		±2		μV/°C	增益 = 1
直流电源电压抑制比(PSRR)		0.25		mV/V	DAC代码 = 中间电平, $V_{DD} = 5$ V ± 10%
直流串扰		±2		μV	单通道、满量程输出变化、内部基准电压源, 增益 = 1引起
		±3		μV/mA	负载电流变化、外部基准电压源、增益 = 2引起
		±2		μV	(各通道) 掉电、内部基准电压源、增益 = 1引起
输出特性					
输出上电电压		0		V	增益 = 1, AD5674-1, AD5674R-1
		0		V	增益 = 2, AD5674-1, AD5674R-1
		1.25		V	增益 = 1, AD5674R-2
		2.5		V	增益 = 2, AD5674R-2
输出电压范围	0		2.5	V	增益 = 1
	0		5	V	增益 = 2
容性负载稳定性		2		nF	$R_L = \infty$
		10		nF	$R_L = 1$ kΩ
负载调整率		183		μV/mA	$V_{DD} = 5$ V ± 10%, DAC代码 = 中间电平, -30 mA ≤ 输出电流(I_{OUT}) ≤ +30 mA
		177		μV/mA	$V_{DD} = 3$ V ± 10%, DAC代码 = 中间电平, -20 mA ≤ I_{OUT} ≤ +20 mA
短路电流 ²		40		mA	
供电轨处负载阻抗 ³		25		Ω	
上电时间 ⁴		3		μs	退出关断模式, $V_{DD} = 5$ V
基准电压输入					
基准输入电流		0.8		mA	基准电压(V_{REF}) = $V_{DD} = V_{LOGIC} = 5.5$ V, 增益 = 1
		1.6		mA	$V_{REF} = V_{DD} = V_{LOGIC} = 5.5$ V, 增益 = 2
基准输入范围	1		V_{DD}	V	增益 = 1
	1		$V_{DD}/2$	V	增益 = 2
基准输入阻抗		7		kΩ	增益 = 1
		3.5		kΩ	增益 = 2
基准输出					AD5674R-1、AD5674R-2
输出电压 ⁵	2.4975		2.5025	V	
基准电压温度系数(TC) ^{6,7}		2	5	ppm/°C	参见“术语”部分

参数	最小值	典型值	最大值	单位	测试条件/注释
输出阻抗		0.04		Ω	
输出电压噪声		13		$\mu\text{V p-p}$	0.1Hz至10Hz
输出电压噪声密度		240		$\text{nV}/\sqrt{\text{Hz}}$	环境温度(T_A), $f = 10\text{ kHz}$, $C_L = 10\text{ nF}$, 增益 = 1或2
负载调整率 (拉)		29		$\mu\text{V}/\text{mA}$	环境温度
负载调整率 (灌)		74		$\mu\text{V}/\text{mA}$	环境温度
输出电流负载能力		± 20		mA	$V_{DD} \geq 3\text{ V}$
电压调整率		43		$\mu\text{V}/\text{V}$	环境温度
长期稳定性漂移		77		ppm	处于25°C下1000小时后
热迟滞		125		ppm	第一周期
		25		ppm	其它周期
逻辑输入					
输入电流			± 1	μA	每引脚
输入电压(V_{IN})					
低电平(V_{INL})			$0.3 \times V_{LOGIC}$	V	
高电平(V_{INH})	$0.7 \times V_{LOGIC}$			V	
引脚电容		4		pF	
逻辑输出(SDO)					
输出电压(V_{OUT})					
低电平(V_{OL})			0.4	V	灌电流(I_{SINK}) = 200 μA
高电平(V_{OH})	$V_{LOGIC} - 0.4$			V	拉电流(I_{SOURCE}) = 200 μA
浮空态输出电容		9		pF	
电源要求					
V_{LOGIC}	1.62		5.5	V	上电, -40°C 至 $+105^\circ\text{C}$
I_{LOGIC}			1	μA	上电, -40°C 至 $+125^\circ\text{C}$
			1.3	μA	关断, -40°C 至 $+105^\circ\text{C}$
			0.5	μA	关断, -40°C 至 $+125^\circ\text{C}$
			1.3	μA	增益 = 1
V_{DD}	2.7		5.5	V	增益 = 2
	$V_{REF} + 1.5$		5.5	V	$V_{INH} = V_{DD}$, $V_{INL} = \text{GND}$, $V_{DD} = 2.7\text{ V}$ 至 5.5 V
电源电流(I_{DD})					内部基准电压源关闭, -40°C 至 $+85^\circ\text{C}$
正常模式 ⁸		2.3	2.53	mA	内部基准电压源开启, -40°C 至 $+85^\circ\text{C}$
		3.4	3.8	mA	内部基准电压源关闭
		2.3	2.6	mA	内部基准电压源开启
		3.4	4.2	mA	关断至1 k Ω , -40°C 至 $+85^\circ\text{C}$
全掉电模式 ⁹		2	3.4	μA	关断至1 k Ω , -40°C 至 $+105^\circ\text{C}$
		2	5	μA	关断至1 k Ω , -40°C 至 $+125^\circ\text{C}$
		2	11	μA	

¹ 除非另有说明, 直流规格均在输出端无负载的情况下测得。上行死区 = 10 mV, 仅当 $V_{REF} = V_{DD}$ 且增益 = 1或 $V_{REF}/2 = V_{DD}$ 且增益 = 2时存在。线性度是使用一个缩小的代码范围 (256到4080) 计算出来的。

² $V_{DD} = 5\text{ V}$ 。器件包含限流功能, 旨在保护器件免受暂时性过载条件影响。限流期间可能会超过结温(T_J)。在规定的最大结温以上工作可能会影响器件的可靠性。

³ 从任一供电轨吸取负载电流时, 相对于该供电轨的输出电压裕量受输出器件的25 Ω 典型通道电阻限制。例如, 当吸电流为1 mA时, 最小输出电压 = $25\text{ } \Omega \times 1\text{ mA} = 25\text{ mV}$ 。

⁴ 退出掉电模式进入正常工作模式的时间, $\overline{\text{SYNC}}$ 上升沿到DAC中间电平值的90%, 且输出端无负载。

⁵ 初始精度预焊回流为 $\pm 750\text{ } \mu\text{V}$ 。输出电压包括预调理漂移的影响。参见“内部基准电压源设置”部分。

⁶ 基准电压源在两个温度上进行调整和测试, 且表征温度范围为 -40°C 至 $+125^\circ\text{C}$ 。

⁷ 基准电压源温度系数采用黑盒法计算。详情见“术语”部分。

⁸ 接口未启用。所有DAC启用。DAC输出端无负载。

⁹ 所有DAC关断。

AD5679/AD5679R技术规格

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $1.62\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$, $R_L = 2\text{ k}\Omega$, $C_L = 200\text{ pF}$, 所有技术规格为 $T_j = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$, 一般为 $T_A = 25^\circ\text{C}$ 。

表3.

参数	最小值	典型值	最大值	单位	测试条件/注释
静态性能 ¹					
分辨率	16			位	
积分非线性(INL)		± 1.8	± 4	LSB	增益 = 1
		± 1.7	± 4	LSB	增益 = 2
差分非线性(DNL)		± 0.7	± 1	LSB	增益 = 1
		± 0.5	± 1	LSB	增益 = 2
零代码误差		0.8	1.6	mV	增益 = 1 或 增益 = 2
失调误差		-0.75	± 2	mV	增益 = 1
		-0.1	± 1.5	mV	增益 = 2
满量程误差		-0.018	± 0.14	% FSR	增益 = 1
		-0.013	± 0.07	% FSR	增益 = 2, $V_{DD} = 5.5\text{ V}$
增益误差		+0.04	± 0.12	% FSR	增益 = 1
		-0.02	± 0.06	% FSR	增益 = 2
TUE		± 0.03	± 0.18	% FSR	增益 = 1
		± 0.006	± 0.14	% FSR	增益 = 2
失调误差漂移		± 2		$\mu\text{V}/^\circ\text{C}$	增益 = 1
直流电源抑制比(DC PSRR)		0.25		mV/V	DAC代码 = 中间电平, $V_{DD} = 5\text{ V} \pm 10\%$
直流串扰		± 2		μV	单通道、满量程输出变化、内部基准电压源, 增益 = 1引起
		± 3		$\mu\text{V}/\text{mA}$	负载电流变化、外部基准电压源、增益 = 2引起
		± 2		μV	(各通道) 掉电、内部基准电压源、增益 = 1引起
输出特性					
输出上电电压		0		V	增益 = 1, AD5679-1, AD5679R-1
		0		V	增益 = 2, AD5679-1, AD5679R-1
		1.25		V	增益 = 1, AD5679R-2
		2.5		V	增益 = 2, AD5679R-2
输出电压范围	0		2.5	V	增益 = 1
	0		5	V	增益 = 2
容性负载稳定性		2		nF	$R_L = \infty$
		10		nF	$R_L = 1\text{ k}\Omega$
负载调整率		183		$\mu\text{V}/\text{mA}$	$V_{DD} = 5\text{ V} \pm 10\%$, DAC代码 = 中间电平, $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		177		$\mu\text{V}/\text{mA}$	$V_{DD} = 3\text{ V} \pm 10\%$, DAC代码 = 中间电平, $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
短路电流 ²		40		mA	
供电轨处负载阻抗 ³		25		Ω	
上电时间 ⁴		3		μs	退出关断模式, $V_{DD} = 5\text{ V}$
基准电压输入					
基准输入电流		0.8		mA	$V_{REF} = V_{DD} = V_{LOGIC} = 5.5\text{ V}$, 增益 = 1
		1.6		mA	$V_{REF} = V_{DD} = V_{LOGIC} = 5.5\text{ V}$, 增益 = 2
基准输入范围	1		V_{DD}	V	增益 = 1
	1		$V_{DD}/2$	V	增益 = 2
基准输入阻抗		7		k Ω	增益 = 1
		3.5		k Ω	增益 = 2

参数	最小值	典型值	最大值	单位	测试条件/注释
基准输出					AD5679R-1、AD5679R-2
输出电压 ⁵	2.4975		2.5025	V	
基准电压TC ^{6,7}		2	5	ppm/°C	参见“术语”部分
输出阻抗		0.04		Ω	
输出电压噪声		13		$\mu\text{V p-p}$	0.1Hz至10Hz
输出电压噪声密度		240		$\text{nV}/\sqrt{\text{Hz}}$	在 T_A 下, $f = 10 \text{ kHz}$, $C_L = 10 \text{ nF}$, 增益 = 1或2
负载调整率 (拉)		29		$\mu\text{V}/\text{mA}$	环境温度
负载调整率 (灌)		74		$\mu\text{V}/\text{mA}$	环境温度
输出电流负载能力		± 20		mA	$V_{DD} \geq 3 \text{ V}$
电压调整率		43		$\mu\text{V}/\text{V}$	环境温度
长期稳定性漂移		77		ppm	处于25°C下1000小时后
热迟滞		125		ppm	第一周期
		25		ppm	其它周期
逻辑输入					
输入电流			± 1	μA	每引脚
V_{IN}				V	
V_{INL}			$0.3 \times V_{LOGIC}$	V	
V_{INH}	$0.7 \times V_{LOGIC}$			V	
引脚电容		4		pF	
逻辑输出(SDO)					
V_{OUT}			0.4	V	$I_{SINK} = 200 \mu\text{A}$
V_{OL}	$V_{LOGIC} - 0.4$			V	$I_{SOURCE} = 200 \mu\text{A}$
V_{OH}				V	
浮空态输出电容		9		pF	
电源要求					
V_{LOGIC}	1.62		5.5	V	
I_{LOGIC}			1	μA	上电, -40°C 至 $+105^\circ\text{C}$
			1.3	μA	上电, -40°C 至 $+125^\circ\text{C}$
			0.5	μA	关断, -40°C 至 $+105^\circ\text{C}$
			1.3	μA	关断, -40°C 至 $+125^\circ\text{C}$
V_{DD}	2.7		5.5	V	增益 = 1
	$V_{REF} + 1.5$		5.5	V	增益 = 2
I_{DD}					$V_{INH} = V_{DD}$, $V_{INL} = \text{GND}$, $V_{DD} = 2.7 \text{ V}$ 至 5.5 V
正常模式 ⁸		2.3	2.53	mA	内部基准电压源关闭, -40°C 至 $+85^\circ\text{C}$
		3.4	3.8	mA	内部基准电压源开启, -40°C 至 $+85^\circ\text{C}$
		2.3	2.6	mA	内部基准电压源关闭
		3.4	4.2	mA	内部基准电压源开启
全掉电模式 ⁹		2	3.4	μA	关断至1 k Ω , -40°C 至 $+85^\circ\text{C}$
		2	5	μA	关断至1 k Ω , -40°C 至 $+105^\circ\text{C}$
		2	11	μA	关断至1 k Ω , -40°C 至 $+125^\circ\text{C}$

¹ 除非另有说明, 直流规格均在输出端无负载的情况下测得。上行死区 = 10 mV, 仅当 $V_{REF} = V_{DD}$ 且增益 = 1或 $V_{REF}/2 = V_{DD}$ 且增益 = 2时存在。线性度是使用一个缩小的代码范围 (256到65,280) 计算出来的。

² $V_{DD} = 5 \text{ V}$ 。器件包含限流功能, 旨在保护器件免受暂时性过载条件影响。限流期间可能会超过 T_J 。在规定的最大结温以上工作可能会影响器件的可靠性。

³ 从任一供电轨吸取负载电流时, 相对于该供电轨的输出电压裕量受输出器件的25 Ω 典型通道电阻限制。例如, 当吸电流为1 mA时, 最小输出电压 = $25 \Omega \times 1 \text{ mA} = 25 \text{ mV}$ 。

⁴ 退出掉电模式进入正常工作模式的时间, $\overline{\text{SYNC}}$ 上升沿到DAC中间电平值的90%, 且输出端无负载。

⁵ 初始精度预调回流为 $\pm 750 \mu\text{V}$ 。输出电压包括预调漂移的影响。参见“内部基准电压源设置”部分。

⁶ 基准电压源在两个温度上进行调整和测试, 且表征温度范围为 -40°C 至 $+125^\circ\text{C}$ 。

⁷ 基准电压源温度系数采用黑盒法计算。详情见“术语”部分。

⁸ 接口未启用。所有DAC启用。DAC输出端无负载。

⁹ 所有DAC关断。

交流特性

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $1.62\text{ V} \leq V_{\text{LOGIC}} \leq 5.5\text{ V}$, $R_L = 2\text{ k}\Omega$ 至 GND, $C_L = 200\text{ pF}$ 至 GND, 所有技术规格为 $T_j = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$, 一般为 $T_A = 25^\circ\text{C}$ 。

表4.

参数	最小值	典型值	最大值	单位	测试条件/注释
输出电压建立时间 ¹	6	8		μs	1/4到3/4量程建立到 $\pm 2\text{ LSB}$
压摆率	0.8			$\text{V}/\mu\text{s}$	
数模转换毛刺脉冲 ¹	1.4			$\text{nV}\cdot\text{sec}$	主进位1 LSB变化 (内部基准电压源, 增益 = 1)
数字馈通 ¹	0.13			$\text{nV}\cdot\text{sec}$	
串扰 ¹					
数字	0.1			$\text{nV}\cdot\text{sec}$	
模拟	-0.25			$\text{nV}\cdot\text{sec}$	
DAC至DAC	-1.3			$\text{nV}\cdot\text{sec}$	内部基准电压源, 增益 = 2
	-2.0			$\text{nV}\cdot\text{sec}$	内部基准电压源, 增益 = 2
总谐波失真 ²	-80			dB	在 T_A 下, 带宽 = 20 kHz, $V_{DD} = 5\text{ V}$, 输出频率(f_{OUT}) = 1 kHz, 内部基准电压源, 增益 = 2
输出噪声谱密度 ¹	300			$\text{nV}/\sqrt{\text{Hz}}$	DAC代码 = 中间电平, 10 kHz, 增益 = 2
输出噪声 ¹	6			$\mu\text{V p-p}$	0.1 Hz至10 Hz, 增益 = 1
信噪比(SNR)	90			dB	在 $T_A = 25^\circ\text{C}$ 时, 带宽 = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{\text{OUT}} = 1\text{ kHz}$, 内部基准电压源
无杂散动态范围(SFDR)	83			dB	在 $T_A = 25^\circ\text{C}$ 时, 带宽 = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{\text{OUT}} = 1\text{ kHz}$, 内部基准电压源
信纳比(SINAD)	80			dB	在 $T_A = 25^\circ\text{C}$ 时, 带宽 = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{\text{OUT}} = 1\text{ kHz}$, 内部基准电压源, 增益 = 2

¹ 参见“术语”部分。利用内部基准电压源测量, 增益 = 1, 除非另有说明。

² 1 kHz时以数字方式生成的正弦波(f_{OUT})。

时序特性

所有输入信号均指定上升时间(t_R) = 下降时间(t_F) = $1\text{ ns}/V(V_{DD}$ 的10%至90%)并从 $(V_{\text{INL}} + V_{\text{INH}})/2$ 电平起开始计时。参见图2。

$V_{DD} = 2.7\text{ V}$ 至 5.5 V , $1.62\text{ V} \leq V_{\text{LOGIC}} \leq 5.5\text{ V}$ 。 $V_{\text{REF}} = 2.5\text{ V}$ 。除非另有说明, 所有技术规格为 $T_j = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。

表5.

参数	符号	$1.62\text{ V} \leq V_{\text{LOGIC}} < 2.7\text{ V}$		$2.7\text{ V} \leq V_{\text{LOGIC}} \leq 5.5\text{ V}$		单位
		最小值	最大值	最小值	最大值	
SCLK周期时间	t_1	20		20		ns
SCLK高电平时间	t_2	8		8		ns
SCLK低电平时间	t_3	10		12		ns
SYNC到SCLK下降沿建立时间	t_4	15		11		ns
数据建立时间	t_5	2		3		ns
数据保持时间	t_6	2		2		ns
SCLK下降沿到SYNC上升沿	t_7	4		4		ns
SYNC最短高电平时间	t_8	15		12		ns
SYNC上升沿到SYNC上升沿 (DAC寄存器更新)	t_9	870		830		ns
SYNC下降沿到SCLK下降沿忽略	t_{10}	4		4		ns
LDAC低电平脉冲宽度	t_{11}	12		12		ns
SYNC上升沿到LDAC上升沿	t_{12}	27		27		ns
SYNC上升沿到LDAC下降沿	t_{13}	25		25		ns
LDAC下降沿到SYNC上升沿	t_{14}	840		840		ns
低电平最小脉冲宽度	t_{15}	8		10		ns
脉冲启动时间	t_{16}	115		115		ns

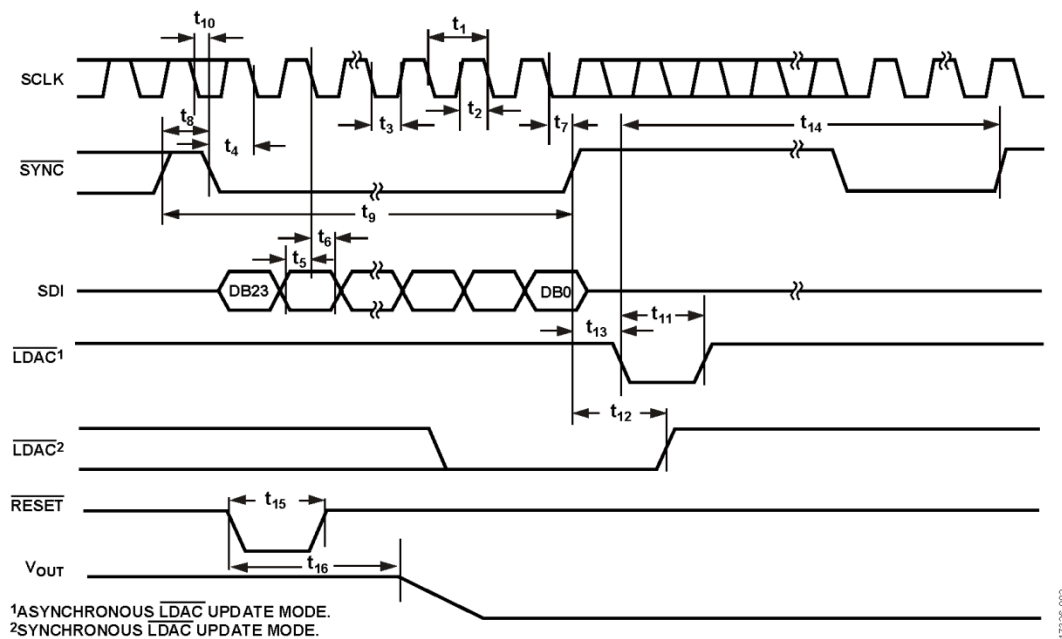


图2. 串行写操作

菊花链和回读时序特性

所有输入信号都指定 $t_R = t_F = 1 \text{ ns}/V(V_{DD} \text{ 的 } 10\% \text{ 至 } 90\%)$ ，并从 $(V_{INL} + V_{INH})/2$ 的电压电平开始计时。参见图4和图5。 $V_{DD} = 2.7 \text{ V}$ 至 5.5 V ， $1.62 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$ 。 $V_{REF} = 2.5 \text{ V}$ 。除非另有说明，所有技术规格为 $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。 $V_{DD} = 2.7 \text{ V}$ 至 5.5 V 。

表6.

参数	符号	$1.62 \text{ V} \leq V_{LOGIC} < 2.7 \text{ V}$		$2.7 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$		单位
		最小值	最大值	最小值	最大值	
SCLK周期时间	t_1	130		110		ns
SCLK高电平时间	t_2	33		23		ns
SCLK低电平时间	t_3	12		7		ns
SYNC到SCLK下降沿	t_4	80		80		ns
数据建立时间	t_5	2		2		ns
数据保持时间	t_6	2		2		ns
SCLK下降沿到SYNC上升沿	t_7	35		10		ns
SYNC最短高电平时间	t_8	55		32		ns
SCLK上升沿到SDO数据有效时间	t_9		130		75	ns
SYNC上升沿到SCLK下降沿	t_{10}	15		8		ns
SYNC上升沿到SDO禁用	t_{11}	218		210		ns

电路图和时序图

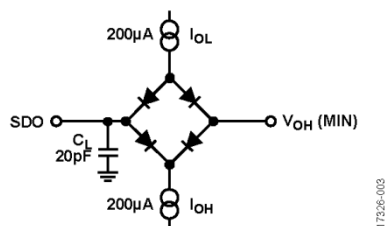


图3. 数字输出(SDO)时序规格的负载电路

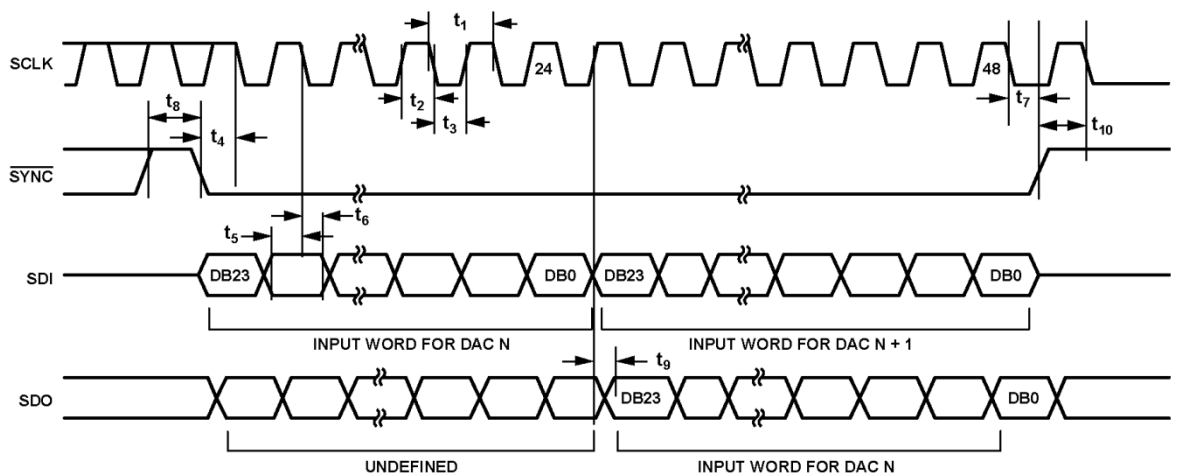


图4. 菊花链时序图

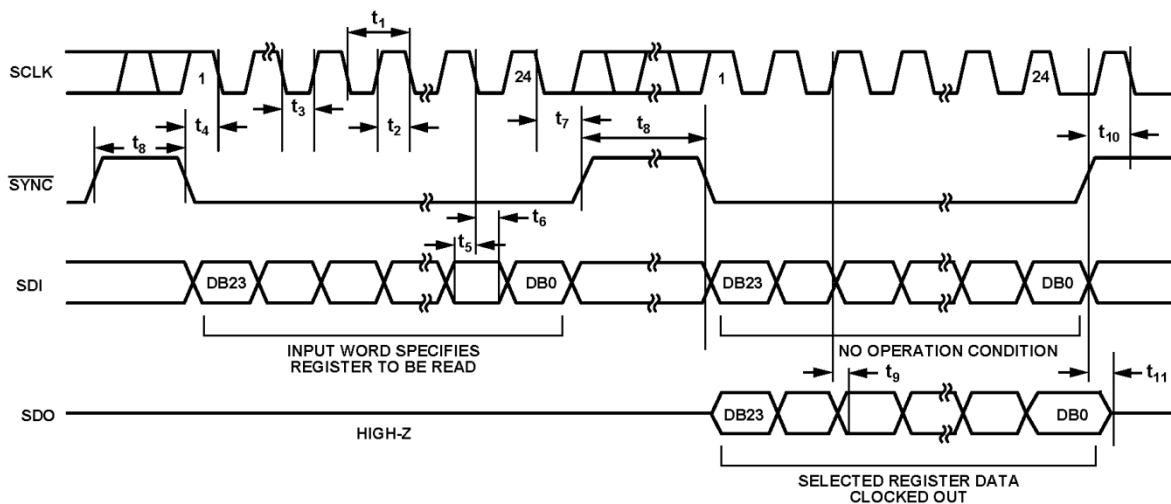


图5. 回读时序图

绝对最大额定值

除非另有说明， $T_A = 25^{\circ}\text{C}$ 。

表7.

参数	额定值
V_{DD} 至GND	-0.3 V至+7 V
V_{LOGIC} 至GND	-0.3 V至+7 V
V_{OUTX} 至GND	-0.3 V至 $V_{DD} + 0.3\text{ V}$
V_{REF} 至GND	-0.3 V至 $V_{DD} + 0.3\text{ V}$
数字输入电压至GND	-0.3 V至 $V_{LOGIC} + 0.3\text{ V}$
工作结温范围	-40°C至+125°C
存储温度范围	-65°C至+150°C
绝对最大结温	150°C
回流焊峰值温度，无铅(J-STD-020)	260°C

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待PCB散热设计。

θ_{JA} 是自然对流下的结至环境热阻，在1立方英尺的密封外罩中测量。 θ_{JB} 为结至板热阻。 θ_{JC} 是结至外壳热阻。 Ψ_{JT} 为结至顶部热特性参数。 Ψ_{JB} 为结至板热特性参数。

表8. 热阻

封装类型 ¹	θ_{JA}	θ_{JB}	θ_{JC}	Ψ_{JT}	Ψ_{JB}	单位
CP-28-8	55.09	24.49	19.14	2.62	23.92	°C/W

¹ 热阻仿真值基于JEDEC 2S2P带9个热过孔的热测试板。参见JEDEC JESD51。

ESD警告



ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

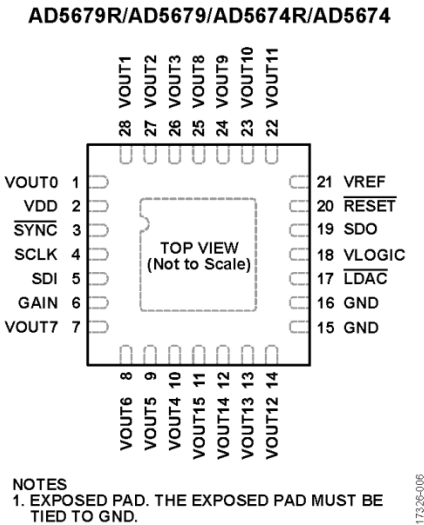


图6. 引脚配置

表9. 引脚功能描述

引脚编号	引脚名称	描述
1	VOUT0	DAC 0的模拟输出电压。输出放大器能以轨到轨方式工作。
2	VDD	电源输入引脚。这些器件采用2.7 V至5.5 V电源供电。 V_{DD} 电源应通过并联的10 μ F电容和0.1 μ F电容去耦至GND。
3	SYNC	低电平有效控制输入。这是输入数据的帧同步信号。当SYNC变为低电平时，数据在后续24个时钟的下降沿读入。
4	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。数据传输速率最高可达50 MHz。
5	SDI	串行数据输入。AD5674/AD5674R/AD5679/AD5679R有一个24位输入移位寄存器。数据在串行时钟输入的下降沿读入该寄存器。
6	增益	范围设置引脚。当该引脚与GND相连时，所有16个DAC的输出范围均为0 V至 V_{REF} 。如果该引脚与 V_{LOGIC} 相连，则所有16个DAC的输出范围为0 V至 $2 \times V_{REF}$ 。
7	VOUT7	DAC 7的模拟输出电压。输出放大器能以轨到轨方式工作。
8	VOUT6	DAC 6的模拟输出电压。输出放大器能以轨到轨方式工作。
9	VOUT5	DAC 5的模拟输出电压。输出放大器能以轨到轨方式工作。
10	VOUT4	DAC 4的模拟输出电压。输出放大器能以轨到轨方式工作。
11	VOUT15	DAC 15的模拟输出电压。输出放大器能以轨到轨方式工作。
12	VOUT14	DAC 14的模拟输出电压。输出放大器能以轨到轨方式工作。
13	VOUT13	DAC 13的模拟输出电压。输出放大器能以轨到轨方式工作。
14	VOUT12	DAC 12的模拟输出电压。输出放大器能以轨到轨方式工作。
15、16	GND	器件上所有电路的接地基准点。
17	LDAC	加载DAC。 $\overline{LDAC}$ 支持两种工作模式：异步和同步。发送脉冲使该引脚变为低电平后，当输入寄存器有新数据时，更新任何或全部DAC寄存器，同时更新所有DAC输出。也可以将该引脚永久接为低电平。
18	VLOGIC	数字电源。此引脚的电压在功率要求部分的表2和表3中指定。
19	SDO	串行数据输出。此引脚可用于以菊花链形式将多个器件连接在一起，或用于回读。串行数据在SCLK上升沿传输，并在其下降沿有效。
20	RESET	异步复位输入。 $\overline{RESET}$ 输入对下降沿敏感。当 $\overline{RESET}$ 为低电平时，所有 $\overline{LDAC}$ 脉冲都被忽略。当 $\overline{RESET}$ 有效时，输入寄存器和DAC寄存器更新为零电平或中间电平，具体取决于使用的型号。
21	VREF	基准输出电压。使用内部基准电压源时，此引脚为基准输出。此引脚是默认的基准电压源输出。
22	VOUT11	DAC 11的模拟输出电压。输出放大器能以轨到轨方式工作。
23	VOUT10	DAC 10的模拟输出电压。输出放大器能以轨到轨方式工作。
24	VOUT9	DAC 9的模拟输出电压。输出放大器能以轨到轨方式工作。
25	VOUT8	DAC 8的模拟输出电压。输出放大器能以轨到轨方式工作。
26	VOUT3	DAC 3的模拟输出电压。输出放大器能以轨到轨方式工作。
27	VOUT2	DAC 2的模拟输出电压。输出放大器能以轨到轨方式工作。
28	VOUT1	DAC 1的模拟输出电压。输出放大器能以轨到轨方式工作。
	EPAD	裸露焊盘。裸露焊盘必须连接到GND。

典型性能参数

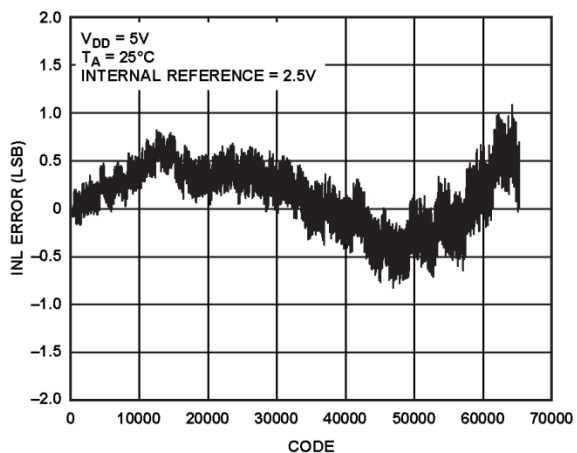


图7. AD5679/AD5679R INL误差与代码的关系

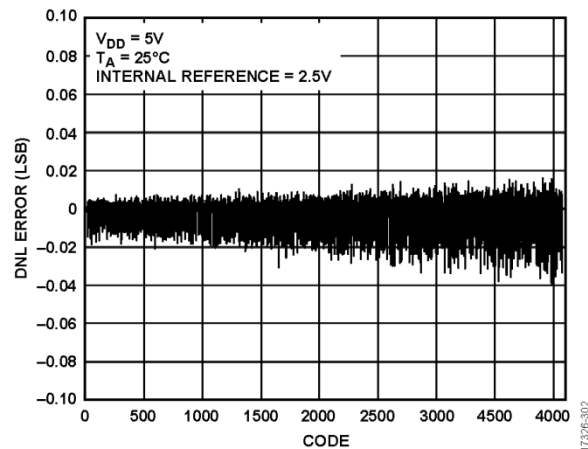


图10. AD5674/AD5674R DNL误差与代码的关系

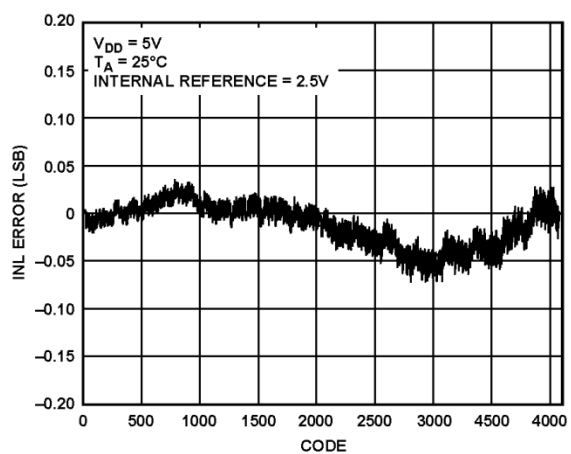


图8. AD5674/AD5674R INL误差与代码的关系

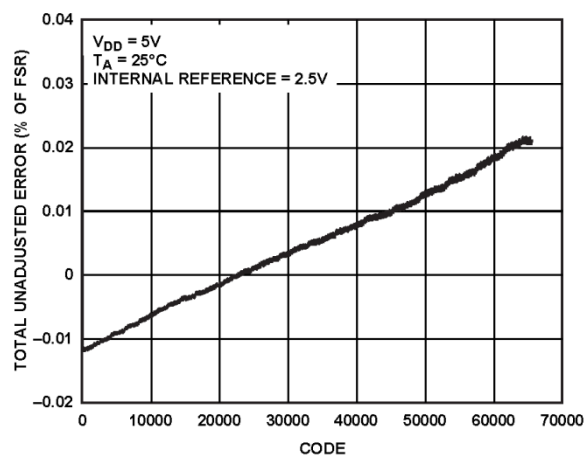


图11. AD5679/AD5679R总非调整误差与代码的关系

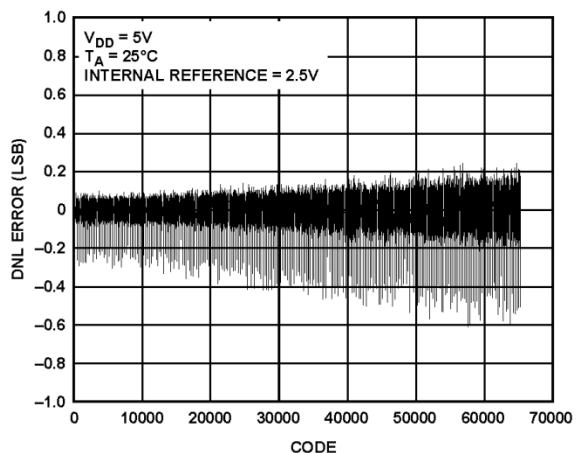


图9. AD5679/AD5679R DNL误差与代码的关系

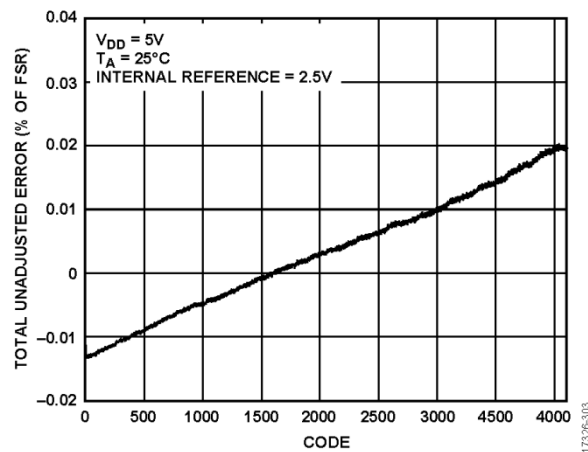


图12. AD5674/AD5674R总非调整误差与代码的关系

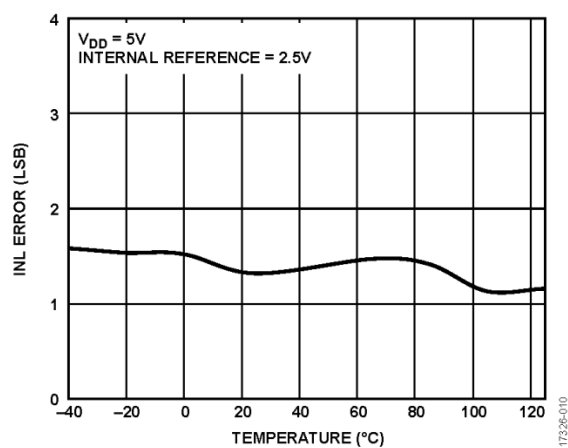


图13. AD5679/AD5679R INL误差与温度的关系

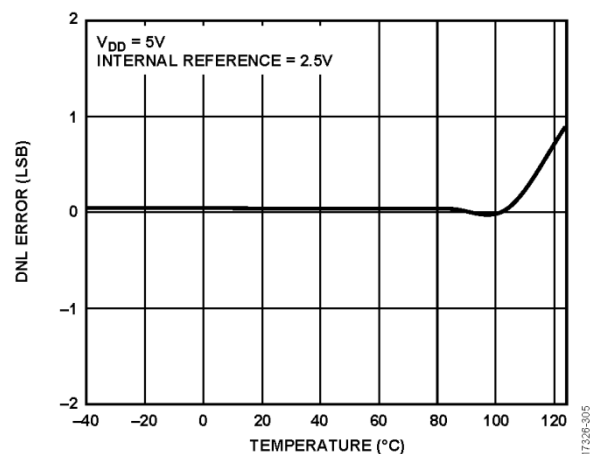


图16. AD5674/AD5674R DNL误差与温度的关系

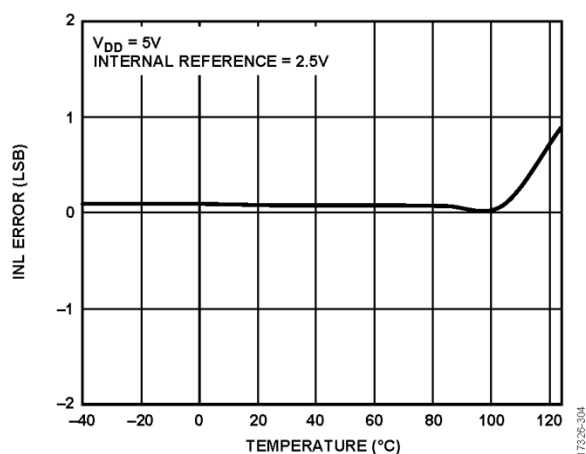


图14. AD5674/AD5674R INL误差与温度的关系

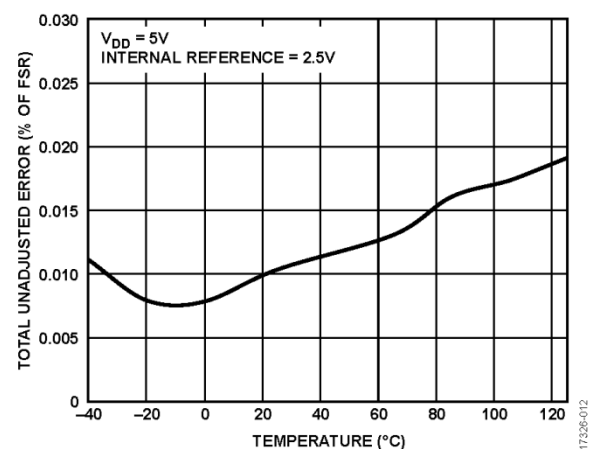


图17. AD5679/AD5679R总非调整误差与温度的关系

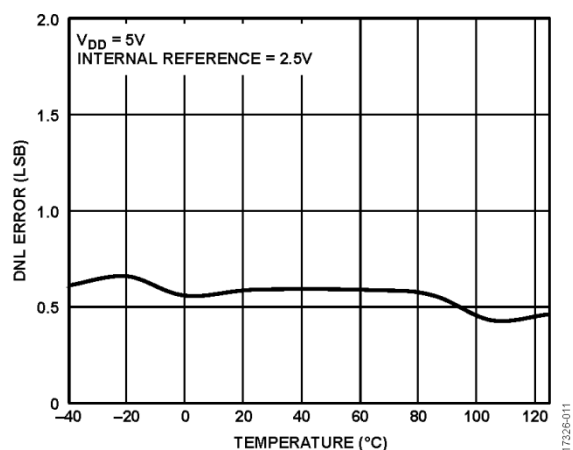


图15. AD5679/AD5679R DNL误差与温度的关系

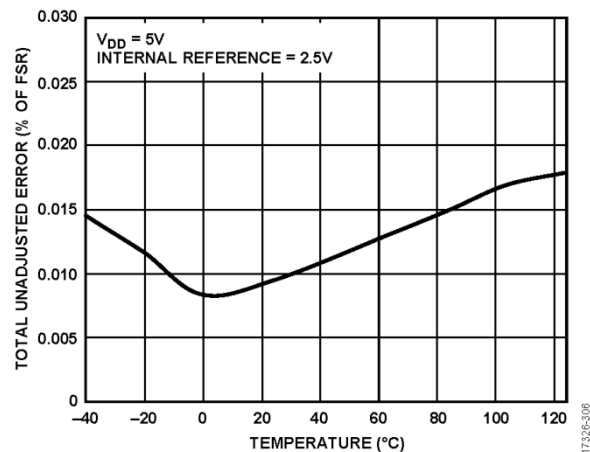


图18. AD5674/AD5674R总非调整误差与温度的关系

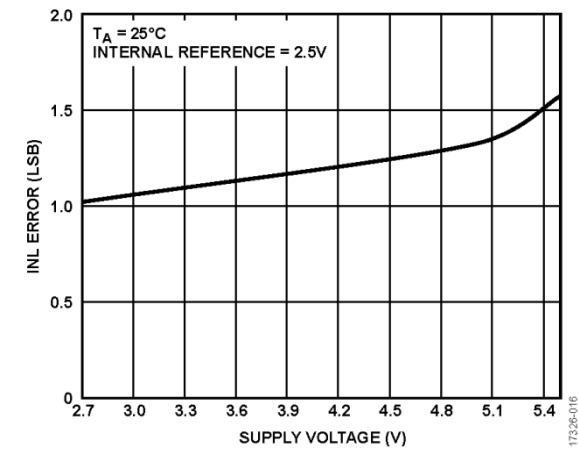


图19. AD5679/AD5679R INL误差与电源电压的关系

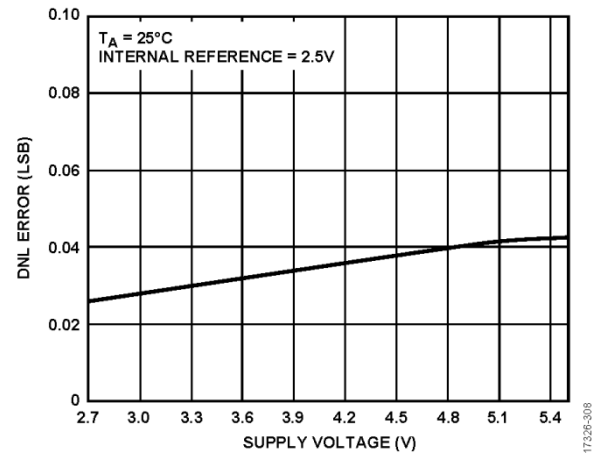


图22. AD5674/AD5674R DNL误差与电源电压的关系

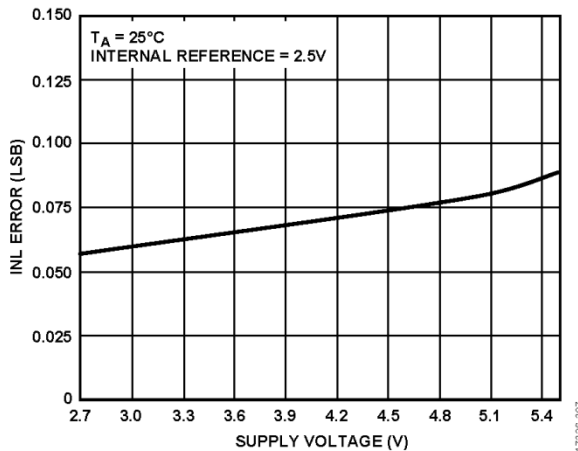


图20. AD5674/AD5674R INL误差与电源电压的关系

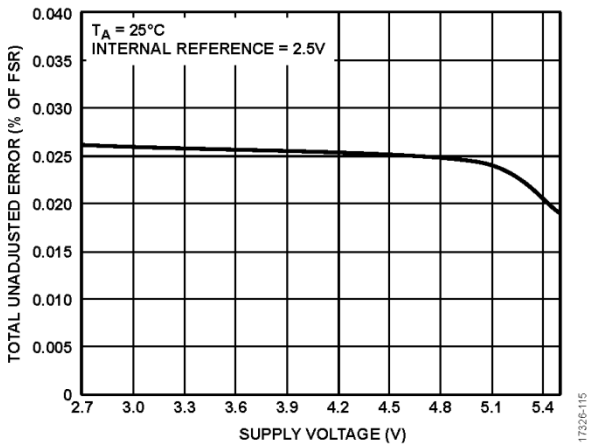


图23. AD5679/AD5679R总非调整误差与电源电压的关系

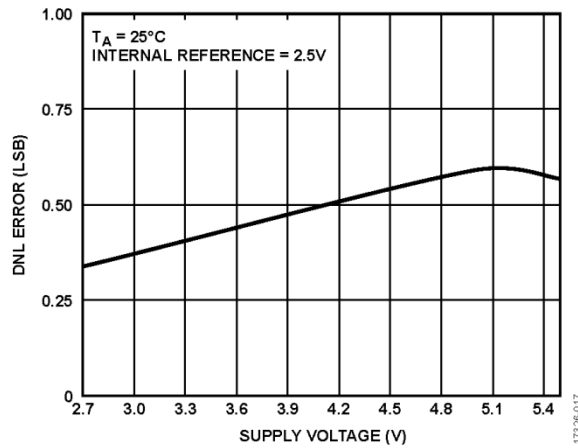


图21. AD5679/AD5679R DNL误差与电源电压的关系

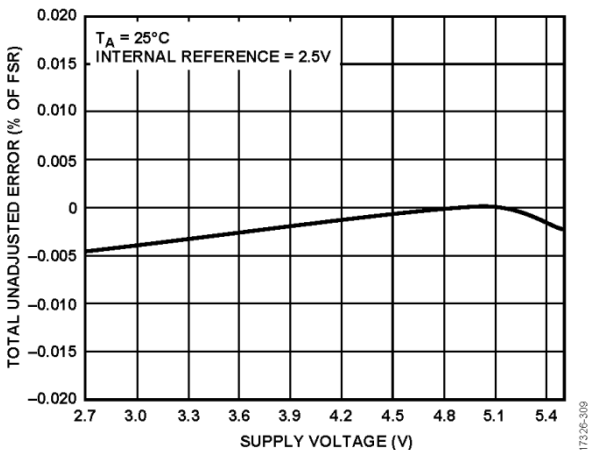


图24. AD5674/AD5674R总非调整误差与电源电压的关系

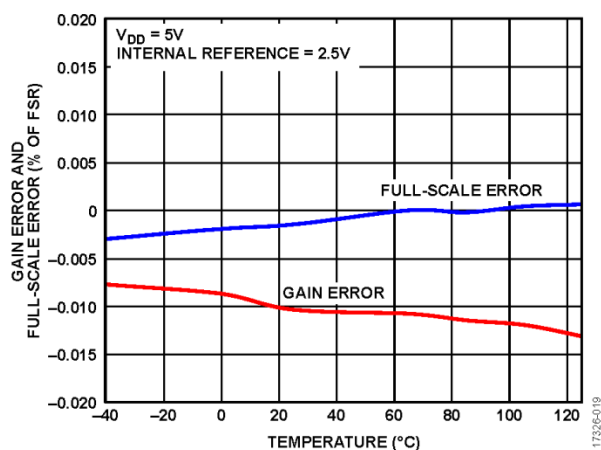


图25. AD5679/AD5679R增益误差和满量程误差与温度的关系

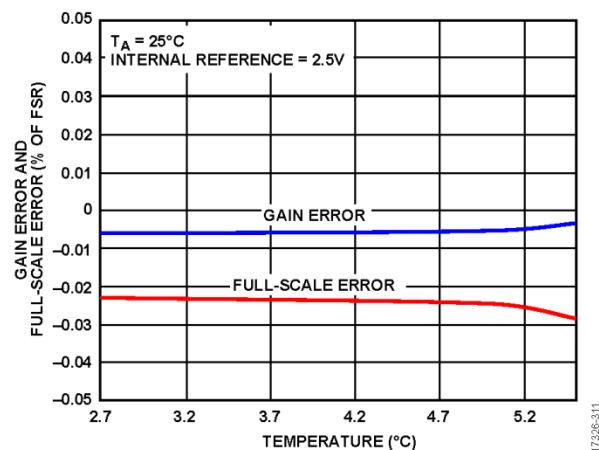


图28. AD5674/AD5674R增益误差和满量程误差与电源电压的关系

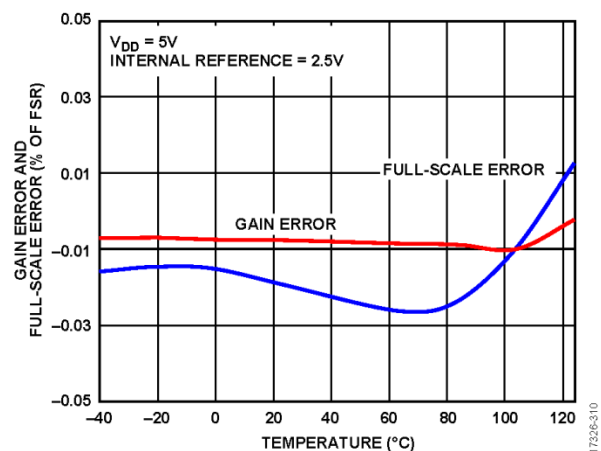


图26. AD5674/AD5674R增益误差和满量程误差与温度的关系

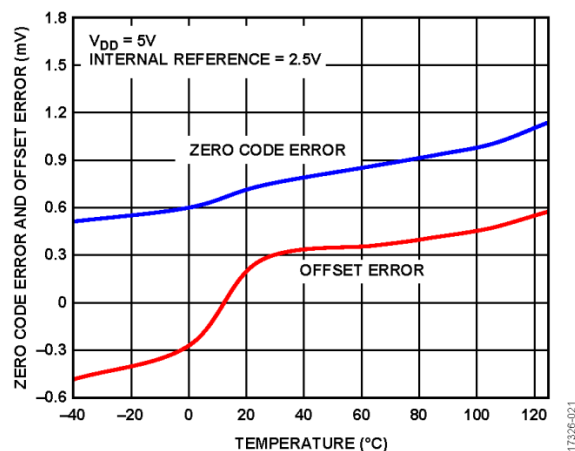


图29. AD5679/AD5679R零点误差和偏置误差与温度的关系

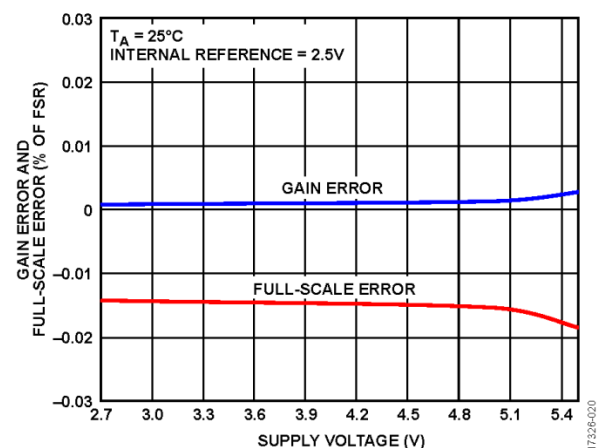


图27. AD5679/AD5679R增益误差和满量程误差与电源电压的关系

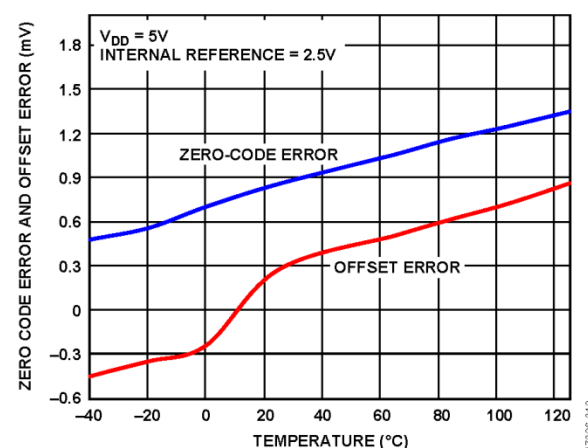


图30. AD5674/AD5674R零点误差和偏置误差与温度的关系

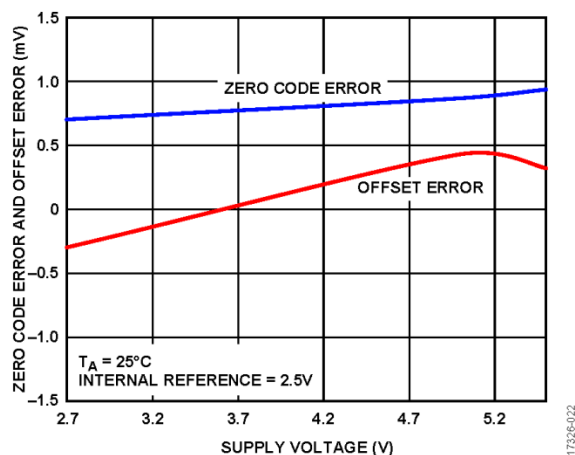


图31. AD5679/AD5679R零码误差和偏置误差与电源电压的关系

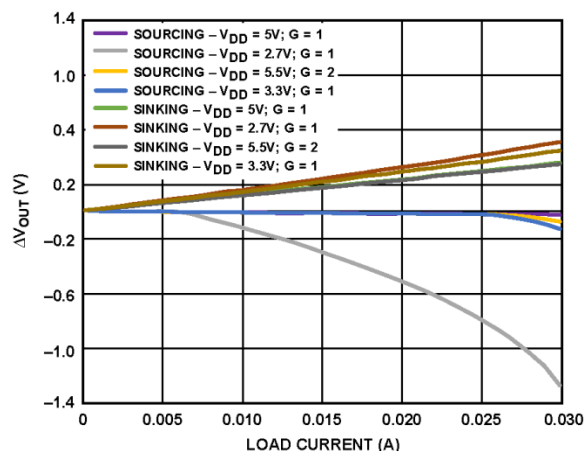


图34. 上裕量/下裕量(ΔV_{OUT})与负载电流的关系

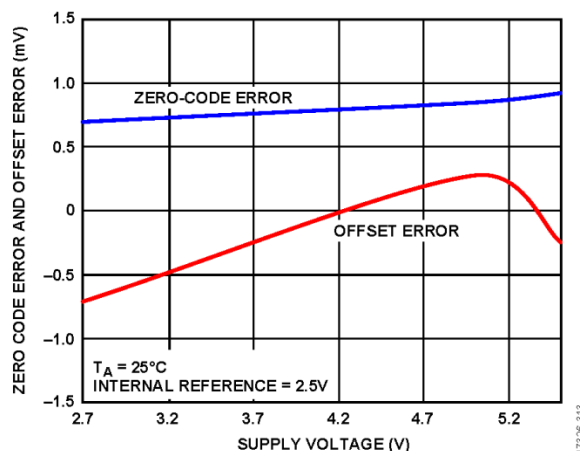


图32. AD5674/AD5674R零码误差和偏置误差与电源电压的关系

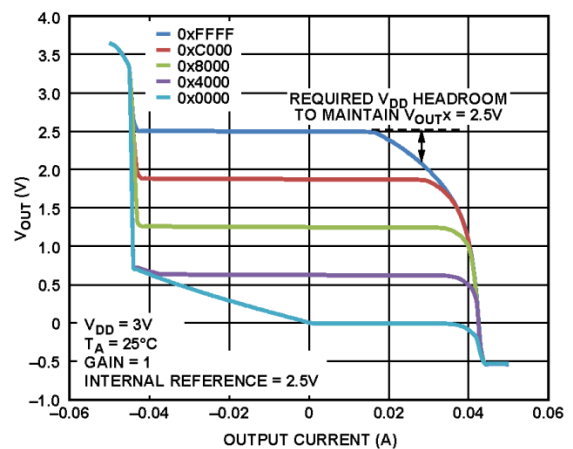


图35. $V_{DD} = 3V$ 时的拉电流和灌电流能力

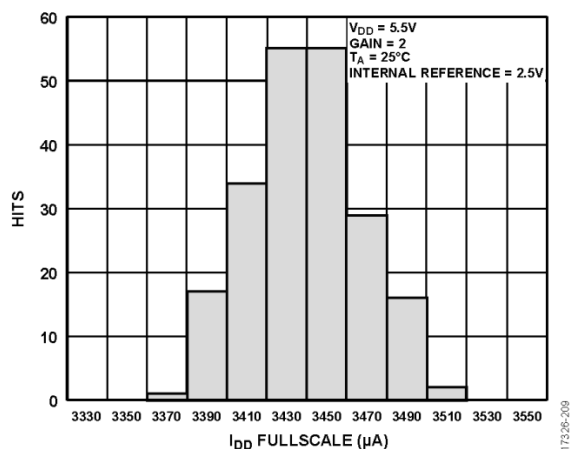


图33. 电源电流(I_{DD})采用内部基准电压源时的直方图

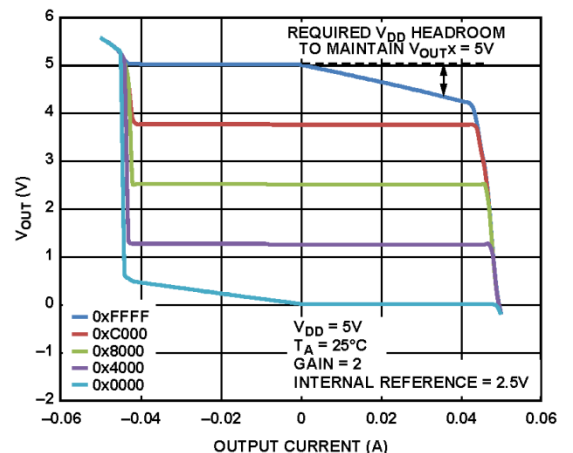


图36. $V_{DD} = 5V$ 时的拉电流和灌电流能力

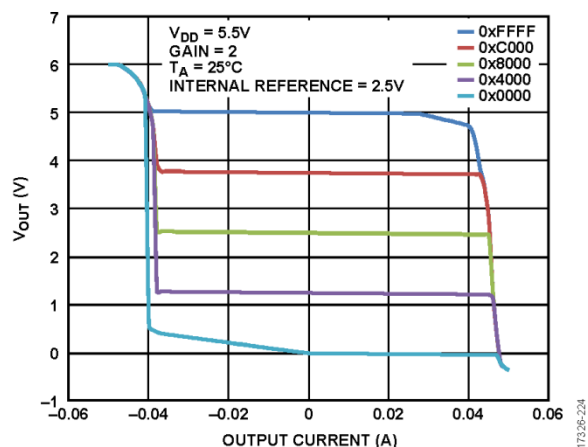


图37. $V_{DD} = 5.5V$ 时的拉电流和灌电流能力

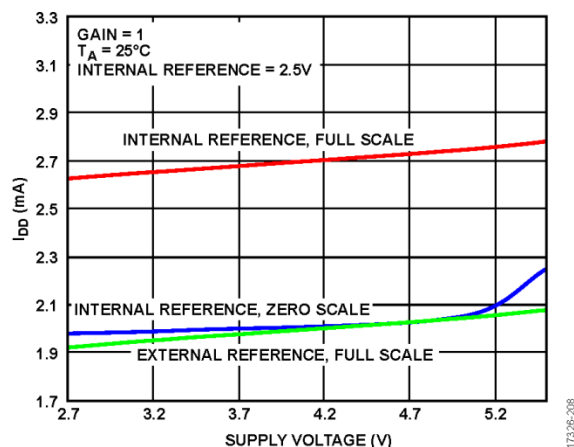


图40. I_{DD} 与电源电压的关系

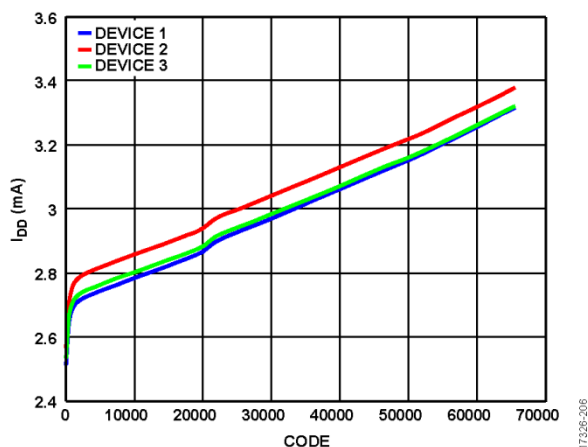


图38. I_{DD} 与代码的关系

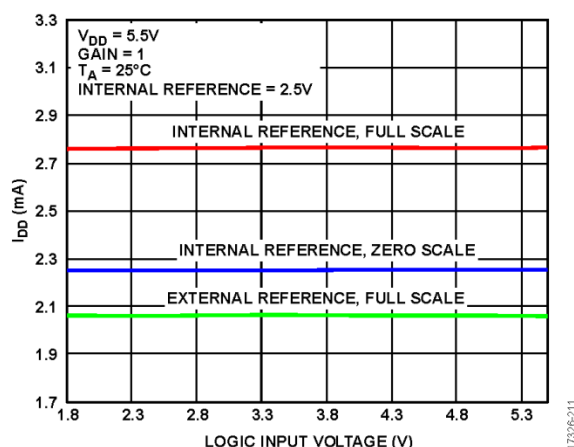


图41. I_{DD} 与逻辑输入电压的关系

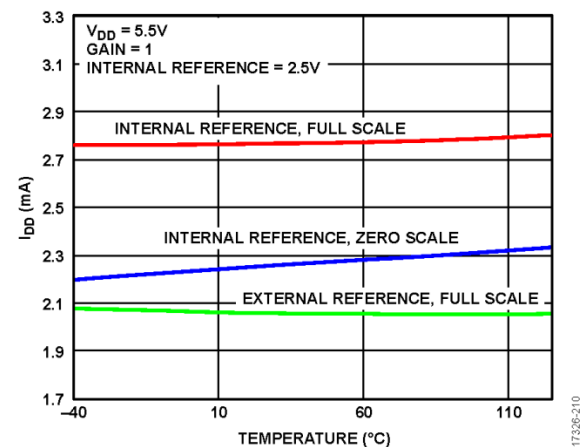


图39. I_{DD} 与温度的关系

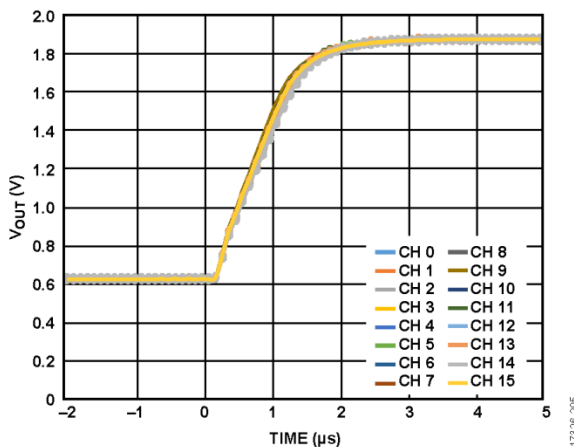


图42. 建立时间

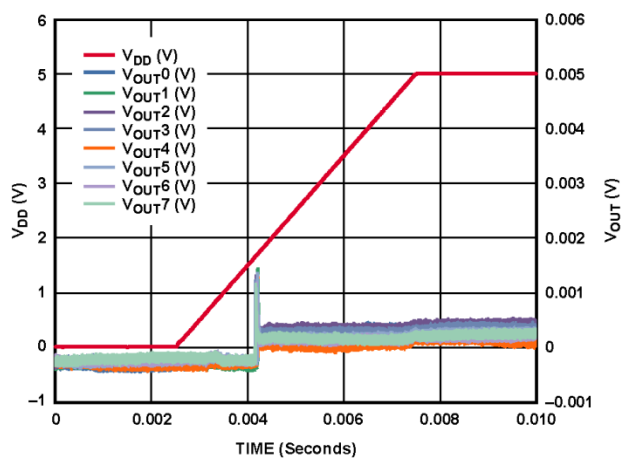


图43. POR至0 V输出

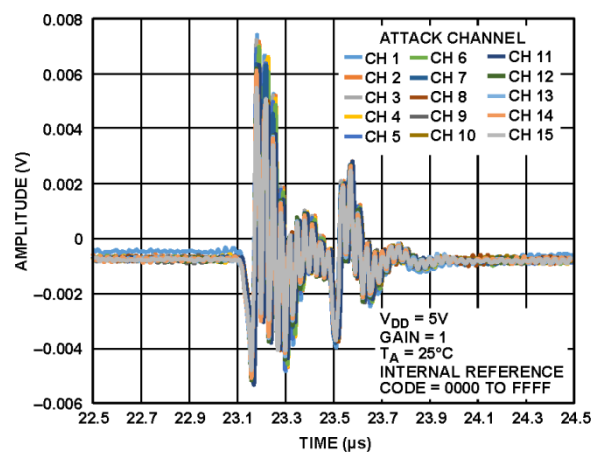


图46. 模拟串扰

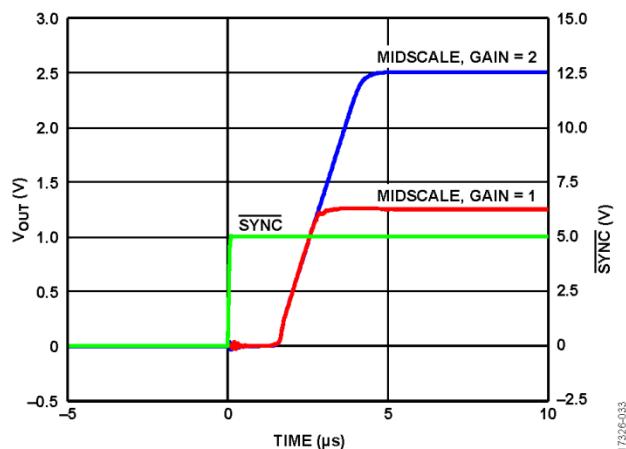


图44. 退出掉电模式进入中间电平

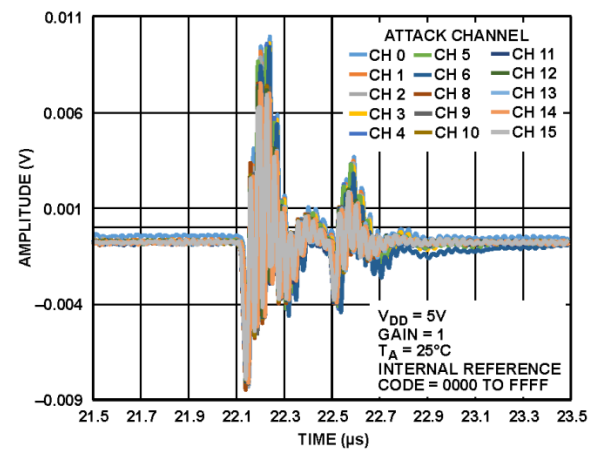


图47. DAC间串扰

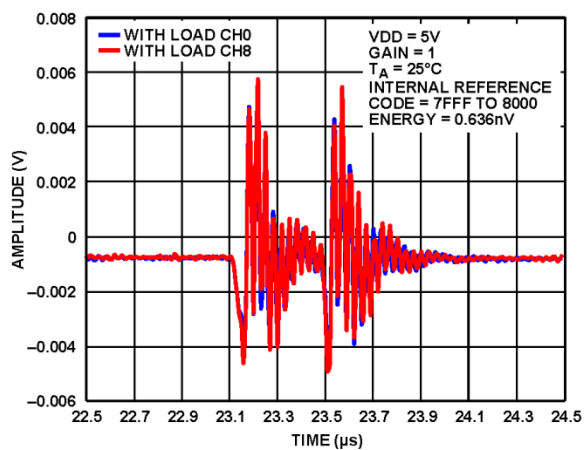


图45. 数模转换毛刺脉冲

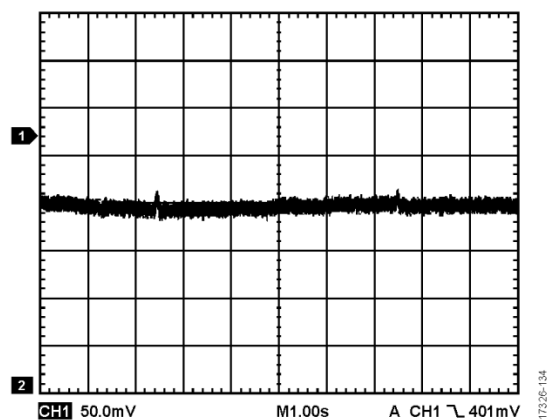


图48. 0.1 Hz至10 Hz输出噪声

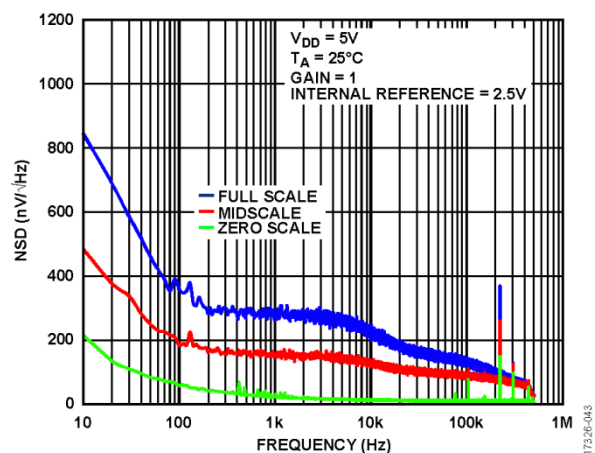


图49. 噪声频谱密度(NSD)

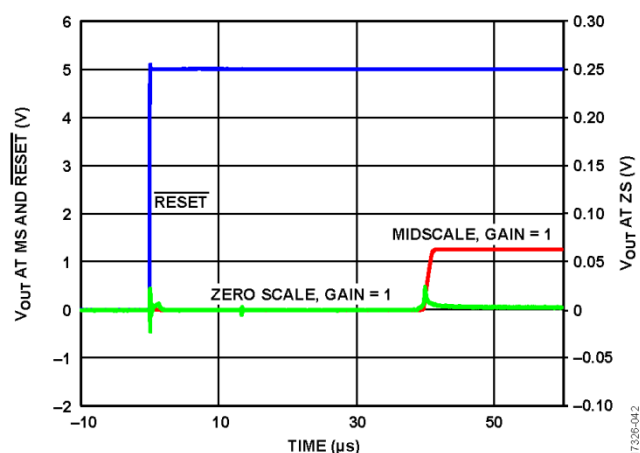


图52. 硬件复位

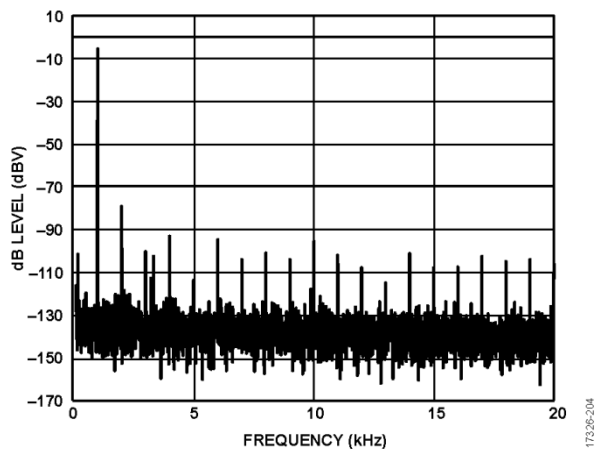


图50. 1 kHz时的总谐波失真(THD)

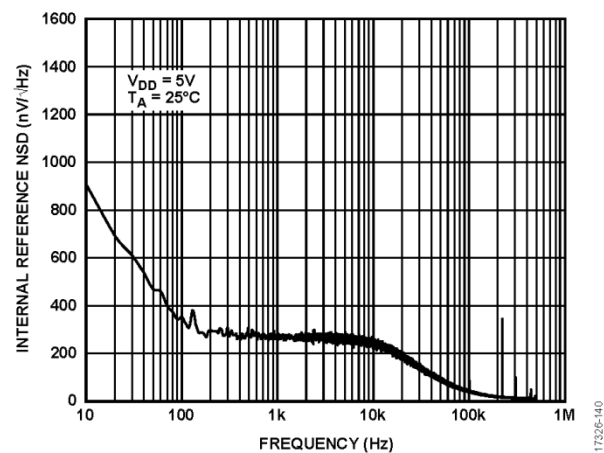


图53. 内部基准电压源ND与频率的关系

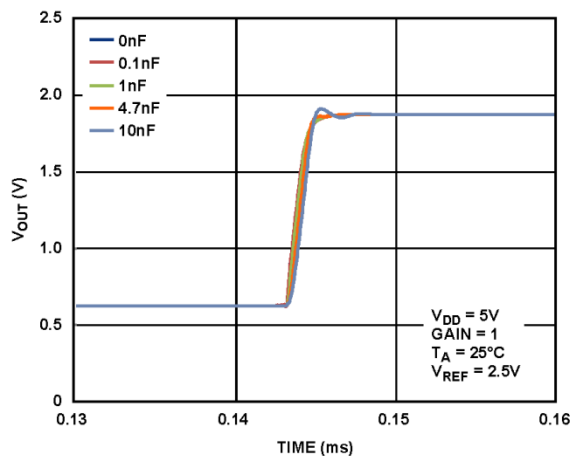
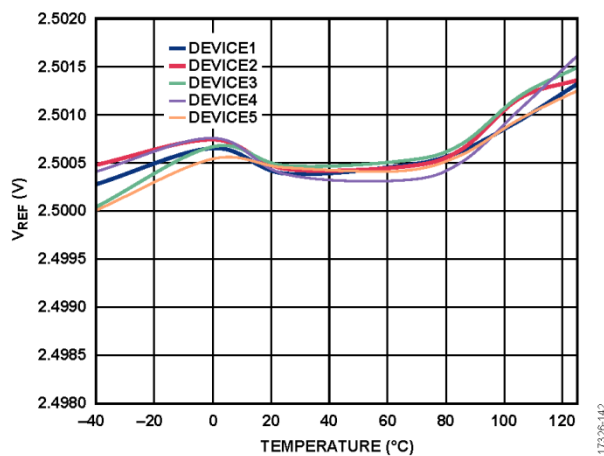


图51. 不同容性负载下的建立时间

图54. V_{REF} 与温度的关系

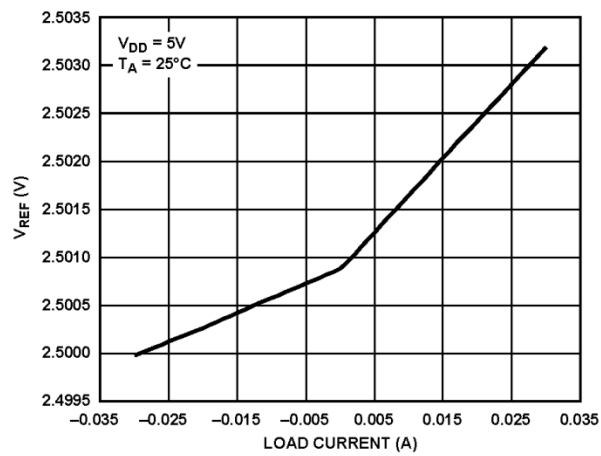


图55. V_{REF} 与负载电流的关系

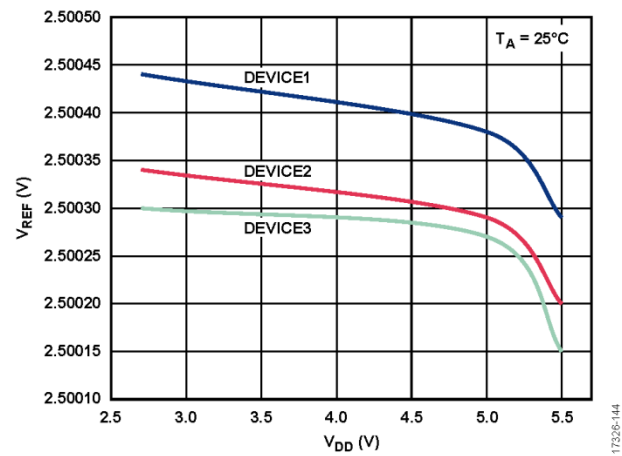


图56. V_{REF} 与 V_{DD} 的关系

术语

相对精度或积分非线性(INL)

对于DAC，相对精度或积分非线性是指DAC输出与通过DAC转换函数的两个端点的直线之间的最大偏差，单位为LSB。

差分非线性(DNL)

差分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定差分非线性可确保单调性。这些DAC通过设计保证单调性。

零代码误差

零代码误差衡量将零电平码(0x0000)载入DAC寄存器时的输出误差。理想输出为0 V。零编码误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0 V。零代码误差用mV表示。

满量程误差

满量程误差衡量将满量程代码(0xFFFF)载入DAC寄存器时的输出误差。理想输出为 $V_{DD} - 1$ LSB。满量程误差用满量程范围的百分比(% FSR)表示。

增益误差

增益误差衡量DAC的程误差，是指DAC传递特性的斜率与理想值之间的偏差，用% FSR表示。

失调误差漂移

失调误差漂移衡量失调误差随温度的变化，失调温漂用 $\mu\text{V}/^\circ\text{C}$ 表示。

失调误差

失调误差是指转换函数线性区内 V_{OUT} （实际）和 V_{OUT} （理想）之间的差值，用mV表示。失调误差是通过将代码256载入DAC寄存器测得的。失调误差可以为正，也可为负。

直流电源电压抑制比(PSRR)

直流PSRR表示电源电压变化对DAC输出的影响大小。PSRR指DAC满量程输出的条件下 V_{OUT} 变化量与 V_{DD} 变化量之比，PSRR用mV/V表示。 V_{REF} 保持在2 V，而 V_{DD} 的变化范围为 $\pm 10\%$ 。

输出电压建立时间

输出电压建立时间是指对于一个 $\frac{1}{4}$ 至 $\frac{3}{4}$ 满量程输入变化，DAC输出建立为指定电平所需的时间。该时间从 $\overline{\text{SYNC}}$ 上升沿开始测量。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的输入编码变化时注入到模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-sec表示，数字输入代码在主进位跃迁中改变1 LSB (0x7FFF至0x8000)时进行测量。

数字馈通

数字馈通衡量从DAC的数字输入注入到DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-sec，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

基准馈通

基准馈通是指DAC输出未更新时的DAC输出端的信号幅度与基准输入之比，基准馈通的单位为dB。

噪声频谱密度

噪声频谱密度衡量内部产生的随机噪声。随机噪声表示为频谱密度(nV/ $\sqrt{\text{Hz}}$)。测量噪声频谱密度的方法是将DAC加载到中间电平，然后测量输出端噪声，噪声频谱密度的测量单位为nV/ $\sqrt{\text{Hz}}$ 。

直流串扰

直流串扰是一个DAC输出电平因响应另一个DAC输出变化而发生的直流变化。直流串扰测量方法是让一个DAC发生满量程输出变化（或软件关断并上电），同时监控另一个保持中间电平的DAC。直流串扰用 μV 表示。

负载电流变化引起的直流串扰用来衡量一个DAC的负载电流变化对另一个保持中间电平的DAC的影响。负载电流变化引起的直流串扰用 $\mu\text{V}/\text{mA}$ 表示。

数字串扰

数字串扰是指一个输出为中间电平的DAC，其输出因响应另一个DAC的输入寄存器的满量程编码变化（全0至全1或相反）而引起的毛刺脉冲，数字串扰在独立模式下进行测量，用nV-sec表示。

模拟串扰

模拟串扰是指一个DAC的输出因响应另一个DAC输出的变化引起毛刺脉冲，模拟串扰的测量方法是：先向一个DAC加载满量程代码变化（全0至全1或相反），然后，执行软件LDAC并监控数字编码未改变的DAC输出。毛刺面积用nV-sec表示。

DAC间串扰

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字编码变化和后续的模拟输出变化，而引起的毛刺脉冲，DAC间串扰测量方法是使用写入和更新命令让一个通道发生满量程编码变化（全0到全1，或相反），同时监控处于中间电平的另一通道的输出。毛刺的能量用nV-sec表示。

乘法带宽

乘法带宽衡量DAC内放大器的有限带宽。参考端的正弦波（DAC加载满量程编码）出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

总谐波失真(THD)

总谐波失真(THD)是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。THD用dB表示。

基准电压源TC

基准电压源TC衡量基准输出电压随温度的变化。基准电压源TC利用黑盒法计算，即将TC定义为基准输出在给定温度范围内的最大变化，用ppm/°C表示；按如下公式表示：

$$TC = \left[\frac{V_{REF(MAX)} - V_{REF(MIN)}}{V_{REF(NOM)} \times \text{温度范围}} \right] \times 10^6$$

其中：

$V_{REF(MAX)}$ 是在整个温度范围内测量的最大基准电压输出。

$V_{REF(MIN)}$ 是在整个温度范围内测量的最小基准电压输出。

$V_{REF(NOM)}$ 是2.5 V的标称基准输出电压。

温度范围为额定温度范围-40°C至+125°C。

工作原理

DAC

AD5674/AD5674R/AD5679/AD5679R分别为16通道、12/16位、串行输入、电压输出DAC，内置基准电压源。采用2.7 V至5.5 V电源供电。数据通过三线式串行接口以24位字格式写入AD5674/AD5674R/AD5679/AD5679R。AD5674/AD5674R/AD5679/AD5679R内置一个POR位电路，确保DAC输出上电至已知的输出状态。该器件还具有软件掉电模式，可以将典型功耗降至2 μ A。

转换函数

内部基准电压源默认使能。

输出放大器的增益可以使用范围设置引脚(GAIN)设置为 $\times 1$ 或 $\times 2$ 。当GAIN引脚与GND相连时，所有16个DAC的输出范围均为0 V至 V_{REF} 。如果GAIN引脚与VLOGIC相连，则16个DAC的输出范围为0 V至 $2 \times V_{REF}$ 。

DAC架构

AD5674/AD5674R/AD5679/AD5679R采用分段式串DAC架构，内置输出缓冲器。图57显示了内部功能框图。

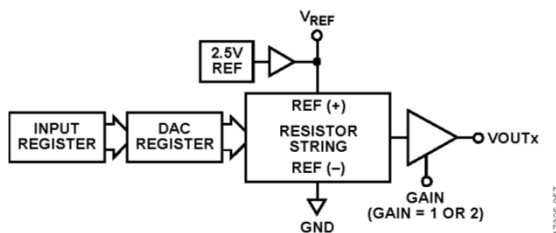


图57. DAC单通道架构框图

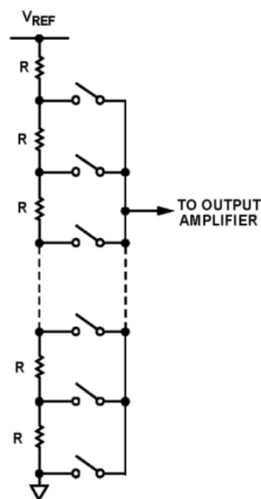


图58. 电阻串结构

图58显示电阻串架构。载入DAC寄存器的代码决定抽取电阻串上哪一个节点的电压，以馈入输出放大器。抽取电压的方法是将开关之一闭合并将电阻串连接到放大器。串中的各电阻具有相同的值R，因此串DAC必定是单调的。

内部基准电压源

AD5674R/AD5679R的片内基准电压源在上电时使能，可以通过写入控制寄存器予以禁用。详见“内部基准电压源设置”部分。

AD5674R/AD5679R内置一个2.5 V、2 ppm/°C基准电压源，满量程输出为2.5 V或5 V，具体取决于GAIN引脚的状态。器件的内部基准电压通过VREF引脚提供。该经过缓冲的基准电压源能够驱动高达20 mA的外部负载。

输出放大器

输出缓冲放大器可以在其输出端产生轨到轨电压。实际范围取决于 V_{REF} 的值、增益引脚、偏置误差和增益误差。

该输出放大器能驱动连接至GND的一个与10 nF电容并联的1 k Ω 负载。压摆率为0.8 V/ μ s， $\frac{1}{4}$ 至 $\frac{3}{4}$ 量程建立时间为6 μ s。

串行接口

AD5674/AD5674R/AD5679/AD5679R的3线串行接口（ $\overline{\text{SYNC}}$ 、SCLK和SDI）与SPI、QSPI™和MICROWIRE接口标准以及大多数信号处理器(DSP)兼容。典型写序列的时序图参见图2。AD5674/AD5674R/AD5679/AD5679R带有一个SDO引脚，允许用户以菊花链形式将多个器件连接在一起（参见“菊花链操作”部分）或进行回读。

输入移位寄存器

AD5674/AD5674R/AD5679/AD5679R的输入移位寄存器为24位宽。数据以MSB优先方式载入(DB23)，并且前四位为命令位C3至C0（见表10），然后是4位DAC地址A3至A0（见表11），最后是16位数据字位。

数据字包括AD5679和AD5679R的16位输入代码，以及AD5674和AD5674R型号的12位代码，后接4个0或无关位（见图60和图59）。这些数据位在SCLK的24个下降沿传送至输入寄存器，并在 $\overline{\text{SYNC}}$ 的上升沿进行更新。

命令在个别DAC通道、DAC组合通道或所有DAC上执行，具体取决于所选的DAC地址位。

表10. 命令定义

命令				描述
C3	C2	C1	C0	
0	0	0	0	无操作
0	0	0	1	写入输入寄存器n，其中n = 1至8，取决于表11中的地址位所选择的DAC（与LDAC相关）
0	0	1	0	以输入寄存器n的内容更新DAC寄存器n
0	0	1	1	写入并更新DAC通道n
0	1	0	0	DAC关断/上电
0	1	0	1	硬件LDAC屏蔽寄存器
0	1	1	0	软件复位（上电复位）
0	1	1	1	内部基准电压源设置寄存器
1	0	0	0	设置菊花链使能(DCEN)寄存器
1	0	0	1	设置回读寄存器（回读使能）
1	0	1	0	用输入数据同时更新所有通道的输入寄存器
1	0	1	1	用输入数据同时更新所有通道的DAC寄存器和输入寄存器
1	1	0	0	保留
...	...	...	...	
1	1	1	1	无操作，菊花链模式

表11. 地址命令

通道地址[3:0]				选定通道
A3	A2	A1	A0	
0	0	0	0	DAC 0
0	0	0	1	DAC 1
0	0	1	0	DAC 2
0	0	1	1	DAC 3
0	1	0	0	DAC 4
0	1	0	1	DAC 5
0	1	1	0	DAC 6
0	1	1	1	DAC 7
1	0	0	0	DAC 8
1	0	0	1	DAC 9
1	0	1	0	DAC 10
1	0	1	1	DAC 11
1	1	0	0	DAC 12
1	1	0	1	DAC 13
1	1	1	0	DAC 14
1	1	1	1	DAC 15

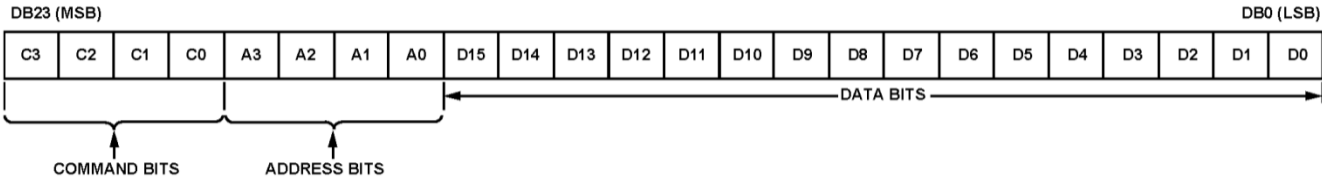


图59. AD5679/AD5679R输入移位寄存器内容

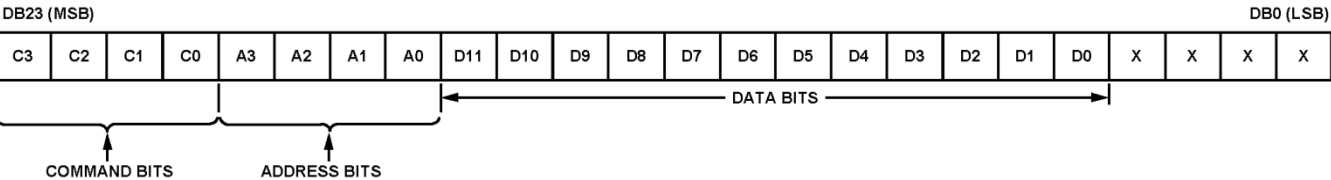


图60. AD5674/AD5674R输入移位寄存器内容

独立操作

拉低 $\overline{\text{SYNC}}$ 线即开始写序列。来自SDI线的数据在SCLK的下降沿进入24位输入移位寄存器。输入24个数据位的最后一位后，应将 $\overline{\text{SYNC}}$ 拉高。接着执行编程功能，即DAC寄存器内容会根据 $\overline{\text{LDAC}}$ 发生变化和/或工作模式会改变。如果 $\overline{\text{SYNC}}$ 在24个时钟之前变为高电平，则会被视为有效帧，进而可能向DAC中载入无效数据。必须在下一个写序列之前至少将 $\overline{\text{SYNC}}$ 拉高20 ns（单通道，见图2中的 t_{g} ），这样才能用 $\overline{\text{SYNC}}$ 下降沿启动下一个写序列。在写序列之间空闲时， $\overline{\text{SYNC}}$ 应处于电轨电平，以进一步降低功耗。 $\overline{\text{SYNC}}$ 线在24个SCLK的下降沿保持为低电平，DAC则会在 $\overline{\text{SYNC}}$ 的上升沿更新。

当数据传送至寻址DAC的输入寄存器后，在 $\overline{\text{SYNC}}$ 线为高电平时拉低 $\overline{\text{LDAC}}$ ，所有DAC寄存器和输出端都会更新。

写命令和更新命令

写入输入寄存器 n （取决于 $\overline{\text{LDAC}}$ ）

命令0001允许用户逐个写入各个DAC的专用输入寄存器。当 $\overline{\text{LDAC}}$ 为低电平时，输入寄存器是透明的，如果不由 $\overline{\text{LDAC}}$ 屏蔽寄存器控制。

以输入寄存器 n 的内容更新DAC寄存器 n

命令0010会在DAC寄存器和输出中加载选定输入寄存器的内容并直接更新DAC输出。数据位D15至位D0确定由哪些DAC将来自输入寄存器的数据传输至DAC寄存器。将位设置为1可以将来自输入寄存器的数据传输至合适的DAC寄存器。

写入和更新DAC通道 n （与 $\overline{\text{LDAC}}$ 无关）

命令0011允许用户写入DAC寄存器并直接更新DAC输出。地址位用于选择DAC通道。

菊花链操作

对于包含数个DAC的系统，可使用SDO引脚来将多个器件以菊花链形式连接在一起，该功能通过软件可执行DCEN命令来使能。命令1000保留用于该DCEN功能（见表10）。通过设置DCEN寄存器的位DB0可以使能菊花链模式。默认设置为独立模式，其中DB0 = 0。表12列出了这些位的状态与器件工作模式的对应关系。

表12. DCEN寄存器

DB0	描述
0	独立模式（默认）
1	DCEN模式

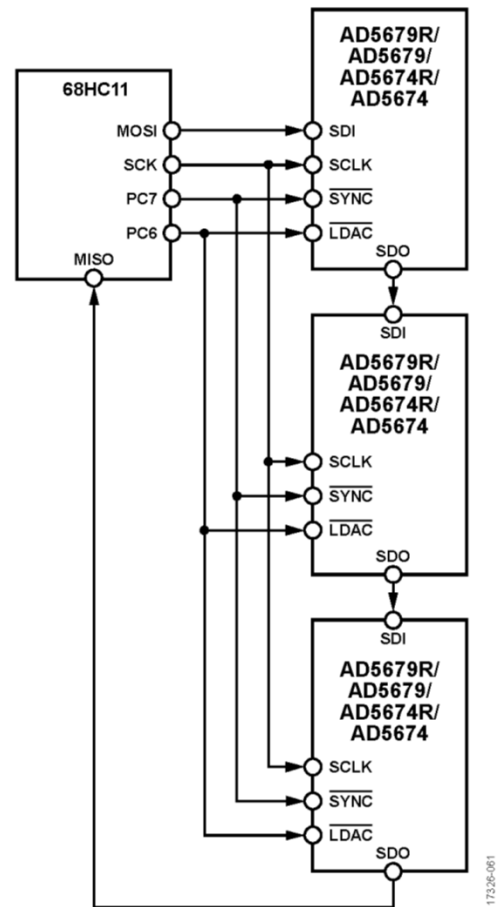


图61. 将AD5674/AD5674R/AD5679/AD5679R以菊花链的形式连接至Motorola® 68HC11

当 $\overline{\text{SYNC}}$ 为低电平时，SCLK引脚不断施加到输入移位寄存器。如果施加24个以上的时钟脉冲，数据将溢出输入移位寄存器，而出现在SDO线上。此数据在SCLK上升沿逐个输出，并在SCLK的下降沿有效。通过将该线路连接到菊花链中下一个DAC的SDI输入，即可构成菊花链接口。系统中的每个DAC都需要24个时钟脉冲，因此总时钟周期数必须等于 $24 \times N$ ，其中N为要更新的器件总数。如果 $\overline{\text{SYNC}}$ 在一位24倍数的时钟周期上变为高电平，则会被视为有效帧，进而可能向DAC中载入无效数据。当所有器件的串行传输都完成时， $\overline{\text{SYNC}}$ 变为高电平，这样可以锁存菊花链中各器件的输入数据，防止额外的数据进入输入移位寄存器。串行时钟可以是连续时钟或栅极时钟。如果 $\overline{\text{SYNC}}$ 在正确的时钟周期数内保持为低电平，则使用连续的SCLK时钟源。在栅极时钟模式下，应采用包含确切时钟周期数的连续时钟，在最后一个时钟周期结束后必须拉高 $\overline{\text{SYNC}}$ 以锁存数据。

回读操作

回读模式通过软件可执行回读命令来调用。如果通过控制寄存器中的菊花链模式禁用位禁用了SDO输出,则读操作期间自动启用该输出,之后再次禁用。命令1001保留用于回读功能。此命令与地址位(A3至A0)相关,用于选择要读取的DAC输入寄存器(见表10和表11)。回读期间只能选择一个输入寄存器。写序列中其余的数据位则与之无关。在下一SPI写操作期间,SDO输出端的数据包含之前寻址寄存器的数据。

例如,回读通道0的DAC寄存器时,执行以下序列:

1. 将0x900000写入AD5674/AD5674R/AD5679/AD5679R输入寄存器。这会将器件配置为读取模式,同时选中通道0的DAC寄存器。注意,从DB15至DB0的所有数据位都是无关位。
2. 在第1步后执行第二个写操作,写入无操作(NOP)条件,在菊花链模式下即0x000000或0xF00000。在此写入期间,来自寄存器的数据在SDO线路上逐个输出。DB23至DB20包含未定义的数据,后20位则包含DB19至DB0 DAC寄存器内容。

当SYNC处于高电平时,SDO引脚由保持最后一个数据位的弱锁闭驱动。SDO引脚可以被另一个器件的SDO引脚过驱动。多个器件可以使用相同的SPI接口读取。

掉电工作模式

命令0100用于掉电功能(见表10)。这些关断模式可通过软件编程,方法是设置输入移位寄存器中的16个位(位DB15至位DB0)。每个DAC通道对应两个位。表13列出了这两个位的状态与器件工作模式的对应关系。

通过设置相应位,可以关断任意或所有DAC(DAC 0至DAC 15),使其进入选定模式。参见表14和表15查看关断/上电期间输入移位寄存器的内容。

表13. 工作模式

工作模式	PD1	PD0
正常工作模式	0	0
关断模式 1 kΩ至GND	0	1

当输入移位寄存器中的PD1和PD0两位均设为0时,器件正常工作,5 V时正常模式功耗为2.3 mA。但在1 kΩ关断模式下,电源电流通常降低至2 μA。此外,输出级从放大器输出切换为已知值的电阻网络。因此,在通道因为将输出从内部(通过1 kΩ电阻)连接至GND而关断时,定义DAC通道输出阻抗。图62所示为输出级。

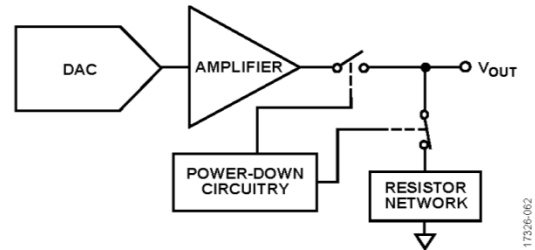


图62. 掉电模式下的输出级

在关断模式有效时,偏置发生器、输出放大器、电阻串以及其它相关线性电路全部关断。然而,关断期间DAC寄存器的内容不受影响。器件处于关断模式时,DAC寄存器可以更新。当 $V_{DD} = 5\text{ V}$ 时,退出掉电模式所需时间通常为3 μs。

要进一步降低功耗,可以关闭片内基准电压源。参见“内部基准电压源设置”部分。

表14. 掉电/上电操作的24位输入移位寄存器内容,适用于输出通道DAC 7至DAC 0

[DB23:DB20]	DB19	[DB18:DB16]	DAC 7	DAC 6	DAC 5	DAC 4	DAC 3	DAC 2	DAC 1	DAC 0
			[DB15:DB14]	[DB13:DB12]	[DB11:DB10]	[DB9:DB8]	[DB7:DB6]	[DB5:DB4]	[DB3:DB2]	[DB1:DB0]
0100	0	XXX ¹	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]

¹ X表示无关。

表15. 掉电/上电操作的24位输入移位寄存器内容,适用于输出通道DAC 15至DAC 8

[DB23:DB20]	DB19	[DB18:DB16]	DAC 15	DAC 14	DAC 13	DAC 12	DAC 11	DAC 10	DAC 9	DAC 8
			[DB15:DB14]	[DB13:DB12]	[DB11:DB10]	[DB9:DB8]	[DB7:DB6]	[DB5:DB4]	[DB3:DB2]	[DB1:DB0]
0100	1	XXX ¹	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]

¹ X表示无关。

加载DAC（硬件LDAC引脚）

AD5674/AD5674R/AD5679/AD5679R DAC具有由两个寄存器库组成的双缓冲接口：输入寄存器和DAC寄存器。用户可以写入任意组合的输入寄存器。DAC寄存器更新由LDAC引脚控制。

DAC同步更新（LDAC保持低电平）

为了同步更新DAC，LDAC保持低电平，且利用命令0001将数据输入输入寄存器。被寻址的输入寄存器和DAC寄存器均会在SYNC的上升沿更新，并且输出开始发生变化（见表17）。

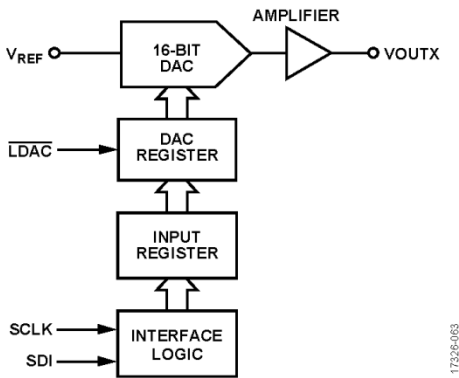


图63. 单个DAC的输入加载电路示意图

DAC延迟更新（LDAC变为低电平）

为了延迟更新DAC，LDAC保持高电平，且利用命令0001将数据输入输入寄存器。在将SYNC拉至高电平后，通过拉低LDAC可以异步更新所有DAC输出。此时在LDAC的下降沿进行更新。

LDAC屏蔽寄存器

命令0101保留用于该软件LDAC功能。地址位被忽略。使用命令0101写入DAC将加载16位LDAC寄存器（DB15至DB0）。各通道的默认值为0，即LDAC引脚正常工作。将这些位设为1时，可强制该DAC通道忽略LDAC引脚上发生的高低跃迁，不管硬件LDAC引脚的状态如何。在用户希望选择由哪个通道来响应LDAC引脚的应用中，这种灵活性非常有用。

利用LDAC寄存器，用户可以更加灵活地控制硬件LDAC引脚（见表16）。如果将某一DAC通道的LDAC位（DB0至DB15）设为0，则意味着该通道的更新受硬件LDAC引脚的控制。

表16. LDAC覆写定义

加载LDAC寄存器		LDAC操作
LDAC位（DB15至DB0）	LDAC引脚	
0000000000000000	1或0	由LDAC引脚决定。
1111111111111111	X ¹	DAC通道更新并覆盖LDAC引脚。DAC通道视LDAC为1。

¹ X表示无关。

表17. 写命令和LDAC引脚真值表¹

命令	描述	硬件LDAC引脚状态	输入寄存器内容	DAC寄存器内容
0001	写入输入寄存器n（取决于LDAC）	VLOGIC GND ²	数据更新 数据更新	无变化（无更新） 数据更新
0010	以输入寄存器n的内容更新DAC寄存器n	VLOGIC GND	无变化 无变化	用输入寄存器内容更新 用输入寄存器内容更新
0011	写入并更新DAC通道n	VLOGIC GND	数据更新 数据更新	数据更新 数据更新

¹ 当硬件LDAC引脚上发生高电平至低电平转换时，始终会以未被LDAC屏蔽寄存器屏蔽（阻止）的通道上输入寄存器的内容来更新DAC寄存器的内容。

² 当LDAC永久接为低电平时，LDAC屏蔽位会被忽略。

硬件复位(RESET)

RESET引脚是低电平有效复位引脚，可用于将输出清零至零电平或中间电平。清零代码值取决于使用的模型，指代上电电压。RESET引脚必须至少保持一定时间（见表5）的低电平才能完成该操作。当RESET信号变回高电平后，输出会保持为清零值，直到设置新值。当RESET引脚为低电平时，无法用新值更新输出。上电复位期间，LDAC引脚或RESET引脚上的所有事件都会被忽略。如果RESET引脚在上电时被拉低，则器件不会正确初始化，直至释放该引脚为止。

上电复位内部电路

AD5674/AD5674R/AD5679/AD5679R具有上电复位电路，可以在上电时控制输出电压。根据选择的型号，输出上电至零电平（AD5679R-1、AD5674R-1），或者输出上电至中间电平（AD5679R-2、AD5674R-2）。输出一直保持该电平，直到对DAC执行有效的写序列。

表19. 内部基准电压源设置命令的24位输入移位寄存器内容

DB23 (MSB)	DB22	DB21	DB20	DB19至DB3	DB2	DB1	DB0 (LSB)
0	1	1	1	无关位	保留	保留，置0	基准电压源使能

软件复位

还有一个软件可执行的复位功能，它可将DAC复位至上电复位代码。命令0110保留用于该软件复位功能。DAC地址位必须设置为0x0，数据位设置为0x1234，以执行软件复位命令。

内部基准电压源设置

片内基准电压源在上电时默认开启。要降低功耗，可通过设置控制寄存器中的软件可编程位DB0来关闭此基准电压源。表18列出了该位的状态与工作模式的对应关系。命令0111用于内部基准电压源的设置（参见表10表19）。

表18. 内部基准电压源设置寄存器

位	描述
DB2	保留
DB0	基准电压源使能 DB0 = 0：内部基准电压源使能（默认） DB0 = 1：内部基准电压源被禁用

回流焊

与所有IC基准电压电路一样，基准电压值存在焊接工艺引入的偏移。ADI公司执行称为预调理的可靠性测试，以最大程度地减少将器件焊接到电路板而造成的影响。上文引用的输出电压规格包含此可靠性测试的影响。

图64显示了通过可靠性测试（预调理）测得的内流焊(SHR)影响。

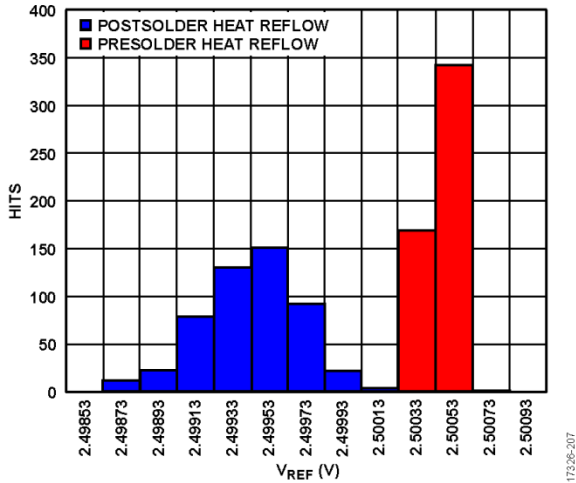


图64. SHR基准电压偏移

长期温度漂移

图65显示在25°C环境温度下经过1000小时后VREF值的变化情况。

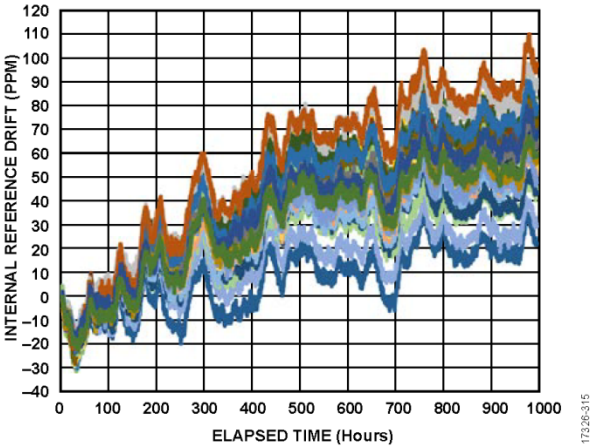


图65. 1000小时后的基准电压漂移

热迟滞

热迟滞是指温度从环境温度变冷再变热，然后回到环境温度时基准电压上出现的电压差。

图66显示热迟滞数据。热迟滞测量条件是从环境温度变为-40°C，然后变为+125°C，再回到环境温度。然后，测得两次环境温度下测量结果之间的偏差 ΔV_{REF} （如图66中的蓝色部分所示）。接着立即重复相同的温度变化和测量，其结果如图66中的红色部分所示。

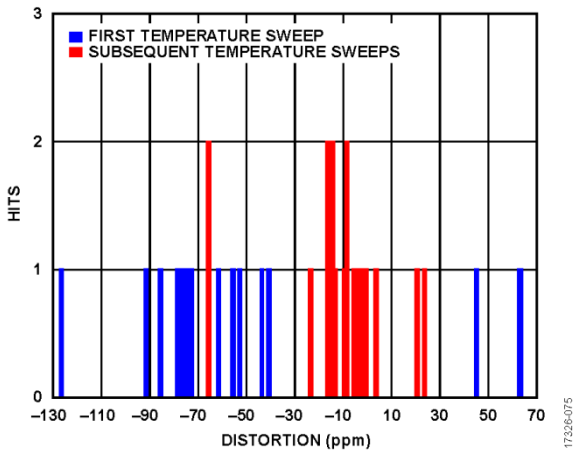


图66. 热迟滞

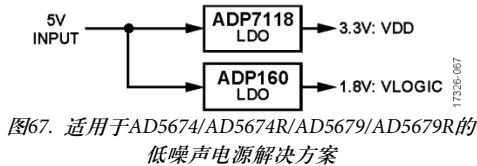
应用信息

电源建议

以下电源一般为AD5674/AD5674R/AD5679/AD5679R供电：

$V_{DD} = 3.3\text{ V}$, $V_{LOGIC} = 1.8\text{ V}$ 。

ADP7118可用来为VDD引脚供电。ADP160可用来为VLOGIC引脚供电。图67显示这一设置。ADP7118可采用最高20 V的输入电压工作。ADP160可采用最高5.5 V的输入电压工作。

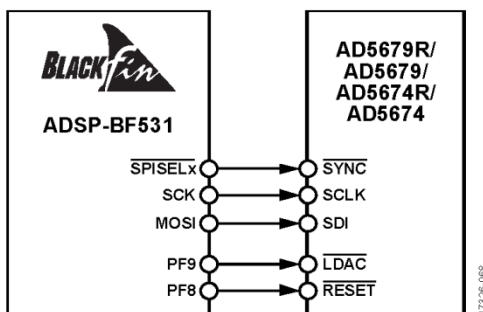


微处理器接口

AD5674/AD5674R/AD5679/AD5679R的微处理器接口是通过串行总线实现的，使用与DSP处理器和微控制器兼容的标准协议。通信通道需要一个三线或四线接口，该接口包含一个时钟信号、一个数据信号和一个同步信号。该器件需要24位数据字，数据在SYNC的上升沿有效。

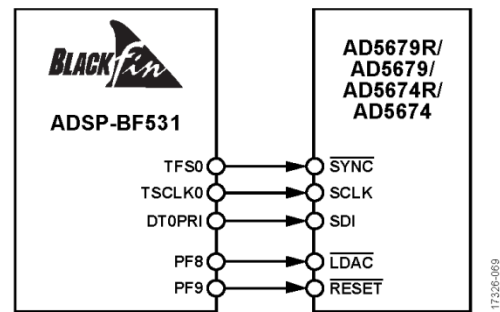
AD5674/AD5674R/AD5679/AD5679R与ADSP-BF531的接口

AD5674/AD5674R/AD5679/AD5679R的SPI接口用于连接符合工业标准的DSP和微控制器。图68显示AD5674/AD5674R/AD5679/AD5679R连接到ADI公司的Blackfin® DSP。Blackfin处理器集成了一个SPI端口，可直接与AD5674/AD5674R/AD5679/AD5679R的SPI引脚相连。



AD5674/AD5674R/AD5679/AD5679R 与 SPORT 的接口

ADI公司的ADSP-BF527有一个SPORT®串行端口。图69显示如何利用一个SPORT接口来控制AD5674/AD5674R/AD5679/AD5679R。



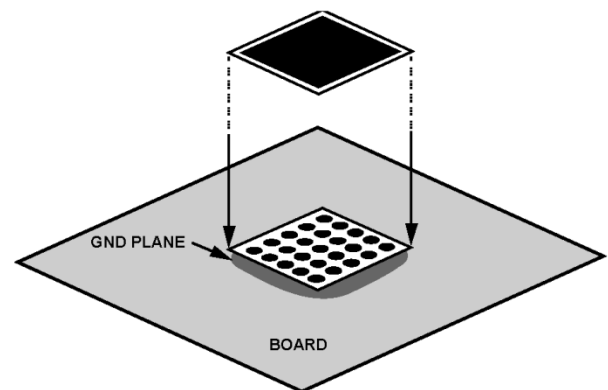
布局布线指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。设计要安装AD5674/AD5674R/AD5679/AD5679R的PCB，使器件位于模拟平面。

AD5674/AD5674R/AD5679/AD5679R必须具有足够大的10 μF 电源旁路电容，与每个电源上的0.1 μF 电容并联，并且尽可能靠近封装，最好是正对着该器件。10 μF 电容应为钽珠型电容。0.1 μF 电容必须具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

在一个电路板上使用多个器件的系统中，提供一定的散热能力通常有助于功率耗散。

可以扩大器件上的GND平面（如图70所示），以提供自然散热效应。



电流隔离接口

在许多处理控制应用中,需要在控制器和被控制的单元之间提供隔离栅,以保护和隔离受控电路,使其免受出现的有害共模电压影响。ADI的iCoupler®产品可以提供>2.5 kV的电压隔离。AD5679R的串行加载结构使它成为隔离接口的理想器件,原因是接口线路数保持在最小值。图71显示使用ADuM1400¹与AD5674/AD5674R/AD5679/AD5679R的4通道隔离接口。更多信息请访问: www.analog.com/cn/icoupler。

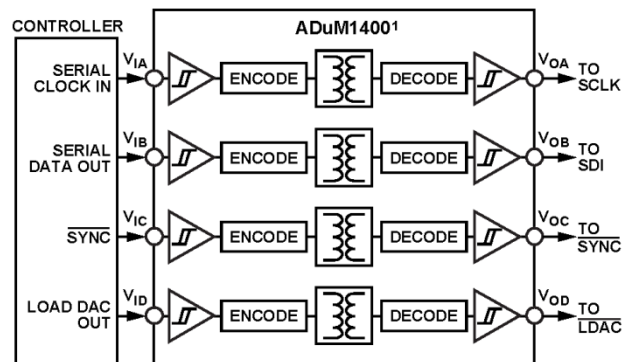
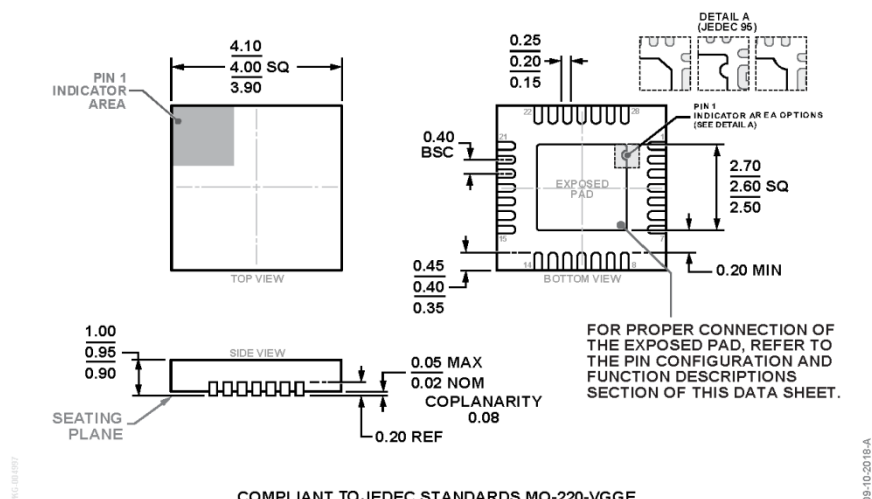


图71. 隔离接口

17326-071

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VGGE

图72. 28引脚引脚框架芯片级封装[LFCSP]

4 mm × 4 mm 本体、0.95 mm 封装高度

(CP-28-9)

图示尺寸单位: mm

订购指南

型号 ^{1, 2, 3}	分辨率	温度范围	复位值	封装描述	封装选项
AD5674BCPZ-1	12位	−40°C至+125°C	零电平	28引脚LFCSP	CP-28-9
AD5674BCPZ-1-RL7	12位	−40°C至+125°C	零电平	28引脚LFCSP	CP-28-9
AD5674RBCPZ-1	12位	−40°C至+125°C	零电平	28引脚LFCSP	CP-28-9
AD5674RBCPZ-1-RL7	12位	−40°C至+125°C	零电平	28引脚LFCSP	CP-28-9
AD5674RBCPZ-2	12位	−40°C至+125°C	中间电平	28引脚LFCSP	CP-28-9
AD5674RBCPZ-2-RL7	12位	−40°C至+125°C	中间电平	28引脚LFCSP	CP-28-9
AD5679BCPZ-1	16位	−40°C至+125°C	零电平	28引脚LFCSP	CP-28-9
AD5679BCPZ-1-RL7	16位	−40°C至+125°C	零电平	28引脚LFCSP	CP-28-9
AD5679RBCPZ-1	16位	−40°C至+125°C	零电平	28引脚LFCSP	CP-28-9
AD5679RBCPZ-1-RL7	16位	−40°C至+125°C	零电平	28引脚LFCSP	CP-28-9
AD5679RBCPZ-2	16位	−40°C至+125°C	中间电平	28引脚LFCSP	CP-28-9
AD5679RBCPZ-2-RL7	16位	−40°C至+125°C	中间电平	28引脚LFCSP	CP-28-9
EVAL-AD5679RSDZ				AD5679R评估板	

¹ Z = 符合RoHS标准的兼容器件。² EVAL-SDP-CB1Z与EVAL-AD5679RSDZ配合使用。³ EVAL-AD5679RSDZ与AD5674/AD5674R/AD5679/AD5679R的所有型号兼容。I²C指最初由Philips Semiconductors (现为NXP Semiconductors) 开发的一种通信协议。