

12 位、3 μ s、250kHz 取样 A/D 变换器

特点

- AD7572 接脚分布
- 12 位分辨率
- 3 μ s 和 8 μ s 变换时间
- 片上取样和保持
- 取样率高达 250kHz
- 5V 单电源工作
- 无需负电源
- 片上 25ppm/°C 基准
- 75mW (典型值) 功耗
- 24 引脚窄式 DIP 和 SOL 封装
- 所有引脚均设有 ESD 保护功能

应用

- 高速数据采集
- 数字信号处理 (DSP)
- 复用数据采集系统
- 单电源系统

描述

LTC1272 是一种 3 μ s、12 位连续接近式采样 A/D 变换器。其接脚线与业界标准的 AD7572 相同，并可提供更快的变换时间、片上取样和保持以及单电源操作功能。它采用了 LTBiCMOS™ 开关电容器技术，以把一个高速 12 位 ADC 与快速、精确的取样和保持及一个精密基准组合起来。

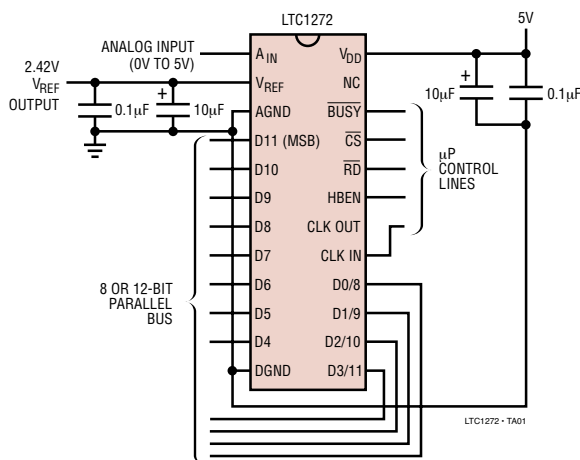
LTC1272 采用单 5V 工作电源，但也可接受 AD7572 所要求的 5V/-15V 电源 (引脚 23 在 LTC1272 上未予连接，即 AD7572 的负电源引脚。) LTC1272 具有与 AD7572 相同的 0V 至 5V 输入范围，但为了实现单电源操作，它提供一个 2.42V 基准输出而不用 AD7572 的 -5.25V。如果基准电容器极性反转且在变换操作之间留有 1 μ s 的取样和保持采集时间，则可插入 LTC1272 来顶替 AD7572。

输出数据可作为一个 12 位字或两个 8 位字节来读取。这使得能够容易地与 8 位以及更高位的处理器相连接。LTC1272 可与一个晶体振荡器或一个外部时钟一起使用，并有 3 μ s 和 8 μ s 两种速度等级。

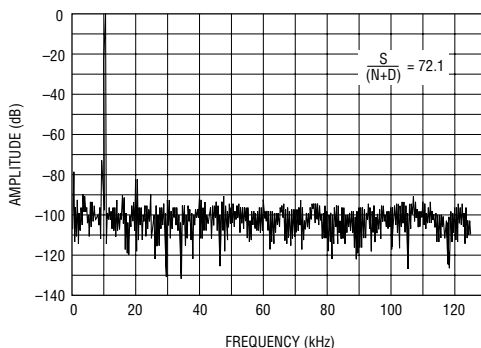
LTBiCMOS 是凌特公司的商标。

典型应用

单 5V 电源、3 μ s、12 位取样 ADC



1024 点 FFT, $f_s = 250\text{kHz}$, $f_{IN} = 10\text{kHz}$



LTC1272 - TA02

LTC1272

绝对最大额定值 (注1和注2)

电源电压 (V_{DD})	6V	工作温度范围	
模拟输入电压 (注3)	-0.3V 至 15V	LTC1272-XAC, CC	0°C 至 70°C
数字输入电压	-0.3V 至 12V	储存温度范围	-65°C 至 150°C
数字输出电压	-0.3V 至 $V_{DD} + 0.3V$	引脚温度 (焊接时间 10 秒)	300°C
功耗	500mW		

封装/订购信息

TOP VIEW		TOP VIEW		产品型号	
	N PACKAGE 24-LEAD PLASTIC DIP $T_{JMAX} = 110^{\circ}C, \theta_{JA} = 100^{\circ}C/W$		S PACKAGE 24-LEAD PLASTIC SOL $T_{JMAX} = 110^{\circ}C, \theta_{JA} = 130^{\circ}C/W$	变换时间 = 3 μ s	变换时间 = 8 μ s
				LTC1272-3ACN LTC1272-3CCN	LTC1272-8ACN LTC1272-8CCN
				仅 S 封装	
				LTC1272-3ACS LTC1272-3CCS	LTC1272-8ACS LTC1272-8CCS

对于工业用和其他等级的器件，请咨询工厂。

变换器特性 具有内部基准 (注4)

参数	条件		LTC1272-XA			LTC1272-XC			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
分辨率 (无遗漏码)		●	12			12			位
积分线性误差	(注5)	●			$\pm 1/2$			± 1	LSB
差分线性误差		●			± 1			± 1	LSB
偏移误差		●			± 3 ± 4			± 4 ± 6	LSB
增益误差					± 10			± 15	LSB
满称温度系数	$I_{OUT}(\text{基准}) = 0$	●		± 5	± 25		± 10	± 45	ppm/ $^{\circ}C$

内部基准特性 (注4)

参数	条件	LTC1272-XA			LTC1272-XC			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
V_{REF} 输出电压 (注6)	$I_{OUT} = 0$	2.400	2.420	2.440	2.400	2.420	2.440	V
V_{REF} 输出温度系数	$I_{OUT} = 0$		5	25		10	45	ppm/°C
V_{REF} 电压调节	$4.75V \leq V_{DD} \leq 5.25V$, $I_{OUT} = 0$		0.01			0.01		LSB/V
V_{REF} 负载调节 (源电流)	$0 \leq I_{OUT} \leq 1mA$		2			2		LSB/mA

数字和DC电特性 (注4)

符号	参数	条件	LTC1272-XA/C			单位
			最小值	典型值	最大值	
V_{IH}	高电平输入电压 $\overline{CS}$, $\overline{RD}$, HBEN, CLK IN	$V_{DD} = 5.25V$	●	2.4		V
V_{IL}	低电平输入电压 $\overline{CS}$, $\overline{RD}$, HBEN, CLK IN	$V_{DD} = 4.75V$	●		0.8	V
I_{IN}	输入电流 $\overline{CS}$, $\overline{RD}$, HBEN	$V_{IN} = 0V$ 至 V_{DD}	●		± 10	μA
	输入电流 CLK IN	$V_{IN} = 0V$ 至 V_{DD}	●		± 20	μA
V_{OH}	高电平输出电压所有逻辑输出	$V_{DD} = 4.75V$		4.7		V
		$I_{OUT} = -10\mu A$ $I_{OUT} = -200\mu A$	●	4.0		V
V_{OL}	低电平输出电压所有逻辑输出	$V_{DD} = 4.75V$, $I_{OUT} = 1.6mA$	●		0.4	V
I_{OZ}	高阻抗输出漏电流 D11-D0/8	$V_{OUT} = 0V$ 至 V_{DD}	●		± 10	μA
C_{OZ}	高阻抗输出电容 (注7)		●		15	pF
I_{SOURCE}	输出源电流	$V_{OUT} = 0V$			-10	mA
I_{SINK}	输出吸收电流	$V_{OUT} = V_{DD}$			10	mA
I_{DD}	正电源电流	$\overline{CS} = \overline{RD} = V_{DD}$, $A_{IN} = 5V$	●		15 30	mA
P_D	功耗				75	mW

动态准确度 (注4) $f_{SAMPLE} = 250kHz$ (LTC1272-3), $111kHz$ (LTC1272-8)

符号	参数	条件	LTC1272-XA/C			单位
			最小值	典型值	最大值	
$S/(N+D)$	信号与(噪声+失真)之比	10kHz 输入信号		72		dB
THD	总谐波失真 (最高计算到 5 阶谐波)	10kHz 输入信号		-82		dB
	峰值谐波或寄生噪声	10kHz 输入信号		-82		dB

模拟输入 (注4)

符号	参数	条件	LTC1272-XA/B/C			单位
			最小值	典型值	最大值	
V_{IN}	输入电压范围	$4.75V \leq V_{DD} \leq 5.25V$	●	0	5	V
I_{IN}	输入电流		●		3.5	mA
C_{IN}	输入电容			50		pF
t_{ACQ}	取样和保持采集时间		●	0.45	1	μs

定时特性（注8）

符号	参数	条件	LTC1272-XA/C			单位
			最小值	典型值	最大值	
t ₁	CS 至 RD 建立时间		●	0		ns
t ₂	RD 至 BUSY 延迟	C _L = 50pF 商用等级	●	80	190 230	ns ns
t ₃	RD ↓ 后的数据存取时间	C _L = 20pF 商用等级	●	50	90 110	ns ns
		C _L = 100pF 商用等级	●	70	125 150	ns ns
t ₄	RD 脉冲宽度	商用等级	●	t ₃ t ₃		ns ns
t ₅	CS 至 RD 保持时间		●	0		ns
t ₆	BUSY 之后的数据建立时间	商用等级	●	40	70 90	ns ns
t ₇	总线放弃时间	商用等级	●	20 20	30 85	ns ns
t ₈	HBEN 至 RD 建立时间		●	0		ns
t ₉	HBEN 至 RD 保持时间		●	0		ns
t ₁₀	RD 操作间的延迟		●	200		ns
t ₁₁	变换之间的延迟			1		μs
t ₁₂	取样和保持的孔径延迟	抖动 < 50ps		25		ns
t ₁₃	CLK 至 BUSY 延迟	商用等级	●	80	170 220	ns ns
t _{CONV}	变换时间		●	12	13	时钟 周期

凡标注 ● 表示该指标适合整个工作温度范围；所有其他的极限值和典型值都是在 T_A = 25°C 的条件下获得的。

注 1：绝对最大额定值是指超出该值则器件可能会受损。

注 2：所有的电压值均以地为基准，并且 DGND 和 AGND 连接在一起，除非特别说明。

注 3：当模拟输入电压被引至地电位以下时，将由一个内部二极管对其进行箝位。该产品能够在输入电压低于地电位及没有锁定时，在不采用外部二极管的情况下对大于 60mA 的输入电流进行处理。

注 4：对于 LTC1272-3，V_{DD} = 5V，f_{CLK} = 4MHz；对于 LTC1272-8，f_{CLK} = 1.6MHz，t_r = t_f = 5ns，除非特别说明。为了获得最佳的模拟特性，LTC1272 的时钟应与 RD 和 CS 控制输入同步，且变换启动与最靠近的时钟脉冲沿至少相隔 40ns。

注 5：线性误差被规定在 A/D 转换曲线的实际端点之间。

注 6：LTC1272 具有与 AD7572 相同的 0V 至 5V 输入范围，但为了实现单电源操作，它用一个 2.42V 基准输出替代了 AD7572 的 -5.25V。这要求在把 LTC1272 插入 AD7572 插座时，将基准旁路电容器的极性反转。

注 7：设计被保证，但没进行测试。

注 8：V_{DD} = 5V。在 25°C 条件下对定时规格进行取样测试，以确保符合要求。所有的输入控制信号均是在 t_r = t_f = 5ns (5V 的 10% 至 90%) 的条件下规定的，且自 1.6V 电压电平开始计时。见图 13 至 17。

引脚功能

A_{IN} (引脚 1) : 模拟输入, 0V 至 5V 单极输入。

V_{REF} (引脚 2) : 2.42V 基准输出。当插入 AD7572 插座时, 使基准旁路电容器的极性反转并使 10Ω 串联电阻短路。

AGND (引脚 3) : 模拟地。

D11 至 D4 (引脚 4 – 11) : 三态数据输出。

DGND (引脚 12) : 数字地。

D3/11 至 D0/8 (引脚 13 – 16) : 三态数据输出。

CLK IN (引脚 17) : 时钟输入。可把一个外部 TTL/CMOS 兼容型时钟加于该引脚, 也可将一个晶体振荡器连接于 CLK IN 和 CLK OUT 之间。

CLK OUT (引脚 18) : 时钟输出。一个反相 CLK IN 信号出现于该引脚。

HBEN (引脚 19) : 高字节使能输入。该引脚被用于将内部 12 位变换结果复用至较低位输出 (D7 至 D0/8), 见下表。HBEN 为高电平时还会使变换起动失效。

$\overline{\text{RD}}$ (引脚 20) : 读输入。当 $\overline{\text{CS}}$ 和 HBEN 为低电平时, 该低态有效信号起动一个变换。当 $\overline{\text{CS}}$ 为低电平时, $\overline{\text{RD}}$ 还会使能输出驱动器。

$\overline{\text{CS}}$ (引脚 21) : 对 ADC 而言, 芯片选择输入必须为低电平以识别 $\overline{\text{RD}}$ 和 HBEN 输入。

$\overline{\text{BUSY}}$ (引脚 22) : 当一个变换正在进行时, $\overline{\text{BUSY}}$ 输出为低电平。

NC (引脚 23) : 在内部未予连接。LTC1272 不需要负电源。该引脚能提供 AD7572 所要求的 -15V, 并没有带任何问题。

V_{DD} (引脚 24) : 5V 正电源。

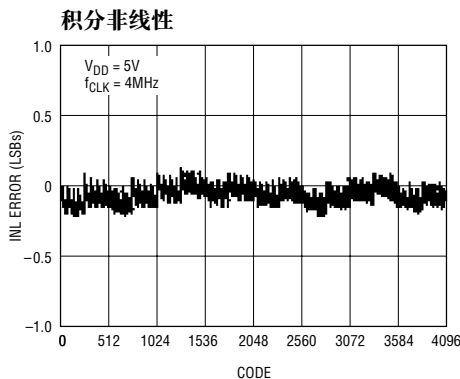
数据总线输出, $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ = 低

	引脚 4	引脚 5	引脚 6	引脚 7	引脚 8	引脚 9	引脚 10	引脚 11	引脚 13	引脚 14	引脚 15	引脚 16
助记符号*	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
HBEN = 低	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
HBEN = 高	DB11	DB10	DB9	DB8	低	低	低	低	DB11	DB10	DB9	DB8

*D11...D0/8 是 ADC 数据输出引脚。

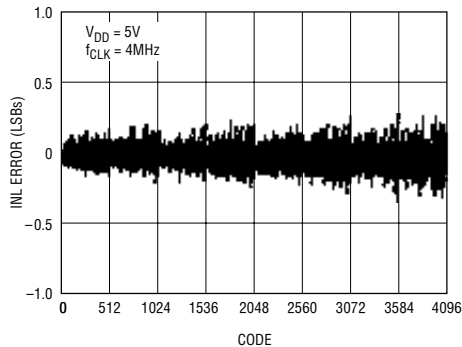
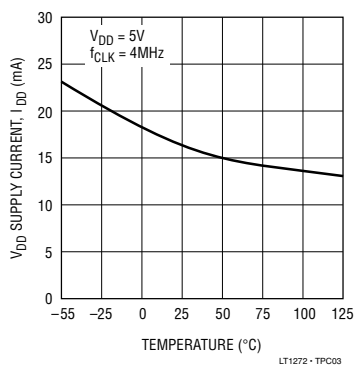
DB11...DB0 是 12 位变换结果, DB11 是 MSB。

典型性能特征

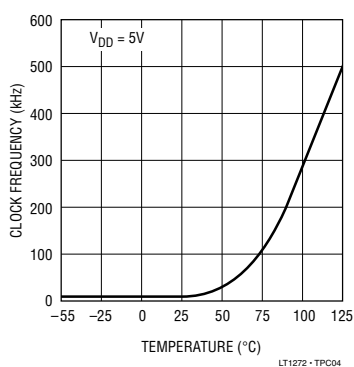


典型性能特征

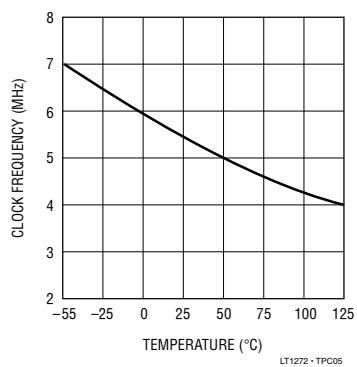
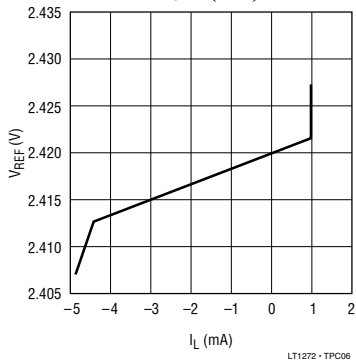
差分非线性

 V_{DD} 电源电流与温度的关系

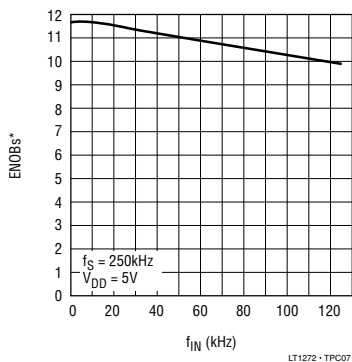
最小时钟频率与温度的关系



最大时钟频率与温度的关系

 V_{REF} 与 I_{LOAD} (mA) 的关系

LTC1272 ENOBs* 与频率的关系曲线



$$*EFFECTIVE\ NUMBER\ OF\ BITS,\ ENOBs = \frac{S/(N + D) - 1.76dB}{6.02}$$

应用信息

变换说明

变换的起动受控于 $\overline{\text{CS}}$ 、 $\overline{\text{RD}}$ 和 HBEN 输入。在变换的始端，将逐次逼近式寄存器 (SAR) 复位，并使能三态数据输出。一旦一个变换周期开始，它就不能重新启动。

在变换过程中，SAR 对内部 12 位容性 DAC 输出从最高有效位 (MSB) 到最低有效位 (LSB) 进行排序。参见图 1， A_{IN} 输入通过一个 $300\Omega/2.7k\Omega$ 分压器与取样和保持电容器相连。分压器允许 LTC1272 在采用单 4.5V 工作电源的情况下对 0V 至 5V 输入进行变换。变换过程分为两个阶段：即取样阶段和变换阶段。在取样阶段，由反馈开关将比较器偏移清零，而模拟输入被作为一个电荷存储在取样和保持电容器 C_{SAMPLE} 上。这一阶段始于前一个变换的末端，并持续到下一个变换的始端。变换之间 $1\mu\text{s}$ 的最短延迟 (t_{H0}) 为获得模拟输入提供了足够的时间。在变换阶段，比较器反馈开关断开，将比较器置于比较方式。取样和保持电容器被转接至地，将模拟输入电荷注入到比较器求和结点上。把该输入电荷与容性 DAC 提供的加权二进制电荷逐一比较。比较器作出了位决策 (零位交叉检测器)，这检测由 DAC 输出另加的每个连续加权位。MSB 决策在一个变换开始后 CLK IN 的第二个下降沿之后约 50ns (典型值) 做出。同样，后续的位决策在一个 CLK IN 沿后约 50ns 做出，直到变换完成。在一个变换的末端，DAC 输出对 A_{IN} 输出电荷进行平衡。代表 A_{IN} 输入信号的 SAR 内容 (12 位数据字) 被装入一个 12 位锁存器。

取样和保持及动态特性

传统的 A/D 变换器已被赋予了诸如偏移和满称误差、积分非线性 and 差分非线性等特征指标。这些指标对于说明 ADC 的 DC 或低频信号特性是有用的。

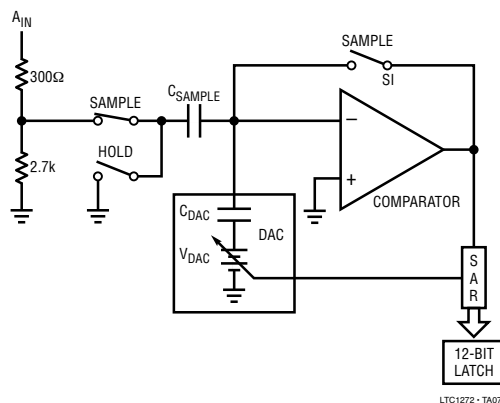


图 1 : A_{IN} 输入

由于 LTC1272 的高速取样能力，单靠这些指标参数还不足以对其做出完整的规定。FFT (快速傅里叶变换) 测试技术被用于对 LTC1272 在额定吞吐量条件下的频率响应、失真以及噪声进行特性化处理。

通过施加一个低噪声正弦波并利用 FFT 算法对数字输出进行分析，可针对基频以外的频率来检查 LTC1272 的频谱内容。图 2 示出了一种典型的 LTC1272 FFT 曲线。

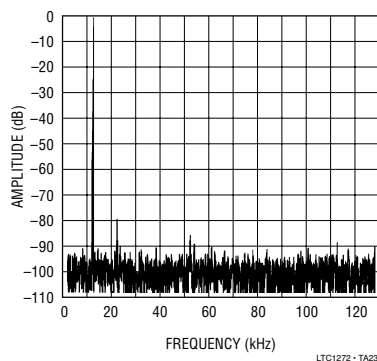


图 2 : LTC1272 非平均的 1024 点 FFT 曲线。
 $f_{\text{S}} = 250\text{kHz}$, $f_{\text{IN}} = 10\text{kHz}$ 。

应用信息

信噪比

信噪比 (SNR) 是指输入基频的 RMS 幅度与 A/D 输出端的所有其他频率成份的 RMS 幅度之比。这包括了失真和噪声成份，正因如此，有时它被称为信号与噪声加失真之和的比 $[S/(N + D)]$ 。输出频带被限制在 DC 至一半取样频率的频带内。图 2 示出了从 DC 至 125kHz (250 取样频率的一半) 的频谱内容。

有效位数

有效位数 (ENOBs) 是 A/D 分辨率的量度并通过以下公式与 $S/(N+D)$ 直接相关：

$$N = [S/(N + D) - 1.76]/6.02,$$

式中的 N 为分辨率的有效位数， $S/(N+D)$ 以 dB 来表示。在 250kHz 的最大取样频率下，LTC1272 保持了 11.5 ENOBs 或优至 20kHz。当频率高于 20kHz，由于二次谐波失真的增加，ENOBs 逐渐下降，如图 3 所示。噪声平台保持约在 90dB。如图 4 所示，其动态差分非线性直到 120kHz 时仍保持良好。

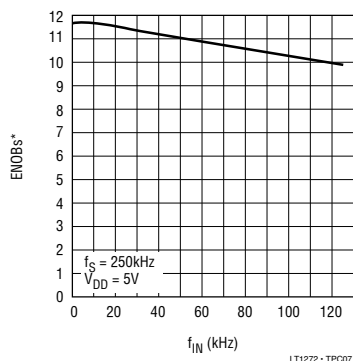


图 3：LTC1272 有效位数 (ENOBs) 与输入频率的关系曲线。f_S = 250kHz

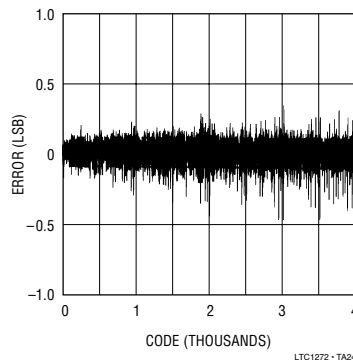


图 4：LTC1272 的动态 DNL。f_{CLK} = 4MHz，f_S = 250kHz，f_{IN} = 122.25342 kHz，V_{CC} = 5V

总谐波失真

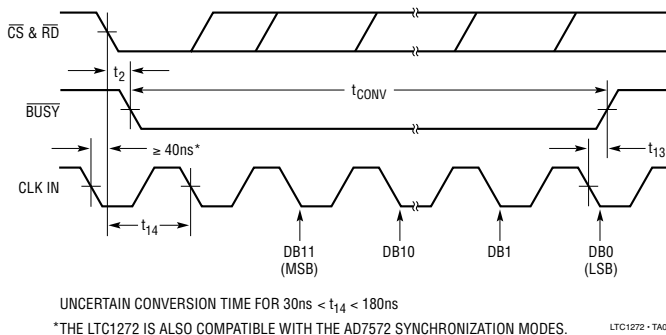
总谐波失真 (THD) 是指输入信号所有谐波的 RMS 之和与基频本身的比值。谐波被限制在 DC 与一半取样频率之间的频带内。THD 用下式表示： $20 \text{ LOG} [\sqrt{V_2^2 + V_3^2 + \dots + V_N^2} / V_1]$ ，式中的 V₁ 是基频的 RMS 幅度，V₂ 至 V_N 为二次至 N 次谐波的幅度。

时钟与控制同步

如图 5 所示，为了获得最佳的模拟特性，LTC1272 时钟应与 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 控制输入同步，变换的起始点与最靠近的 CLK IN 沿至少相隔 40ns。这确保了 CLK IN 和 CLK OUT 上的转换不会被耦合到模拟输入并被取样和保持电路所取样。该馈通的幅度仅为几个毫伏，但如果 CLK 和变换起动 ($\overline{\text{CS}}$ 和 $\overline{\text{RD}}$) 是异步的，则由时钟和变换信号混合所产生的频率分量有可能增加视在输入噪声。

当时钟与变换信号同步时，时钟馈通生成的小端点误差 (偏移和满称) 最多。如图 5 所示，即使这些误差 (可被去除) 能通过确保变换 ($\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 的下降沿) 不在时钟脉冲沿的 40ns 内启动来消除。然而，

应用信息

图 5：同步操作作用 $\overline{\text{RD}}$ 和 CLK IN

即使不遵循本指导书，LTC1272 仍与 AD7572 同步方式兼容，且线性误差没有增加。这意味着 CLK IN 的下降沿或上升沿有可能靠近 $\overline{\text{RD}}$ 的下降沿。

模拟输入的驱动

LTC1272 模拟输入的驱动较之 AD7572 要容易得多。输入电流不像在 AD7572 中那样由 DAC 来调制。它只有一个小电流尖峰出现在变换的末端对取样和保持电容器进行充电的时候。在变换过程中模拟输入仅吸收 DC 电流。唯一的要求是放大器驱动模拟输入必须在小电流尖峰之后而下一个变换起动之前稳定下来。对于小电流瞬变能够在 $1\mu\text{s}$ 内稳定下来的任何运算放大器将允许最高速度的操作。如果采用的是速度较慢的运算放大器，则可通过增加变换之间的时间来提供更多的稳定时间。能够驱动 LTC1272 A_{IN} 输入的合适器件包括 LT1006 和 LT1007 运算放大器。

内部时钟振荡器

图 6 示出了 LTC1272 的内部时钟电路。可将一个晶体或陶瓷谐振器连接于 CLK IN (引脚 17) 和 CLK OUT (引脚 18) 之间，以提供一个 ADC 定时的时钟振荡器。另一种方法是省掉晶体/谐振器，而把一个外

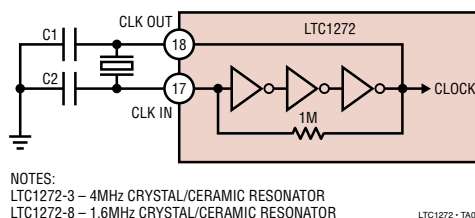


图 6：LTC1272 的内部时钟电路

部时钟源连接到 CLK IN。对于外部时钟而言，占空比不是关键。如图 7 中的工作波形所示，一个反相 CLK IN 信号将出现在 CLK OUT 引脚上。CLK OUT 引脚上的电容应最小化以获得最佳的模拟特性。

内部基准

LTC1272 具有一个片上温度补偿型的曲率校正带隙基准，在出厂时被调定为 $2.42\text{V} \pm 1\%$ 。它在内部与 DAC 相连，而且也可在引脚 2 上获得，以为一个外部负载提供高达 1mA 的电流。

为了实现最小的代码转换噪声，应采用一个电容器对基准输出进行去耦处理 (与一个 $0.1\mu\text{F}$ 陶瓷电容器并联的 $10\mu\text{F}$ 钽电容器) 以把宽带噪声从基准中滤除。图 8 示出了采用推荐去耦的基准简化电路图。

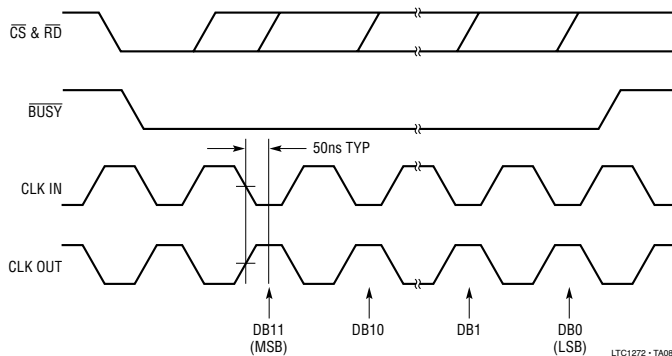


图 7：CLK IN 采用一个外部时钟源的工作波形

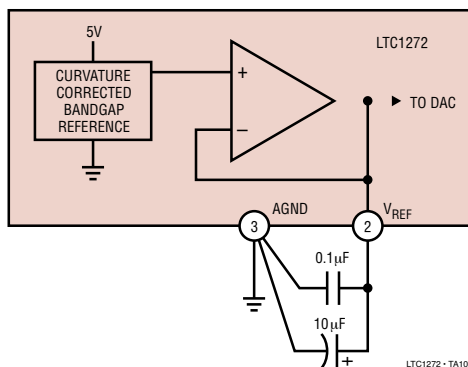


图 8：LTC1272 的内部 2.42V 基准

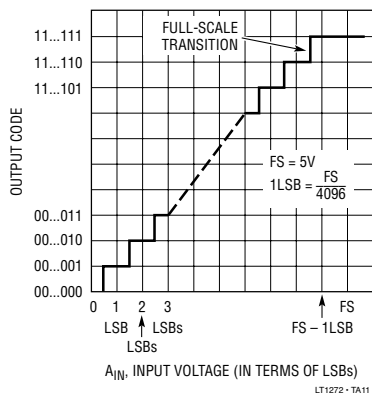


图 9：LTC1272 理想的输入/输出传送特性

单极操作

图 9 示出了 LTC1272 于 0V 至 5V 输入范围的理想输入/输出特性曲线。代码转换发生于连续整数 LSB 值的中间 (即 $1/2\text{LSB}$ 、 $3/2\text{LSBs}$ 、 $5/2\text{LSBs}$... $\text{FS} - 3/2\text{LSBs}$)。输出代码是天然二进制数, 即 $1\text{LSB} = \text{FS}/409 = (5/4096)\text{V} = 1.22\text{mV}$ 。

单极偏移和满称误差调整

在绝对精度重要的应用中, 可将偏移和满称误差调至零。偏移误差必须在满称误差之前调整。图

10 示出了满称误差调整所需的额外元件。零点偏移是通过调整驱动 A_{IN} 的运算放大器 (即图 10 中的 A1) 偏移来实现的。对于零点偏移误差, 在 V_{IN} 上施加 0.61mV (即 $1/2\text{LSB}$) 的电压, 并对运算放大器的偏压进行调整, 直到 ADC 输出代码在 0000 0000 0000 和 0000 0000 0001 之间抖动。

对于零点满称误差, 在 V_{IN} 上施加一个 4.99817V (即 $\text{FS} - 3/2\text{LSBs}$ 或最终代码转换) 的模拟输入, 并对 R1 进行调整, 直到 ADC 输出代码在 1111 1111 1110 和 1111 1111 1111 之间抖动。

应用信息

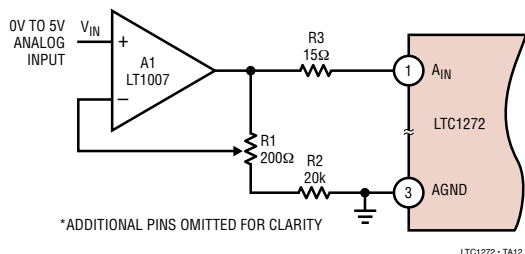


图 10：采用增益误差调整的单极 0V 至 5V 操作

应用提示

建议高分辨率或高速 A/D 变换器不要采用线绕电路板。为了获得 LTC1272 的最佳性能，要求采用印刷电路板。印刷电路板的布局应保证尽量把数字信号线与模拟信号线隔离开来。特别应注意不要在模拟信号印制线旁边或 LTC1272 的下方穿过任何的数字印制线。模拟输入应由 AGND 屏蔽。

如图 11 所示，一个与逻辑系统的地分开的模拟接地单点应与在引脚 3 (AGND) 的模拟接地点设置或尽可能靠近 LTC1272。引脚 12 (LTC1272 DGND) 和所有其他的模拟地应与这个模拟接地点相连。其他的数字地均不应与该模拟接地点相连。低阻抗的模拟和数字电源公共回路对于 ADC 的低噪声操作是最为重要的，而且，这些印制线的铜箔宽度应尽可能宽。

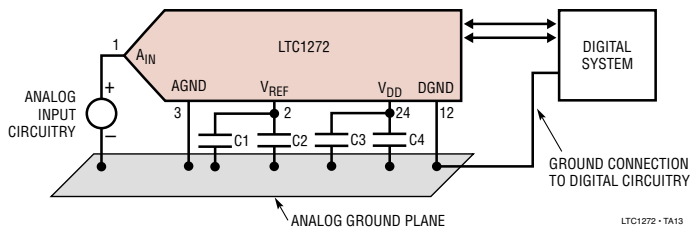


图 11：电源接地的常规方法

噪声：至 A_{IN} 的输入信号引线以及源自 AGND (引脚 3) 的信号回路引线应尽可能短，以使输入噪声耦合最小化。在无法这样做的应用中，建议在信号源与 ADC 之间连接一根屏蔽电缆。同样，由于信号源和 ADC 之间的任何地电位差异都表现为一个与输入信号串联的误差电压，因此，应注意尽可能地减小接地电路的阻抗。

在 LTC1272 数据输出和控制信号被连接至一个连续工作的微处理器总线的应用中，有可能在变换结果中得到 LSB 误差。这些误差是由于从微处理器到逐次逼近式比较器的馈通所引起的。该问题可通过使微处理器在变换过程中进入等待状态 (见“慢速存储方式连接”)，或采用三态缓冲器来隔离 LTC1272 数据总线得以解决。

定时和控制

变换起动和数据读取操作由三个 LTC1272 数字输入 (即 $\overline{HBEN}$ 、 $\overline{CS}$ 和 $\overline{RD}$) 来控制。图 12 示出了与这些输入相关联的逻辑电路结构。由于在内部对这三个信号进行或非门连接，这样，需要在全部三个输入上都有一个逻辑“0”来启动一个变换。变换一旦被启动则在完成之前不能重新启动。变换器状态由 $\overline{BUSY}$ 输出出来指示，当变换在进行的时候，该输出为低电平。

应用信息

如图 13 至 17 的时序图描述那样，这有两种操作方式。慢速存储方式设计用于那些被驱动后可进入等待状态的微处理器，读取操作将 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 拉低，这将启动一个变换，当变换完成时进行数据读取。

第二种方式是不需要微处理器等待状态的ROM方式。读取操作把 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 拉低，这将启动一个变换并读取前一个变换的结果。

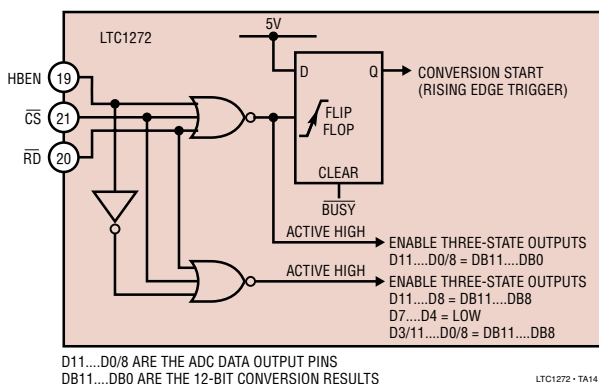


图 12：用于控制输入 $\overline{\text{CS}}$ 、 $\overline{\text{RD}}$ 和 HBEN 的内部逻辑电路

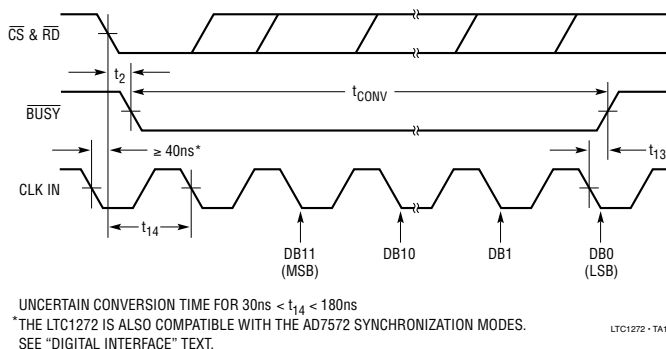
图 13：同步操作的 $\overline{\text{RD}}$ 和 CLK IN

表 1：数据总线输出， $\overline{\text{CS}}$ 和 $\overline{\text{RD}} = \text{低}$

	引脚4	引脚5	引脚6	引脚7	引脚8	引脚9	引脚10	引脚11	引脚13	引脚14	引脚15	引脚16
数据输出*	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
HBEN = 低	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
HBEN = 高	DB11	DB10	DB9	DB8	低	低	低	低	DB11	DB10	DB9	DB8

注：*D11...D0/8 为 ADC 数据输出引脚
DB11...DB0 为 12 位变换结果，DB11 为 MSB

应用信息

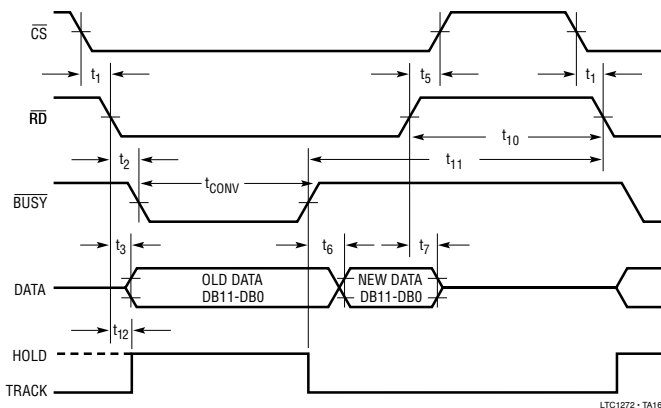


图 14：慢速存储方式，并行读取时序图

表 2：慢速存储方式，并行读取数据总线状态

数据输出	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
读取	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

数据格式

输出数据格式可以是一个用于 16 位微处理器的完整并行负载，或是一个用于 8 位微处理器的两字节负载。数据始终是右对齐的（即 LSB 是一个 16 位字中最右边的一位）。对于两字节读取，只采用数据输出 D7...D0/8。字节选择由控制一个内部数字复用器的 HBEN 输入来决定。这把 12 位变换数据复用至较低 D7...D0/8 输出（4MSBs 或 8LSBs）并在两个读周期内被读出。每当三态输出驱动器被导通时，4MSBs 总是出现于 D11...D8。

慢速存储方式，并行读取 (HBEN = 低)

图 14 和表 2 示出了针对慢速存储方式并行读取的时序图和数据总线状态。 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 的走低触发一个变换，而 LTC1272 通过拉低 $\overline{\text{BUSY}}$ 做出响应。取自前一个变换的数据出现于三态数据输出端。 $\overline{\text{BUSY}}$ 在变换的末端回升至高电平，此时，输出锁存已被更新且变换结果被置于数据输出 D11... D0/8 上。

慢速存储方式，两字节读取

对于两字节读取，只采用了八个数据输出，即 D7...D0/8。第一个读取操作的变换起动程序和数据输出状态与慢速存储方式并行读取的一样。见图 15 给出的时序图和表 3 列出的数据总线状态。在变换的末端，从 ADC 读出低数据字节 (DB7... D0)。第二个读取操作 (HBEN 为高电平) 把高字节置于数据输出 D3/11...D0/8 之上，并使变换起动失效。请注意在上述两个读取操作中 4MSBs 出现于数据输出 D11...D8 上。

ROM 方式，并行读取 (HBEN = 低)

ROM 方式避免将微处理器置于等待状态。用读取操作来起动变换，而取自前一个变换的 12 位数据可在数据输出 D11... D0/8 上获得（见图 16 和表 4）。如果不需要，可不考虑该数据。第二个读取操作读出新数据 (DB11... DB0) 并起动另一个变换。在读取操作之间必须留有一个延迟，其长度至少为 LTC1272 变换时间加上 1 μs 的变换间最短延迟。

应用信息

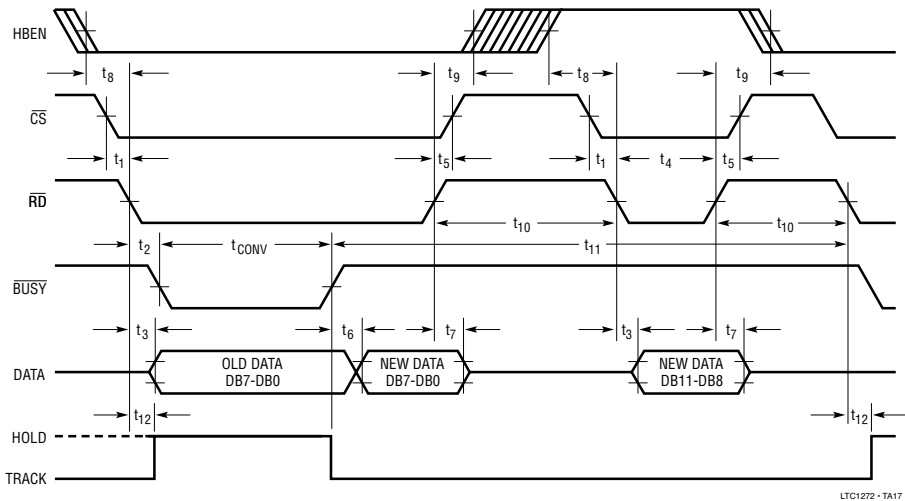


图 15：慢速存储方式，两字节读取时序图

表 3：慢速存储方式，两字节读取数据总线状态

数据输出	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
第一个读取操作	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
第二个读取操作	低	低	低	低	DB11	DB10	DB9	DB8

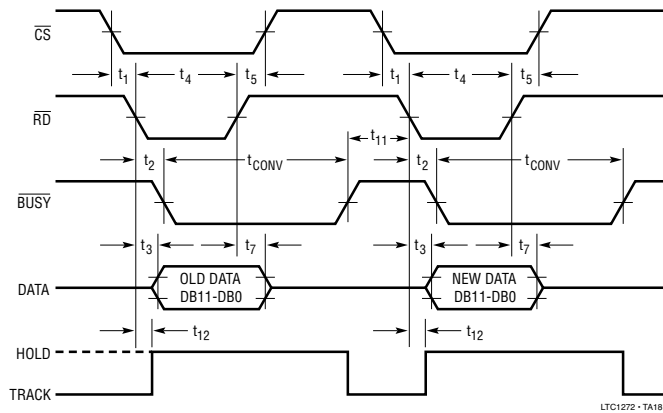


图 16：ROM 方式，并行读取时序图

表 4：ROM 方式，并行读取数据总线状态

数据输出	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
第一个读取操作 (旧数据)	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
第二个读取操作	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

应用信息

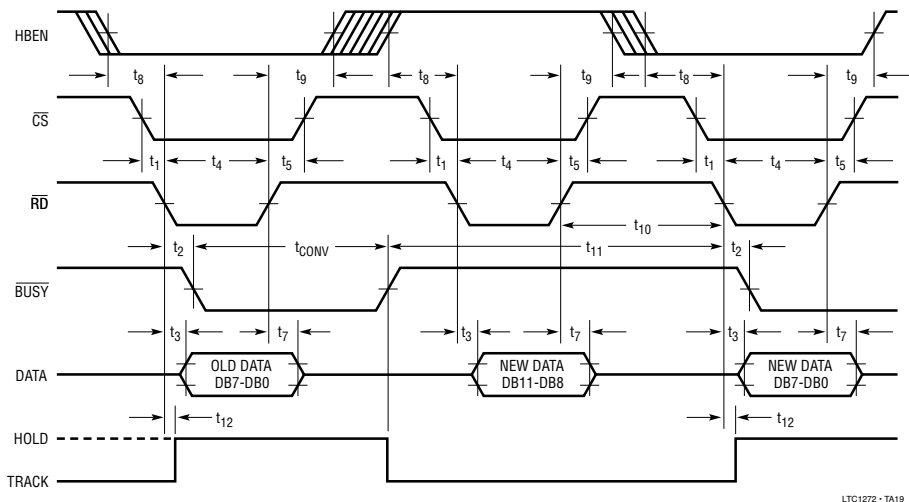


图 17：ROM 方式，两字节读取时序图

表 5：ROM 方式，两字节读取数据总线状态

数据输出	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
第一个读取操作	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
第二个读取操作	低	低	低	低	DB11	DB10	DB9	DB8
第三个读取操作	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

ROM 方式，两字节读取

如前文所述，对于两字节读取，只采用了数据输出 D7...D0/8。变换采用的是以读取操作来起动的普通方式，而且数据输出状态与 ROM 方式并行读取相同。见图 17 的时序图和表 5 的数据总线状态。还需要两个读取操作来获得新的变换结果。在变换起动和第二个数据读取操作之间必须留有一个与 LTC1272 变换时间相同的延迟。第二个读取操作 (HBEN 为高电平) 使变换起动失效，并将高字节 (4 MSBs) 置于数据输出 D3/11...D0/8 上。第三个读取操作获得低数据字节 (DB7...DB0)，并起动另一个变换。在上述全部三个读取操作过程中，4 MSBs 出现于数据输出 D11...D8。

微处理器连接

LTC1272 被设计为一个与微处理器接口的存储映射器件。CS 和 RD 控制输入为全部外围存储接口所共用。HBEN 输入用作 8 位处理器的数据字节选择，且一般与微处理器地址总线相连。

MC68000 微处理器

图 18 示出了一个用于 MC68000 的典型接口。这时，LTC1272 工作于慢速存储方式。假定 LTC1272 位于地址 C000，则下面的单个 16 位传送指令起动一个变换并读取该变换的结果：

```
Move.W $C000,D0
```

应用信息

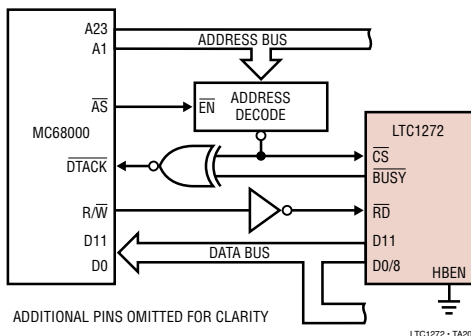


图 18 : LTC1272 MC68000 接口

在进行 ADC 地址选择的指令周期的始端, $\overline{\text{BUSY}}$ 和 $\overline{\text{CS}}$ 确定 $\overline{\text{DTACK}}$, 以使 MC68000 强制进入等待状态。在变换的末端, $\overline{\text{BUSY}}$ 回升至高电平, 变换结果被放置在微处理器的 D0 寄存器中。

8085A, Z80 微处理器

图19示出了一个用于Z80和8085A的LTC1272接口。这时，LTC1272工作于慢速存储器方式且要求进行两字节读取。对8085A公用地址/数据总线进行复用所需的8位锁存未在图中示出。A0用来确定HBEN，这样，发给LTC1272的一个偶数地址(HBEN = 低)将起动机一个变换并读取低数据字节。一个奇数

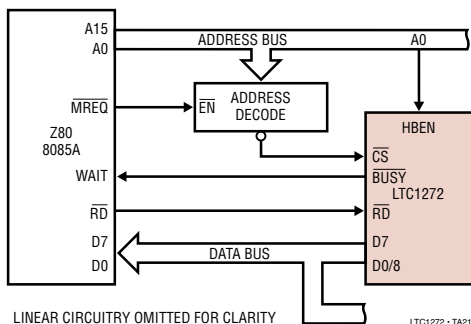


图 19 : LTC1272 8085A/Z80 接口

地址 (HBEN = 高) 将读取高数据字节。这是利用下面的单 16 位负载指令来完成的。

对于 8085A LHLD (B000)

对于 Z80 LDHL, (B000)

这是一个两字节读取指令，它把 ADC 数据（地址 B000）装入 HL 寄存器对。在第一个读取操作期间， $\overline{\text{BUSY}}$ 强制微处理器等待 LTC1272 变换。当微处理器读取高数据字节时，在第二个读取操作期间未插入等待状态。

TMS32010 微电脑

图 20 示出了一个 LTC1272 TMS32010 接口。这时, LTC1272 工作于 ROM 方式。该接口虽设计用于 18MHz 的 TMS32010 最大时钟频率, 但一般将在 TMS32010 的整个时钟频率范围内工作。

LTC1272 在一个端口地址映射。下列的 I/O 指令起动一个变换并将前一个变换的结果读入数据存储器。

IN A , PA (PA = PORT ADDRESS)

当变换完成时，第二个 I/O 指令将最新的数据读入存储，并起动另一个变换。在 I/O 指令之间必须留有至少与 ADC 变换时间相等的延迟。

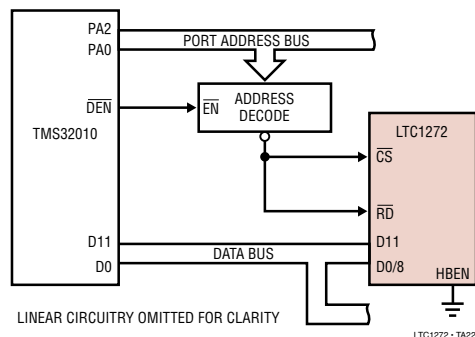


图 20 : LTC1272 TMS32010 接口

应用信息

与 AD7572 的兼容性

图 21 及示出了推荐用于采用 LTC1272 新型设计的简单及单 5V 结构。如果希望替换 AD7572 或升级，只需稍做改动即可将 LTC1272 插入 AD7572 的插座。它可被用作一种替代方案或利用取样和保持、单电源操作及更低的功耗实现升级。

虽然 LTC1272 的总功耗低于 AD7572，但它从 5V 电源吸收的电流却更多 (它不从 -15V 电源吸取功

率)。同样，变换之间必须提供一个 $1\mu\text{s}$ 的最短时间，以允许取样和保持重新获得模拟输入。图 22 示出了如果时钟与 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 同步，则只需短接 10Ω 的串联电阻并使 V_{REF} 引脚上的 $10\mu\text{F}$ 旁路电容器的极性反转。不需要 -15V 电源并可把它去掉，或保持不动 (因为没有至引脚 23 的内部连接)。当 LTC1272 CLK IN 信号取自与读取 LTC1272 的微处理器相同的时钟时，可认为时钟与 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 同步。

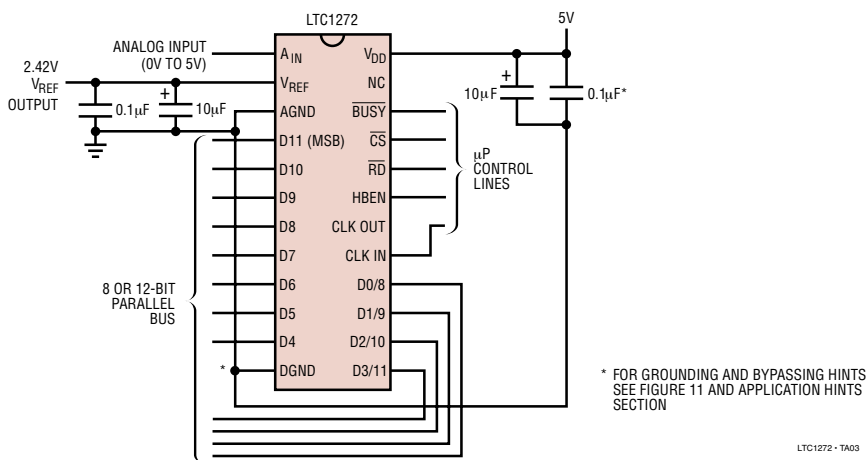


图 21：单 5V 电源、 $3\mu\text{s}$ 、12 位取样 ADC

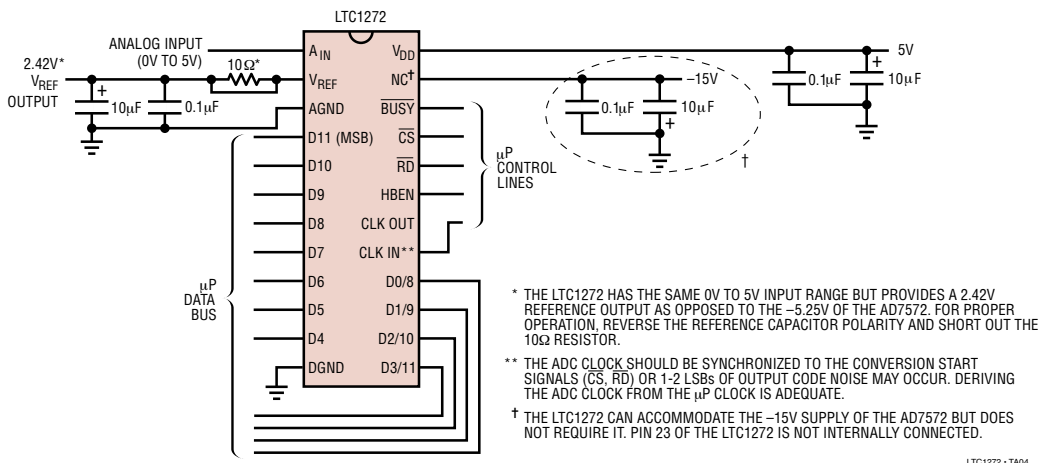
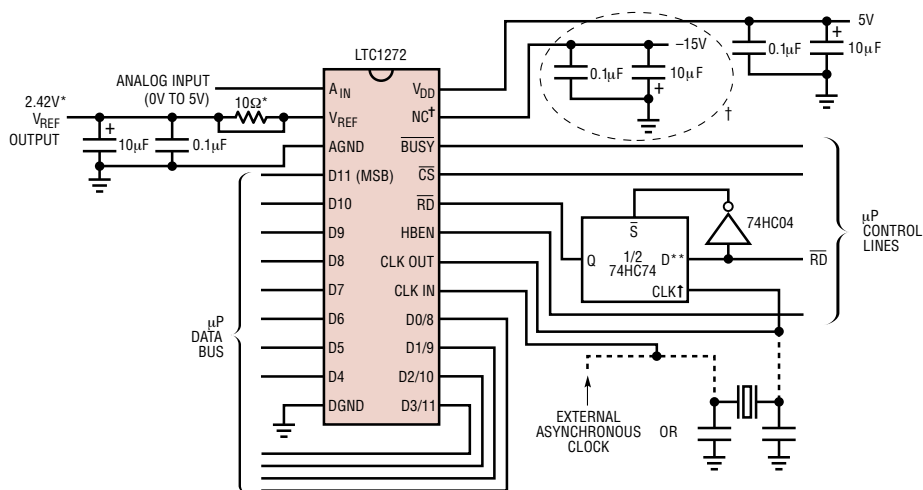


图 22：将 LTC1272 插入一个 AD7572 插座
情形一：时钟与 $\overline{CS}$ 和 $\overline{RD}$ 同步

如果 AD7572 的时钟信号取自一个与微处理器时钟异步的独立晶体或其他信号，则需要对该信号进行同步化处理以使 LTC1272 实现最佳模拟特性（见“时钟与控制同步”）。对这些信号进行同步处理的最好办法是如前文所述（见图 22）用处理器时钟的一个导数来驱动 LTC1272 的 CLK IN 引脚。另一个办法（如图 23 所示）是采用一个触发器来实现 $\overline{RD}$ 与 LTC1272 的 CLK IN 信号同步。这种方法虽然可行，

但与第一种方法相比有两个缺点：由于触发器对 $\overline{RD}$ 进行了延迟，所以实际的变换起动以及 LTC1272 的 $\overline{BUSY}$ 和数据输出的使能可能需要一个 CLK IN 周期来对处理器的 $\overline{RD} \downarrow$ 变换指令做出响应。模拟输入的取样不再出现于处理器的 $\overline{RD}$ 下降沿，但有可能被延迟长达一个 CLK IN 周期。尽管 LTC1272 仍将显现出优越的 DC 特性，但触发器将把抖动引入取样，这会减弱本方法应用于 AC 系统时的有效性。

应用信息



* THE LTC1272 HAS THE SAME 0V TO 5V INPUT RANGE BUT PROVIDES A 2.42V REFERENCE OUTPUT AS OPPOSED TO THE -5.25V OF THE AD7572. FOR PROPER OPERATION, REVERSE THE REFERENCE CAPACITOR POLARITY AND SHORT OUT THE 10 Ω RESISTOR.

** THE D FLIP-FLOP SYNCHRONIZES THE CONVERSION START SIGNAL ($\overline{\text{RD}}_1$) TO THE ADC CLK_{OUT} SIGNAL TO PREVENT OUTPUT CODE NOISE WHICH OCCURS WITH AN ASYNCHRONOUS CLOCK.

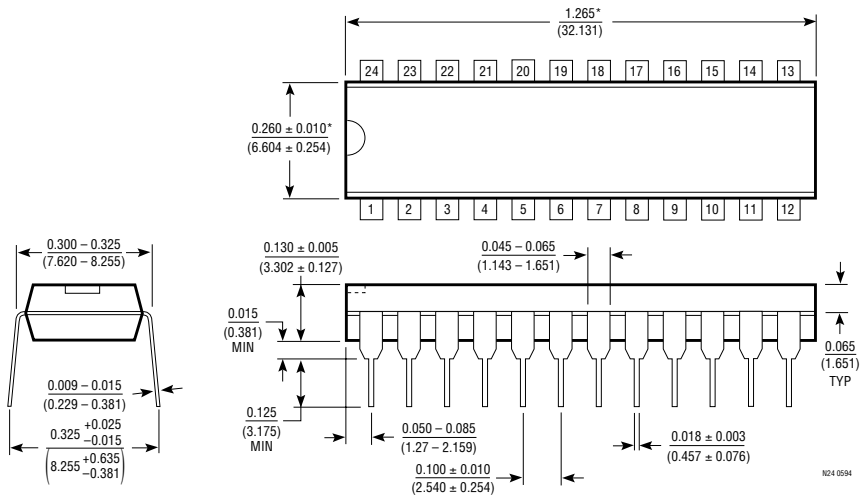
† THE LTC1272 CAN ACCOMMODATE THE -15V SUPPLY OF THE AD7572 BUT DOES NOT REQUIRE IT. PIN 23 OF THE LTC1272 IS NOT INTERNALLY CONNECTED.

LTC1272 • TA05

图 23：把 LTC1272 插入一个 AD7572 插座
情形二：时钟与 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 不同步

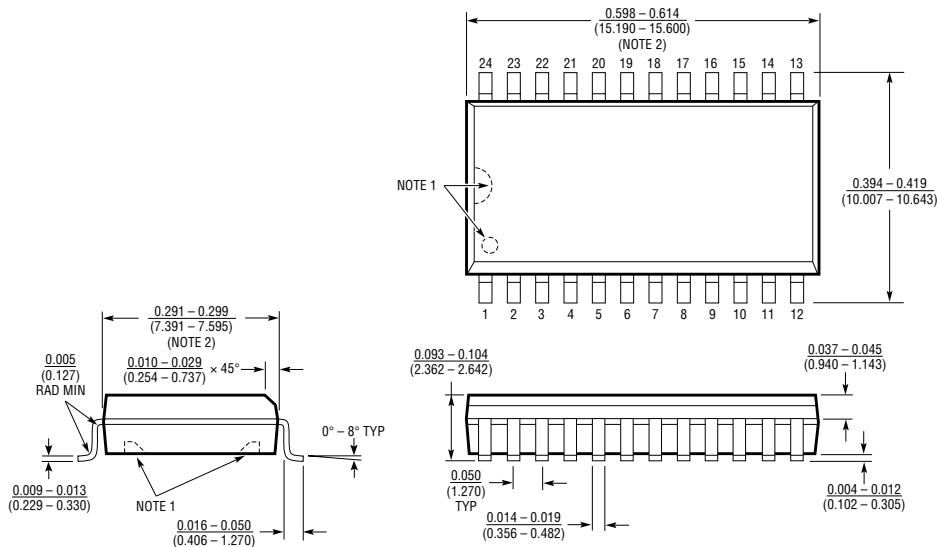
封装描述 尺寸单位均为英寸(毫米), 除非特别注明。

N 封装 24 引脚塑料 DIP



*THESE DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.010 INCH (0.254mm).

SO 封装 24 引脚塑料 SOL



NOTE:

1. PIN 1 IDENT, NOTCH ON TOP AND CAVITIES ON THE BOTTOM OF PACKAGES ARE THE MANUFACTURING OPTIONS. THE PART MAY BE SUPPLIED WITH OR WITHOUT ANY OF THE OPTIONS.
2. THESE DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.006 INCH (0.15mm).