



AD4110-1

概述

AD4110-1是一款完整的单通道通用输入模数转换前端，适用于要求灵活性与传感器相当的工业过程控制系统。

针对电流或电压信号可以通过软件配置高压输入，并且允许直接连接所有标准工业模拟信号源，如 $\pm 20\text{ mA}$ 、 $\pm 4\text{ mA}$ 至 $\pm 20\text{ mA}$ 、 $\pm 10\text{ V}$ 和所有热电偶类型。针对回路供电的电流输出传感器可提供现场电源。器件包括一系列用于电阻温度检测器(RTD)传感器和其他阻性传感器的激励电流源。集成全差分可编程增益放大器(PGA)提供从0.2到24的16种增益设置。

高压输入可以设置为在电压模式或电流模式下上电。当设置为电流模式时,即使没有系统模块电源,独特的输入电路架构也能提供环路电流路径。

AD4110-1提供内部前端诊断功能，用于指示过压、欠压、开路、过流和过温情况。高压输入具有热保护、过流限制和过压保护功能。

AD4110-1集成了精密24位 Σ - Δ 模数转换器(ADC), 转换速率从5 SPS到125 kSPS, 并且具有50 Hz和60 Hz噪声同时抑制特性。

为回路供电由电流传感器提供现场电源

高达±30 V的高压输入过压保护

内部电流检测电阻

可选择使用外部电流检测电阻

即使没有电源，输入也能限流

超范围和开路检测诊断功能

快速灵活的输出数据速率：5 SPS至125 kSPS

62 kSPS时无噪声位: 16

2.5 kSPS时无噪声位: 18

50 SPS/60 SPS时无噪声位: 20

50 Hz和60 Hz同时抑制

串行接口用于配置和诊断

4线接口，兼容SPI®、QSPI™、MICROWIRE®和DSP

电源: $\pm 12\text{ V}$ 至 $\pm 20\text{ V}$, $+5\text{ V}$

工作温度: -40°C 至 $+105^{\circ}\text{C}$

封装: 40引脚、6 mm × 6 mm LFCSP

应用

过程控制和工业自动化

远程分布式控制系统

仪器仪表和测量

传感器和数据采集

功能框图

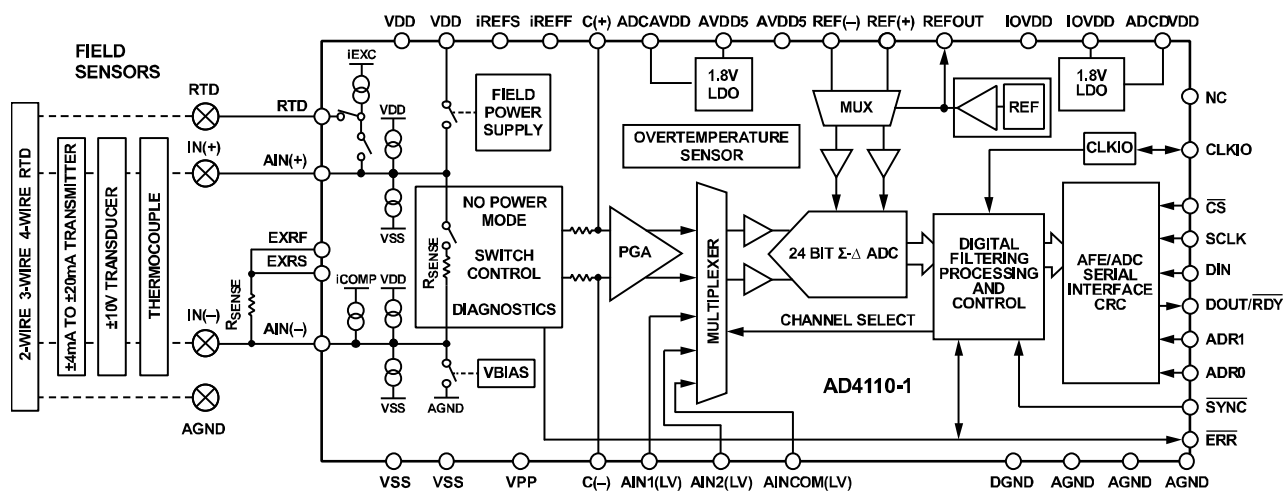


图1. 功能框图

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

©2019 Analog Devices, Inc. All rights reserved.

Technical Support

www.analog.com/cn

目录

特性	1	单次转换模式	22
应用	1	ADC转换延迟	22
概述	1	偏置电压发生器	22
功能框图	1	抗混叠滤波电路	23
修订历史	3	电流模式	24
技术规格	4	电压和热电偶模式	27
时序规格	9	RTD模式	30
绝对最大额定值	10	现场电源模式	35
热阻	10	无电源模式	36
ESD警告	10	增益校准数据寄存器	38
引脚配置和功能描述	11	电压模式下的增益校准	38
典型性能参数	13	电流模式下的增益校准	38
工作原理	17	比例因子	38
电源序列	18	自动校准模式	39
保护二极管	18	应用示例	40
模拟输入	18	诊断和保护	41
上拉/下拉电流	18	诊断标志	41
抗混叠滤波器	18	错误引脚	41
RTD激励电流	18	过温检测和热关断	41
现场电源模式	18	过压和欠压检测	42
无电源模式	18	过压保护	42
偏置电压发生器	18	诊断过压和欠压状况	43
PGA	18	开路检测	44
校准寄存器	18	RTD测量和RTD标志诊断	44
串行接口	18	噪声、建立时间和数字滤波	45
时钟	18	数字滤波器	45
ADC	18	Sinc5 + Sinc1滤波器	45
ADC滤波器寄存器	18	Sinc3滤波器	45
ADC增益和失调寄存器	18	增强型50 Hz和60 Hz抑制滤波器	48
噪声性能和分辨率	19	RTD模式噪声性能	50
工作模式	20	串行外设接口	51
上电时的默认工作模式	20	复位AD4110-1	51
更改未来上电周期的默认工作模式	20	对通信寄存器的SPI命令	51
电源要求	20	DOUT/RDY引脚	52
系统时钟要求	20	写操作	52
双极性和单极性输出	21	读操作	53
辅助低压输入	21	SPI总线连接多个器件	54
数字滤波器	21	CRC校验和	55
连续转换模式	21	CRC校验和方法	55
输入自动序列化	21		

寄存器详解.....	58	ADC寄存器描述	67
AFE寄存器映射	58	外形尺寸	74
AFE寄存器描述	59	订购指南	74
ADC寄存器映射	66		

修订历史

2019年3月—修订版0：初始版

技术规格

除非另有说明, VDD = +12 V至20 V, VSS = -12 V至-20 V, AVDD5 = +5 V, IOVDD = +5 V, AGND = DGND = 0 V, VBIAS功能 = 关, REFIN(+) = 2.5 V (外部基准电压源), REFIN(-) = 0 V, MCLK = 8 MHz (内部ADC时钟), $T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$, 所有增益。

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
高压模拟输入, AIN(±)引脚					
差分输入电压范围, 基准电压(V_{REF}) ≤ 2.5 V	$-V_{\text{REF}}/\text{增益}$		$+V_{\text{REF}}/\text{增益}$	V	额定性能, 增益 > 0.2
	-10		+10	V	额定性能, 增益 = 0.2
	-12.5		+12.5	V	工作范围, 增益 = 0.2
绝对AIN电压	$V_{\text{SS}} + 3$		$V_{\text{DD}} - 3$	V	额定工作
过压保护 ^{1, 2}					
AIN(+) - AGND、AIN(-) - AGND、 AIN(+) - AIN(-)引脚			± 30	V	使用输入电阻-电容(RC)低通滤波器, 电阻(R) = 10 Ω 、0.5 W, 电容(C) = 47 nF、50 V, VDD/VSS $\leq \pm 15$ V
电压输入模式					
增益误差					
校准前 ³	-1		+1	%	$T_A = 25^{\circ}\text{C}$
使用校准系数 ⁴	-0.03		+0.03	%	$T_A = 25^{\circ}\text{C}$, VDD/VSS = ± 15 V
增益的温度漂移 ²	-3		+3	ppm/ $^{\circ}\text{C}$	除增益 = 1之外的所有增益
	-8		+8	ppm/ $^{\circ}\text{C}$	增益 = 1
增益的时间漂移 ⁵		± 30		ppm	1000小时
输入失调误差 ⁶	-350/增益		+350/增益	μV	增益 = 0.2至3
	-100		+100	μV	增益 = 4至24
输入失调的温度漂移 ²		2	14	$\mu\text{V}/^{\circ}\text{C}$	增益 = 0.2, 折合到输入
		0.2	0.5	$\mu\text{V}/^{\circ}\text{C}$	增益 = 24, 折合到输入
输入失调的时间漂移 ⁵		± 50		μV	增益 = 0.2, 1000小时
		± 25		μV	增益 = 1, 1000小时
		± 4		μV	增益 = 24, 1000小时
积分非线性		6		ppm/FSR	增益 = 0.2, 满量程范围(FSR) = $2 \times$ 满量程(FS)
		25	75	ppm/FSR	增益 = 24
输入偏置电流, AIN(+), AIN(-)引脚 ²	-0.5		+0.5	μA	
输入偏置电流, AIN(+)引脚	-0.25	-0.15	-0.05	μA	AIN(+) - AIN(-) $< \pm 100$ mV, AIN(-) = 0 V, VBIAS开/关, 增益 = 24, 源阻抗 < 5 k Ω
输入偏置电流漂移 ²		1	2.5	nA/ $^{\circ}\text{C}$	AIN(+)和AIN(-)
输入失调电流 ²	-100		+100	nA	
输入阻抗 ⁷		> 1		G Ω	$\Delta V_{\text{IN}} \div \Delta I_{\text{IN}}$
输入电压噪声和分辨率 ²					见表16至表21
输入共模抑制, DC		125		dB	增益 = 24
		100		dB	增益 = 0.2
输入共模抑制, AC		130		dB	50 Hz/60 Hz
电源抑制, DC ⁸		120		dB	与VSS和VDD相关
		83		dB	与AVDD5相关, 增益 = 1, $V_{\text{IN}} = 1$ V
常模抑制, 50 Hz/60 Hz		40		dB	Sinc5 + sinc1滤波器, ± 0.5 Hz, 外部时钟
		100		dB	Sinc3滤波器, ± 1 Hz

参数	最小值	典型值	最大值	单位	测试条件/注释
使用内部检测电阻的电流输入模式 ⁹					增益 = 4
输入电流范围 ¹⁰	-20		+20	mA	额定性能范围
	-24		+24	mA	工作范围
互阻增益		96		mV/mA	增益 = 4, 检测电阻(R_{SENSE}) = 24 Ω
增益误差					
校准前 ³		± 30		%	
使用校准系数 ⁴	-0.1		+0.1	%	$T_A = 25^\circ\text{C}$, $I_{\text{IN}} = 20\text{ mA}$
增益的温度漂移 ²	-50		+50	ppm/ $^\circ\text{C}$	不包括基准电压漂移, 包括 R_{SENSE} 电阻漂移
增益的时间漂移 ⁵		250		ppm	1000小时
输入失调误差	-5		+5	μA	
输入失调的温度漂移 ²			50	nA/ $^\circ\text{C}$	
输入失调的时间漂移 ⁵		± 200		nA	1000小时
积分非线性		25	75	ppm/FSR	$\text{FSR} = 2 \times \text{FS}$
输入过流检测		± 35		mA	
输入电流内部限流 ¹⁰		± 40		mA	过流自保护
输入阻抗 ^{2, 11}	30	45	60	Ω	输入电流 $< \pm 24\text{ mA}$
输入电流噪声和分辨率					见表16至表21
输入共模抑制, DC		0.15		$\mu\text{A/V}$	
电源抑制, DC ⁸		0.01		$\mu\text{A/V}$	与VDD和VSS相关
使用外部检测电阻的电流输入模式 ^{12, 13}					外部检测电阻(R_{EXT}) = 200 Ω , 增益 = 0.5
输入电流范围 ⁷	-20		+20	mA	额定性能范围
	-24		+24	mA	工作范围
输入过流检测		± 35		mA	
输入电流内部限流 ⁷		± 40		mA	过流自保护
增益的温度漂移 ²			2.5	ppm/ $^\circ\text{C}$	不包括基准电压漂移和外部检测电阻的漂移
ADC速度和性能					
输出数据速率 ²	5		125,000	SPS	
无失码 ²	24			Bits	Sinc5 + sinc1滤波器设置
分辨率					见表16至表21
无电源模式					
输入电压降		5		V	电流模式, 输入电流 = 24 mA
输入电流内部限流 ²		± 55	± 70	mA	电流模式, 过流自保护
输入电流损耗		70		μA	电流模式, 24 mA, 连接GND
电压模式下的输入电流		± 0.5		mA	电压模式
现场电源模式					
输出电压, AIN(+)引脚 ²	VDD - 2.5	VDD - 1.5		V	输出电流 = 24 mA
		VDD - 0.1	VDD	V	空载
输出电流, AIN(+)引脚			-24	mA	
输出限流, AIN(+)引脚 ²	-35	-45	-55	mA	过流自保护
电压, AIN(-)引脚 ²		VSS + 3.6	VSS + 4.2	V	AIN(-), 24 mA, 无VSS二极管
	VSS + 2.2	VSS + 2.7		V	无负载, 无VSS二极管
输入限流, AIN(-)引脚		+40		mA	

参数	最小值	典型值	最大值	单位	测试条件/注释
RTD激励电流 ¹⁴					外部基准电压(V_{REF}) = $2.5\text{ V} \pm 0\%$
电流输出		0.1至1		mA	可编程 (见表30)
初始误差, 内部基准电阻	-0.3		+0.3	%	电流 $\geq 400\mu\text{A}$, $T_A = 25^\circ\text{C}$
	-1		+1	%	电流 = $100\mu\text{A}$, $T_A = 25^\circ\text{C}$
初始漂移		130		ppm	参见图44和图45
温度漂移 ²	-45		+45	ppm/ $^\circ\text{C}$	内部基准电阻 (包括基准电阻漂移)
	-18		+18	ppm/ $^\circ\text{C}$	外部基准电阻 (不包括基准电阻漂移)
时间漂移 ^{5,15}		150		ppm	内部电阻, 1000小时
		150		ppm	外部电阻, 1000小时
负载调整率 ²			0.01	%/V	
线性调整率 ²		4		ppm/V	与VSS和VDD相关
噪声 ²	参见表22和表23				$T_A = 25^\circ\text{C}$
电流匹配 ¹⁵		0.05		%	AIN(+)和AIN(-)引脚, 不包括 $100\mu\text{A}$
电流匹配漂移		0.0002		%/ $^\circ\text{C}$	AIN(+)和AIN(-)引脚, 不包括 $100\mu\text{A}$
顺从电压			VDD - 5	V	
基准电压 (输入)					
基准电压输入, $V_{REF}^{2,14}$	1	2.5	AVDD5 - 1.6	V	REFIN(+) - REFIN(-) = V_{REF} RTD模式禁用
	2.45	2.5	2.55	V	RTD模式使能
V_{REF} 输入电流		200		nA	V_{REF+} 基准电压缓冲器开启
		100		μA	V_{REF-} 基准电压缓冲器开启
		36		$\mu\text{A}/\text{V}$	V_{REF+} 基准电压缓冲器关闭
		75		$\mu\text{A}/\text{V}$	V_{REF-} 基准电压缓冲器关闭
V_{REF} 输入电流漂移		1.3		nA/ $^\circ\text{C}$	V_{REF+} 基准电压缓冲器开启
		-3.5		nA/ $^\circ\text{C}$	V_{REF-} 基准电压缓冲器开启
		10		nA/V/ $^\circ\text{C}$	V_{REF+} 基准电压缓冲器关闭
		10		nA/V/ $^\circ\text{C}$	V_{REF-} 基准电压缓冲器关闭
绝对REFIN电压限值	AGND - 0.05		AVDD5 + 0.05	V	
	AGND		AVDD5	V	基准电压缓冲器开启
共模抑制		95		dB	
基准电压 (输出)					
输出电压		2.5		V	REFOUT引脚
初始精度 ²	-0.16		+0.16	V	$T_A = 25^\circ\text{C}$
温度系数 ²		10	50	ppm/ $^\circ\text{C}$	
长期稳定性 ⁵		600		ppm	1000小时
基准负载电流, I_{LOAD}			10	mA	
电源抑制		93		dB	
负载调整率		75		$\mu\text{V}/\text{mA}$	
VBIAS					
电压		AGND		V	
输出电流限值		± 50		μA	拉或灌, 取决于以AGND为基准的AIN(-)引脚电位
开路检测电流					
电流输出	± 0.71	± 1	± 1.45	μA	
		± 100		μA	
顺从电压	VSS + 2		VDD - 2	V	

参数	最小值	典型值	最大值	单位	测试条件/注释
输入过压检测					
正过压阈值		$V_{DD} - 2.0$	$V_{DD} - 2.8$	V	
负过压阈值		$V_{SS} + 2.0$	$V_{SS} + 2.8$	V	
过温保护					
过温检测阈值		120		°C	结温
热关断阈值		145		°C	结温
热关断迟滞		30		°C	
抗混叠滤波器电阻					
$A_{IN}(\pm)$ 至 $C(\pm)$ 电阻		1600		Ω	包括内部开关电阻
电阻变化 ²			± 35	%	
失配		0.2		%	每个通道的电阻对
低压模拟输入, $A_{IN1}(LV)$ 、 $A_{IN2}(LV)$ 和 $A_{INCOM}(LV)$					
差分输入范围		$\pm V_{REF}$		V	
绝对电压限值	AGND		AVDD5	V	
输入电流		± 65		nA	
输入电流漂移		± 75		pA/°C	AGND + 0.2 V至AVDD5 - 0.2 V
		± 1		nA/°C	AGND至AVDD5
高压(HV)至低压(LV)通道串扰 ¹⁶		-120		dB	输入频率(f_{IN}) = 1 kHz, 增益 (高压通道) = 1
输入共模抑制, DC		95		dB	
输入共模抑制, AC		120		dB	50 Hz/60 Hz, $V_{IN} = 1$ V
数字输入					
输入高电压, V_{IH}^2	$0.7 \times IOVDD$			V	$IOVDD = 2$ V至5.5 V
输入低电压, V_{IL}^2			0.8	V	$IOVDD = 3.3$ V至5.5 V
			0.4	V	$IOVDD = 2$ V
迟滞		100		mV	
输入漏电流	-10		+10	μA	
输入引脚电容		10		pF	
数字输出					
V_{OH}^2	$0.8 \times IOVDD$			V	$IOVDD = 5$ V, 拉电流(I_{SOURCE}) = 1 mA
	$0.8 \times IOVDD$			V	$IOVDD = 3.3$ V, $I_{SOURCE} = 500 \mu A$
	$0.8 \times IOVDD$			V	$IOVDD = 2$ V, $I_{SOURCE} = 500 \mu A$
V_{OL}^2			0.4	V	$IOVDD = 5$ V, 灌电流(I_{SINK}) = 2 mA
			0.4	V	$IOVDD = 3.3$ V, $I_{SINK} = 1$ mA
			0.4	V	$IOVDD = 2$ V, $I_{SINK} = 1$ mA
浮空状态漏电流	-10		+10	μA	
浮空态输出电容		12		pF	
错误输出 (开漏)					
输出低电压, V_{OL}			0.4	V	$I_{SINK} = -100 \mu A$
输出高电平漏电流, I_{OH}	-10		+10	μA	输出电压(V_{OUT}) = 5 V
时钟输入/输出					
内部振荡器		8		MHz	
内部振荡器精度	-3.5		+3.5	%	ADC时钟
时钟输入频率		8		MHz	
占空比, 外部时钟 ²	45	50	55	%	
V_{IH}^2	$0.8 \times IOVDD$			V	
V_{OH}	$0.8 \times IOVDD$			V	
V_{OL}			0.4	V	
V_{IL}^2			0.4	V	

参数	最小值	典型值	最大值	单位	测试条件/注释
输入漏电流	-10		+10	μA	
引脚电容		12		pF	
占空比, 内部时钟		50		%	
电源要求					参见“电源时序”部分
VDD – VSS电压	24	30	40	V	
AGND电压		(VDD – VSS)/2		V	
AVDD5 – AGND电压	4.5	5	5.5	V	
DGND电压		AGND		V	
IOVDD – DGND电压	2.0	5	5.5	V	
VDD电源电流					
现场电源关闭		5.5	8	mA	关闭和禁用所有电流源
		7.5	10	mA	RTD电流源开启, 其他电流源关闭, VBIAS关闭
现场电源开启 ²		29.5		mA	现场电源电流 = 24 mA至AGND, 关闭和禁用所有电流源, VBIAS关闭
VSS电源电流					
现场电源关闭		-5.5	-8	mA	关闭和禁用所有电流源
		-5.5	-10	mA	RTD电流源开启, 其他电流源关闭, VBIAS关闭
现场电源开启 ²		-5.8		mA	现场电源电流 = 24 mA至AGND, 关闭和禁用所有电流源, VBIAS关闭
电源电流: AVDD5		10	12	mA	
IOVDD电源电流		2.5	3.5	mA	

¹ 该器件的任何AIN(±)引脚的额定输入电压范围为VSS + 3 V至VDD – 3 V。该器件具有过压保护功能, AIN(+)和AIN(-)上的过压最高可达±30 V (以AGND电源为基准)。VDD = VSS ≤ ±15 V的限制仅适用于使能现场电源模式的场合。要对一个高压引脚施加一个比系统负电源电位还低的电压, 只有将一个外部二极管连接在VSS引脚和系统负电源之间才能实现 (参见图29)。任何时候都不得超过绝对最大额定值 (见表3)。

² 技术规格未经生产测试, 但受产品初始发布时的特性数据支持。

³ 应用软件误差校正算法之前的增益误差。参见“增益校准数据寄存器”部分。

⁴ 应用软件误差校正算法之后的增益误差。参见“增益校准应用示例”部分。

⁵ 数据基于以下测试方法: — 非密封固态表面贴装器件的湿度/回流灵敏度(MSL)分级和高温工作寿命(HTOL)。

⁶ 电压模式下输入端的失调电压。注意, 由于IC或PCB走线电阻不匹配, RTD电流可能产生额外的I×R失调电压(±V)。当更改RTD激励和补偿电流水平时, 可能需要进行系统校准。

⁷ 直流输入阻抗是通过测量输入电压变化引起的输入电压变化而得出的($\Delta V_{IN} \div \Delta I_{IN}$)。

⁸ 折合到输入端。

⁹ PGA增益 = 4, 适用于所有与使用内部检测电阻的电流输入模式相关的规格。

¹⁰ 电流输入模式下的输入电流必须在±20 mA范围内才能实现额定性能。该器件可在最高±24 mA下正常工作。内部保护将输入过流限制在约40 mA。

¹¹ 电流模式输入阻抗是AIN(+)和AIN(-)引脚之间的总阻抗, 包括片内检测电阻、片内电流模式开关和其他片内电路。模拟输入电流和模拟输出电压之间的关系由增益和失调规范表示。

¹² R_{EXT} = 200Ω, 增益 = 0.5, 适用于所有与使用外部检测电阻的电流输入模式相关的规格。

¹³ 在这种模式下, 外部电阻将输入电流转换为电压, 以便进行其他信号处理。AD4110-1规格不包括外部电阻变化的影响。要评估该模式下的系统性能, 必须考虑外部电阻的性能。

¹⁴ AD4110-1 RTD激励电流设计用于配合2.5 V基准电压工作。AD4110-1 RTD激励电流值与V_{REF}输入电压的微小变化成比例。AD4110-1 RTD激励电流规格不包括V_{REF}输入电压变化的影响。

¹⁵ RTD电流源使能, 电流持续流动。

¹⁶ 此规格与最差高压和低压通道对相关。HV通道上的20 V p-p、1 kHz正弦波输入在其他LV通道上衰减此数量。干扰信号施加于未选定的通道。连接到C(+)和C(-)的滤波器网络实现如图29所示。输入端子上没有实现滤波器网络。

时序规格

除非另有说明，IOVDD = 2 V至5.5 V，AGND = DGND = 0 V，C_{LOAD} = 20 pF，T_A = -40°C至+105°C。

表2.

参数	T _{MIN} 、T _{MAX} 时的限值	单位	描述 ^{1, 2}
t ₃	50	ns (最小值)	SCLK高电平脉宽
t ₄	50	ns (最小值)	SCLK低电平脉宽
读操作			
t ₁	0	ns (最小值)	CS下降沿到DOUT/RDY有效时间
	15	ns (最大值)	IOVDD = 4.5 V至5.5 V
	20	ns (最大值)	IOVDD = 3.0 V至3.6 V
	40	ns (最大值)	IOVDD = 2.0 V
t ₂ ³	0	ns (最小值)	SCLK有效沿到数据有效延迟 ⁴
	15	ns (最大值)	IOVDD = 4.5 V至5.5 V
	20	ns (最大值)	IOVDD = 3.0 V至3.6 V
	40	ns (最大值)	IOVDD = 2.0 V
t ₅ ⁵	20	ns (最大值)	CS无效沿后的总线释放时间
t ₆	0	ns (最小值)	SCLK无效沿到CS无效沿
写操作			
t ₈	0	ns (最小值)	CS下降沿到SCLK有效沿建立时间 ⁴
t ₉	8	ns (最小值)	数据有效到SCLK沿建立时间
t ₁₀	8	ns (最小值)	数据有效到SCLK沿保持时间
t ₁₁	10	ns (最小值)	CS上升沿到SCLK沿保持时间

¹ 样片在初次发布期间均经过测试，以确保符合标准要求。

² 参见图2和图3。

³ t₂为输出跨越V_{OL}或V_{OH}限值所需的时间。

⁴ SCLK有效沿为SCLK的下降沿。

⁵ 读取数据寄存器之后，DOUT/RDY返回高电平。在单次转换模式和连续转换模式下，当DOUT/RDY为高电平时，如有必要，可以再次读取同一数据，但必须确保后续读取操作的发生时间不能接近下一次输出更新时间。

时序图

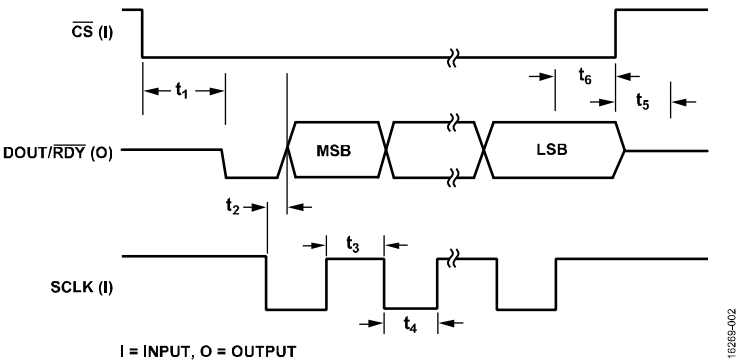


图2. 数据读操作时序图

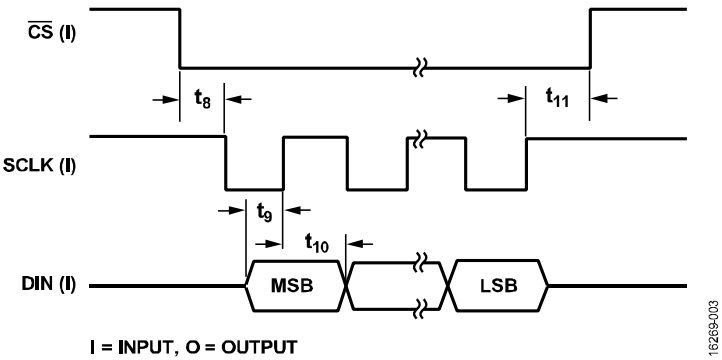


图3. 数据写操作时序图

绝对最大额定值

除非另有说明，T_A = 25°C。

表3.

参数	额定值
任何HV引脚至VSS ^{1,2}	−0.3 V至+60 V
VDD至VSS ³	−0.3 V至+50 V
AIN(+)至AIN(−) ⁴	±50 V
AVDD5至AGND、DGND ^{3,5}	−0.3 V至+6.5 V
IOVDD至AGND、DGND ^{3,5}	−0.3 V至+6.5 V
AGND至DGND ⁵	−0.3 V至+0.3 V
AGND至VSS	AGND ≥ VSS − 0.3 V
AVDD5至VDD	AVDD5 ≤ VDD + 0.3 V
REFIN(+), REFIN(−), AIN1(LV)、 AIN2(LV)、AINCOM(LV)至AGND	−0.3 V至AVDD5 + 0.3 V
数字输入和输出至DGND	−0.3 V至IOVDD + 0.3 V
工作温度范围	−40°C至+105°C
存储温度范围	−65°C至+150°C
最高结温	150°C
静电放电(ESD), 人体模型	700 V
场感应元件充电模式(FICDM)	1250 V
回流焊 (无铅)	JEDEC J-STD-020
峰值温度	260°C
峰值温度时间	10秒至40秒

¹ HV引脚为AIN(+), AIN(−), RTD、EXRS和EXRF。
² 要对一个HV引脚施加一个比系统负电源电位还低的电压, 只有将一个外部二极管连接在VSS引脚和系统负电源之间才能实现 (参见图29)。
³ 同名引脚必须短接在一起。
⁴ 使用输入RC低通滤波器, R = 10Ω、0.5 W, C = 47 nF、50 V。
⁵ 建议将AGND和DGND引脚短接在一起并尽可能靠近器件。

注意, 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待PCB散热设计。

表4. 热阻

封装类型	θ _{JA}	单位
CP-40-15 ¹	35	°C/W

¹ θ_{JA}指定器件焊接在有16个热通孔的JEDEC 4层测试板上以实现表贴封装。表4所示值基于仿真数据。

ESD警告



ESD (静电放电) 敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量 ESD 时, 器件可能会损坏。因此, 应当采取适当的 ESD 防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述

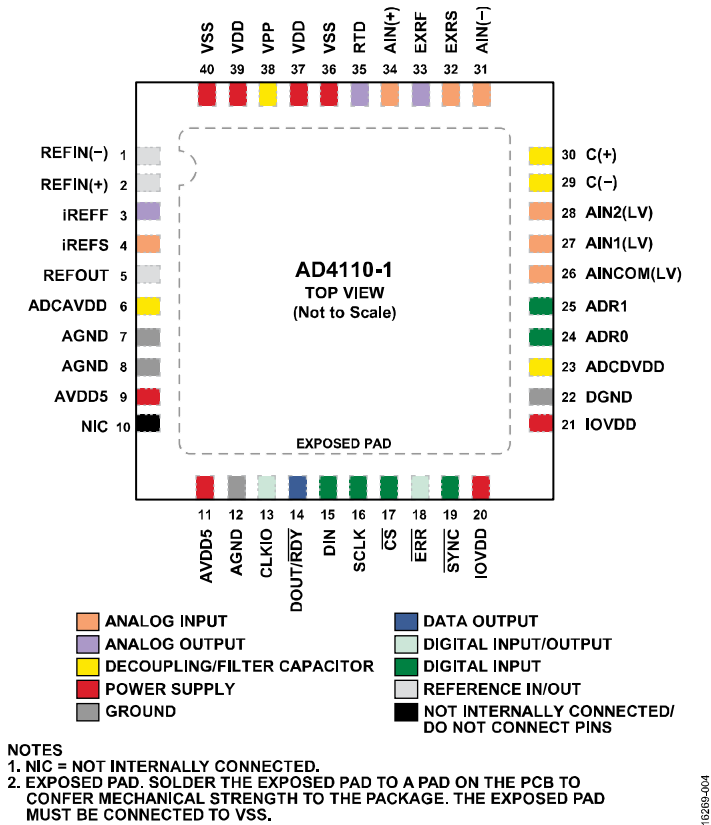


图4. 引脚配置

表5. 引脚功能描述¹

引脚编号	引脚名称	描述
1	REFIN(-)	负基准输入。此引脚与REFIN(+)引脚配合使用。连接到AGND。
2	REFIN(+)	正基准输入。在REFIN(+)和REFIN(-)引脚之间连接一个外部基准电压。RTD激励电流功能仅配合2.5 V基准电压使用。
3	iREFF	RTD激励电流外部基准电阻驱动引脚。当需要外部精密电阻作为产生RTD激励电流的基准电压源时，使用此引脚。该引脚驱动REFIN(+)电压跨越外部电阻。将此引脚和iREFS引脚星形连接到外部精密电阻的顶部。精密电阻应尽可能靠近iREFS和iREFF引脚，以使引脚电容最小。更多信息请参见“RTD模式”部分。不允许其他电路连接。
4	iREFS	RTD激励电流外部基准电阻检测引脚。当需要外部精密电阻作为产生RTD激励电流的基准电压源时，使用此引脚。该引脚检测流经外部电阻的RTD基准电流。将此引脚和iREFF引脚星形连接到外部精密电阻的顶部。精密电阻应尽可能靠近iREFS和iREFF引脚，以使引脚电容最小。更多信息请参见“RTD模式”部分。不允许其他电路连接。
5	REFOUT	内部2.5 V基准输出引脚。选择内部基准电压时，使用100 nF电容将此引脚去耦至GND。使用施加到REFIN(+)和REFIN(-)引脚的外部基准电压时，该引脚保持开路状态。
6	ADCAVDD	内部线性稳压器输出的去耦节点。使用1μF电容将此引脚去耦至AGND（引脚7）。
7	AGND	模拟地(0 V)。ADC内核的地。建议将AGND和DGND引脚短接在一起并尽可能靠近器件。
8	AGND	模拟地(0 V)。模拟前端(AFE)的地。建议将AGND和DGND引脚短接在一起并尽可能靠近器件。
9	AVDD5	模拟电源(5 V)。ADC内核的电源。
10	NIC	内部不连接。
11	AVDD5	模拟电源(5 V)。AFE的电源。
12	AGND	模拟地(0 V)。AFE的地。建议将AGND和DGND引脚短接在一起并尽可能靠近器件。

引脚编号	引脚名称	描述
13	CLKIO	时钟输入/输出。此引脚是外部时钟的输入或片内时钟的输出。
14	DOUT/ $\overline{\text{RDY}}$	串行接口数据输出(DOUT)。此引脚用作串行数据输出以访问ADC的输出寄存器。数据在SCLK下降沿之后置于DOUT/ $\overline{\text{RDY}}$ 引脚上，并在SCLK上升沿有效。当 $\overline{\text{CS}}$ 为高电平时，DOUT/ $\overline{\text{RDY}}$ 输出为三态。数据就绪输出(RDY)。当 $\overline{\text{CS}}$ 为低电平时，DOUT/ $\overline{\text{RDY}}$ 用作数据就绪引脚，变为低电平表示转换已完成。转换完成后，如果数据未被读取，该引脚将在下一次更新之前变为高电平。DOUT/ $\overline{\text{RDY}}$ 下降沿可以用作处理器的中断，表示存在可用数据。
15	DIN	串行接口数据输入。数字输入。
16	SCLK	串行接口时钟。数字输入。
17	$\overline{\text{CS}}$	串行接口片选/帧。数字输入。
18	$\overline{\text{ERR}}$	错误输入/输出。开漏数字输出。
19	$\overline{\text{SYNC}}$	ADC同步输入。当 $\overline{\text{SYNC}}$ 变为低电平时，ADC会中止任何进行中的ADC转换，并且若 $\overline{\text{RDY}}$ 为低电平，则将其拉高。当 $\overline{\text{SYNC}}$ 变为高电平时，ADC会在多个时钟周期内启动新的转换。如果使能了多个ADC通道，转换将从序列中的第一个通道开始重新启动。
20, 21	IOVDD	数字电源（2 V至5 V）。数字输入和输出的电源。
22	DGND	数字地(0 V)。数字输入和输出的基准地。建议将AGND和DGND引脚短接在一起并尽可能靠近器件。
23	ADCDVDD	内部线性稳压器输出的去耦节点。使用1 μF 电容将此引脚去耦至DGND（引脚22）。
24, 25	ADRO, ADR1	串行接口地址。数字输入。
26	AINCOM(LV)	低压模拟输入。当器件配置为伪差分模式时，AIN1(LV)和AIN2(LV)以该引脚为基准。
27	AIN1(LV)	低压模拟输入。此输入可与AIN2(LV)一起配置为全差分输入，或者配置为单端或伪差分输入，配合AINCOM(LV)使用。
28	AIN2(LV)	低压模拟输入。此输入可与AIN1(LV)一起配置为全差分输入，或者配置为单端或伪差分输入，配合AINCOM(LV)使用。
29	C(-)	电容负极。滤波电容可连接在该引脚与C(+)之间，以及/或者连接在该引脚与模拟地(AGND)之间。不允许其他电路连接。
30	C(+)	电容正极。滤波电容可连接在该引脚与C(-)之间，以及/或者连接在该引脚与模拟地(AGND)之间。不允许其他电路连接。
31	AIN(-)	负模拟输入。在电压模式下，此引脚为负输入。在3线RTD连接中，RTD补偿电流流出该端子。在电流模式下，此引脚还可用作外部检测电阻的负检测电压端子。
32	EXRS	外部电阻检测。在电流模式下，此引脚为外部检测电阻的检测（电压）端子。
33	EXRF	外部电阻驱动。在电流模式下，此引脚为外部检测电阻的驱动（电流）端子。如果应用中未使用外部检测电阻，必须将此引脚连接到AIN(-)引脚以支持电流模式操作；也就是说，必须用短路连接或0 Ω 电阻代替外部电阻。
34	AIN(+)	正模拟输入。在电压和电流模式下，此引脚为正输入。在3线RTD连接中，RTD激励电流流出该端子。在现场电源模式下，此引脚还可用作现场电源正输出。
35	RTD	电阻温度检测器引脚。在4线RTD连接中，RTD激励电流流出该端子。
36	VSS ²	负电源（-12 V至-20 V）。建议使用10 μF 去耦电容。
37	VDD	正电源（12 V至20 V）。建议使用10 μF 去耦电容。
38	VPP	内部5 V节点。必须将一个去耦电容连接到该引脚；不允许其他电路连接。在VPP和VSS引脚之间连接一个0.1 μF 陶瓷电容。
39	VDD	正电源（12 V至20 V）。
40	VSS ²	负电源（-12 V至-20 V）。
EPAD	VSS ²	裸露焊盘。将裸露焊盘焊接到PCB上的焊盘，以将其机械强度赋予封装。裸露焊盘必须连接到VSS。

¹ 同名引脚必须短接在一起。

² 要对一个HV引脚施加一个比系统负电源电位还低的电压，只有将一个外部二极管连接在VSS引脚和系统负电源之间才能实现。连接图参见图29。

典型性能参数

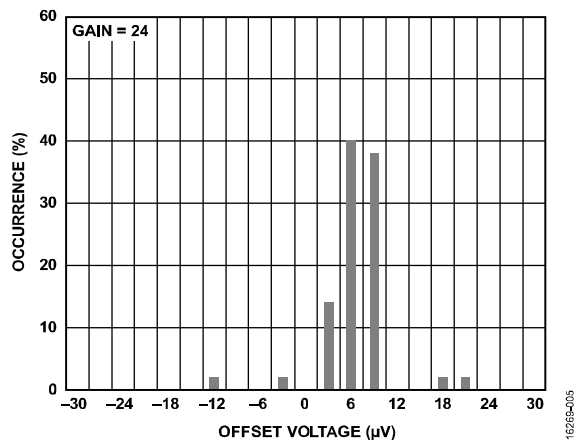


图5. 电压模式, 失调电压分布 (增益 = 24)

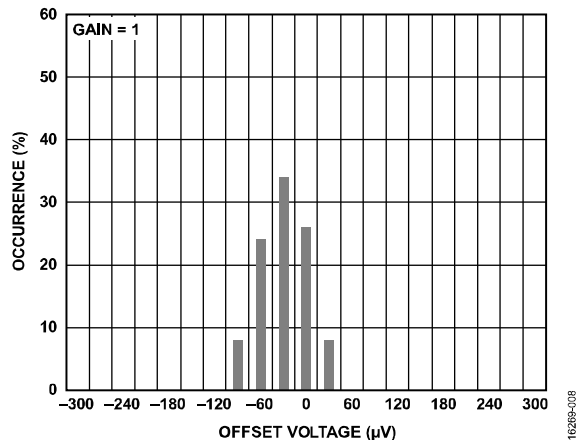


图8. 电压模式, 失调电压分布 (增益 = 1)

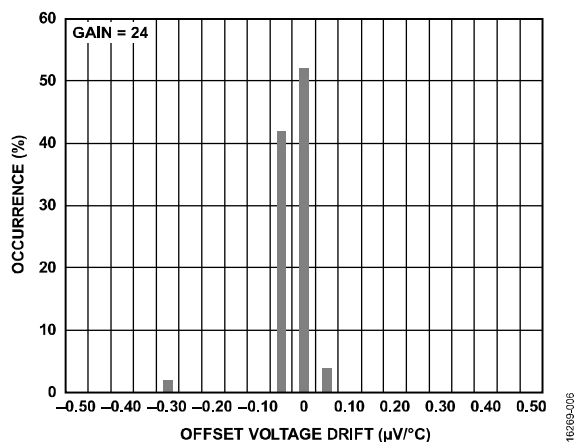


图6. 电压模式, 失调电压漂移分布 (增益 = 24)

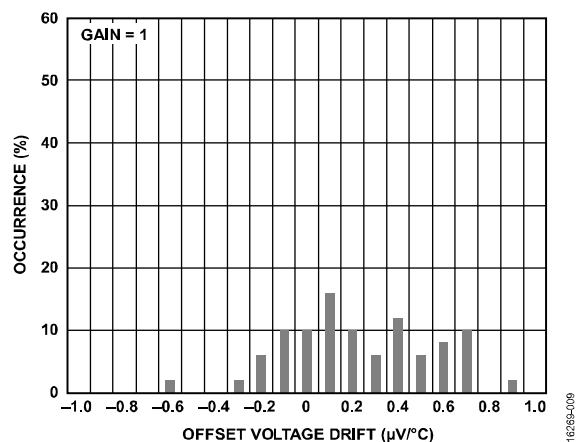


图9. 电压模式, 失调电压漂移分布 (增益 = 1)

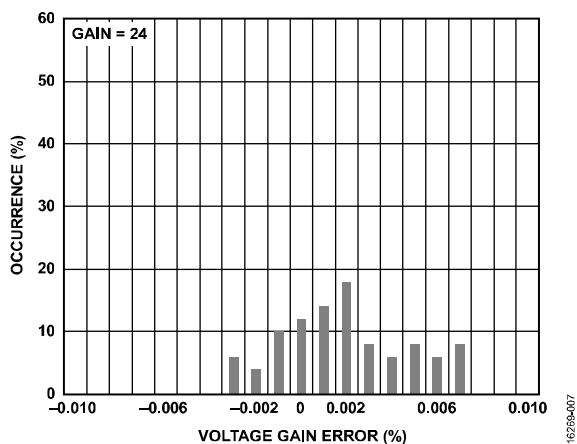


图7. 电压模式, 增益误差分布 (增益 = 24)

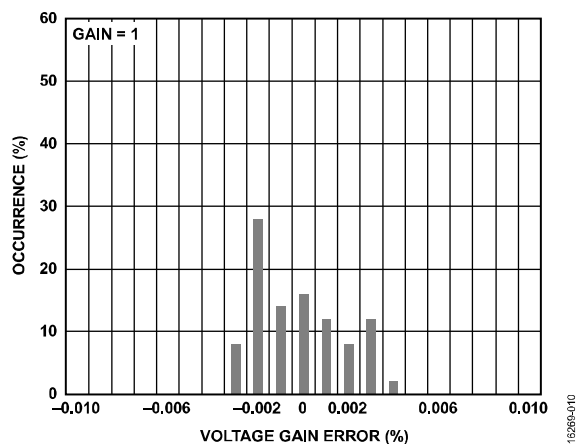


图10. 电压模式, 增益误差分布 (增益 = 1)

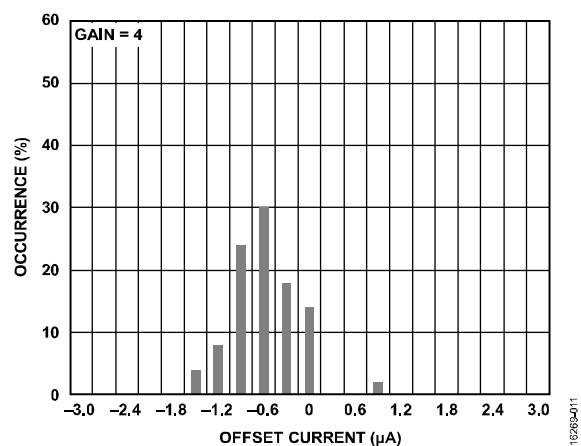


图11. 电流模式, 失调电流分布 (增益 = 4)

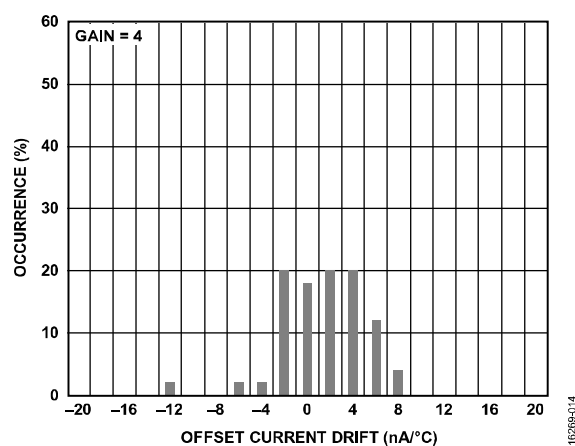


图14. 电流模式, 失调电流漂移分布 (增益 = 4)

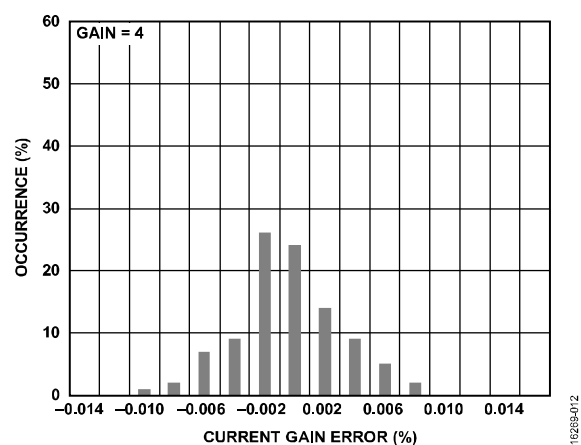


图12. 电流模式, 增益误差分布 (增益 = 4)

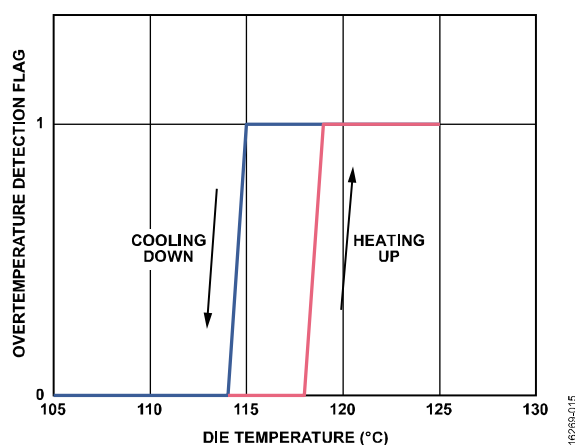


图15. 过温检测

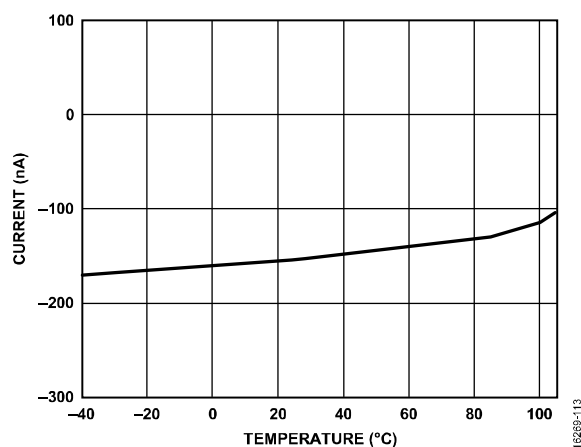


图13. 输入偏置电流 (增益 = 24)

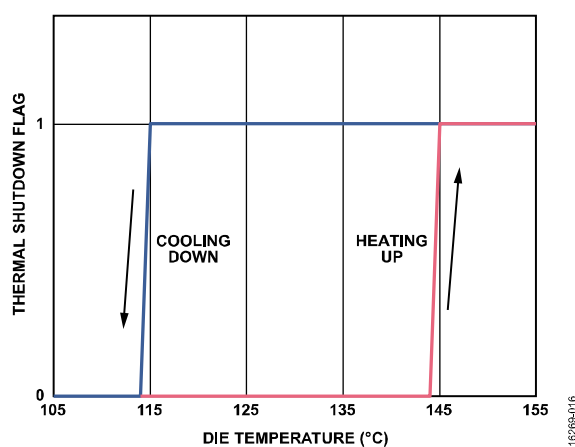


图16. 热关断

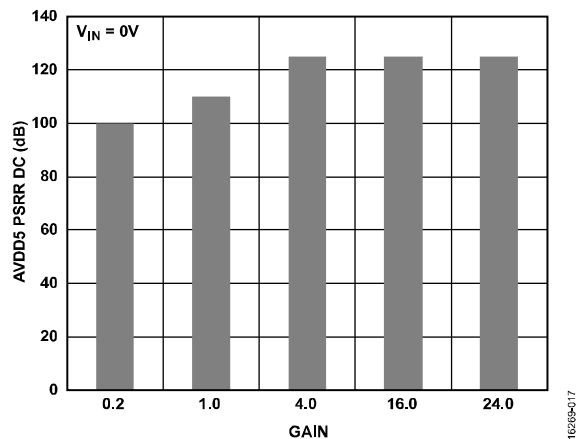


图17. 直流电源抑制比(PSRR), 仅限AVDD5

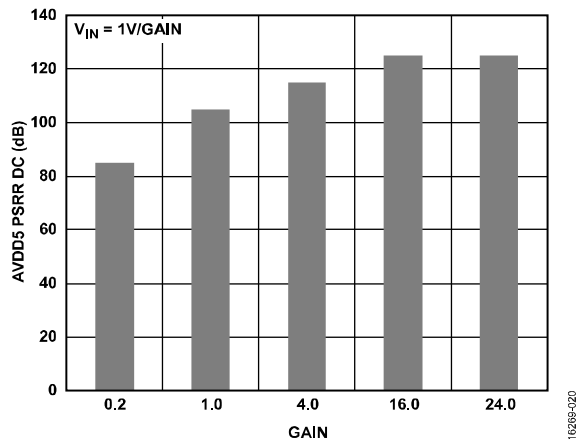


图20. DC PSRR (仅限AVDD5)

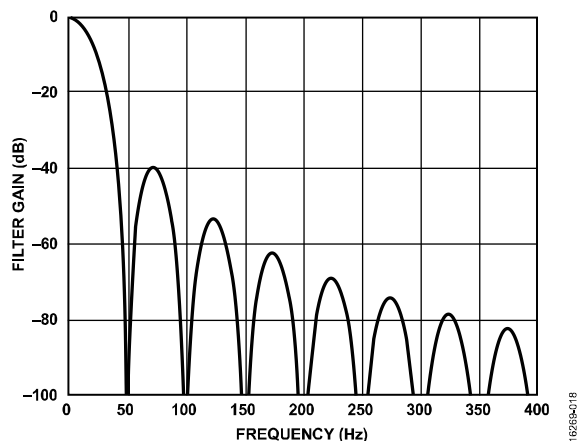


图18. 常模抑制, Sinc3滤波器, 输出数据速率 = 50 SPS

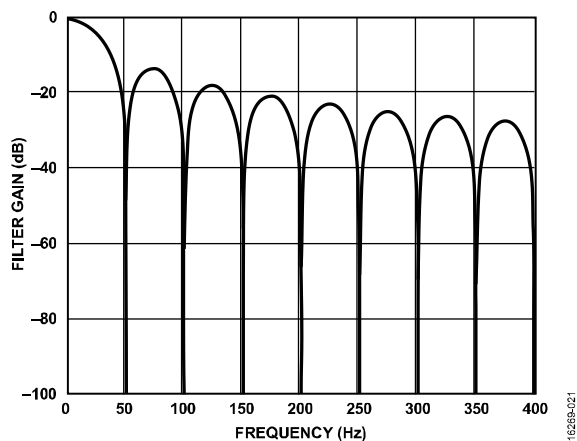


图21. 常模抑制, Sinc5 + Sinc1滤波器, 输出数据速率 = 49.92 SPS

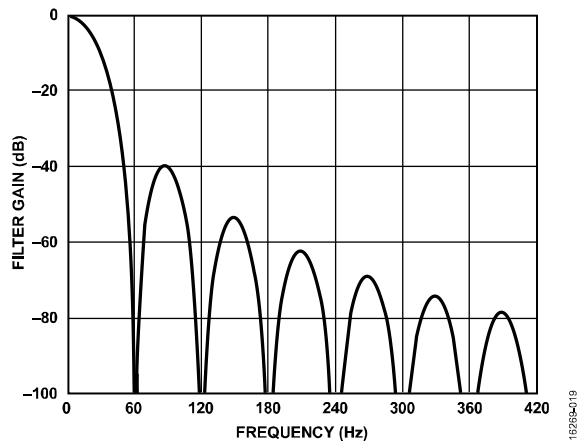


图19. 常模抑制, Sinc3滤波器, 输出数据速率 = 60 SPS

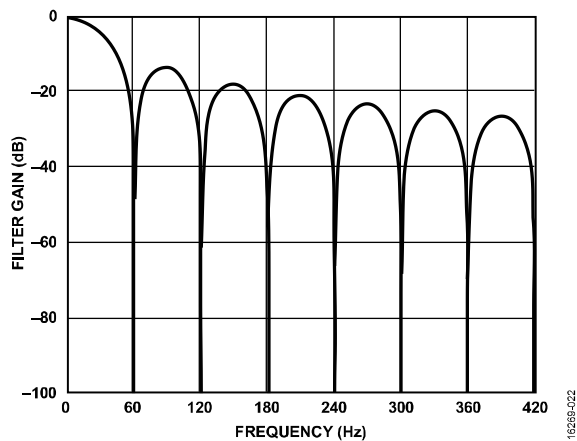


图22. 常模抑制, Sinc5 + Sinc1滤波器, 输出数据速率 = 59.9 SPS

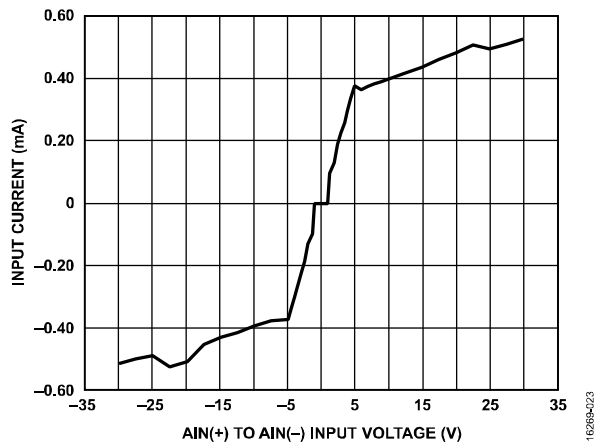


图23. 无电源模式，电压模式下的输入电流

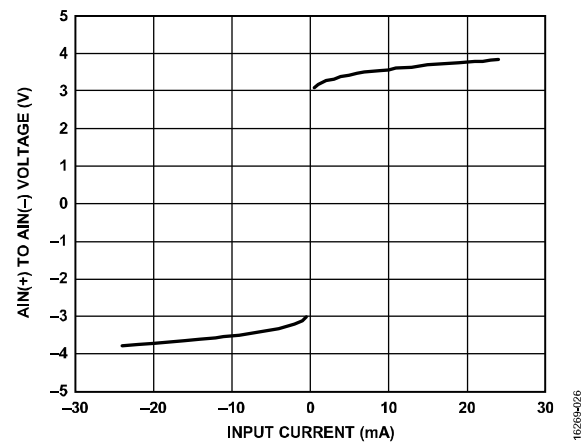


图26. 无电源模式，电流模式下AIN(+)至AIN(-)压降

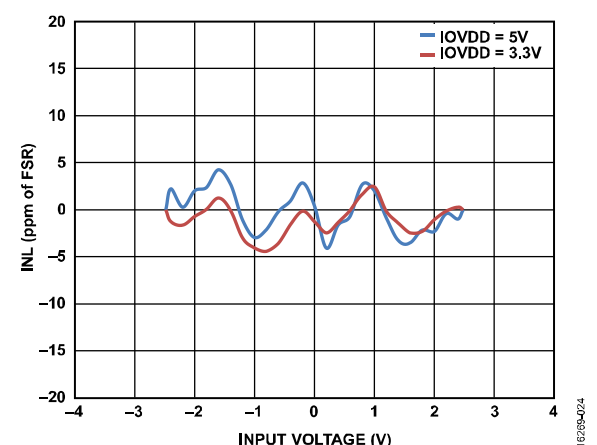


图24. 积分非线性(INL)，电压模式，增益 = 1

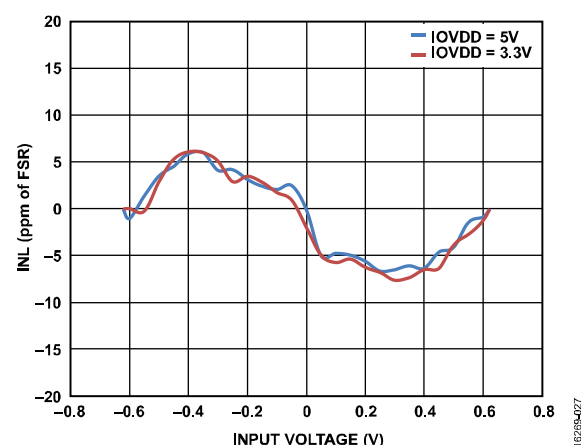


图27. INL，电压模式，增益 = 4

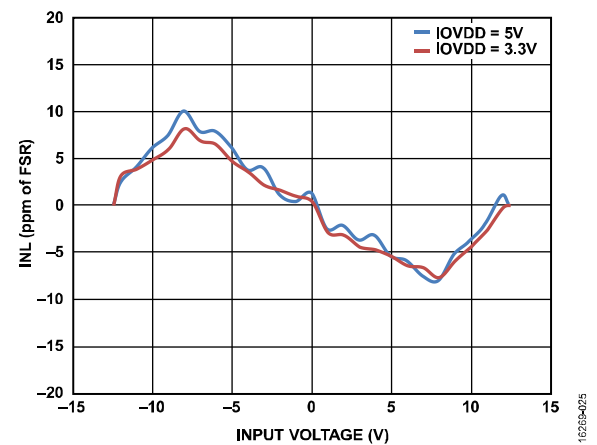


图25. INL，电压模式，增益 = 0.2

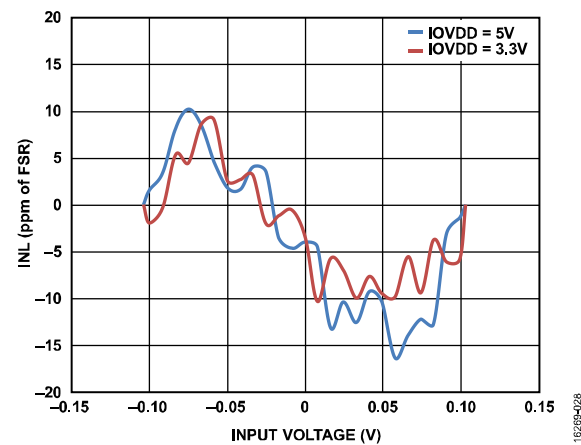


图28. INL，电压模式，增益 = 24

工作原理

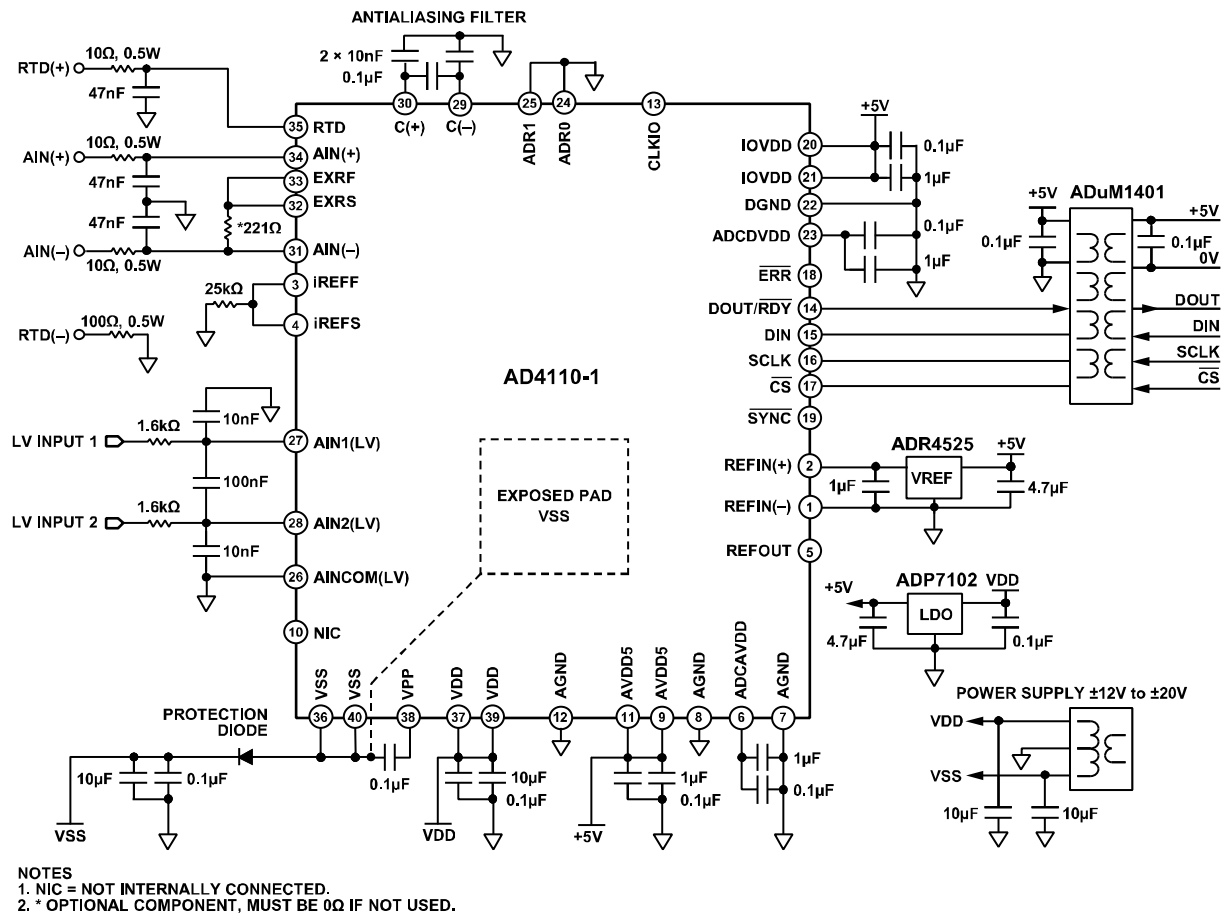


图29. 典型应用图

AD4110-1是一款适合工业过程控制系统的完整模拟前端。AD4110-1提供单个高压保护模拟输入通道，两个输入端子上接受电压或电流信号。

高压输入完全可通过软件配置以支持电流或电压范围，并允许直接连接所有标准工业模拟信号源，如 ± 4 mA至 ± 20 mA环路、电压输出传感器、热电偶和RTD。RTD和其他电阻传感器的激励电流源也包含在器件中。

图29显示了该器件工作所需的基本连接。当器件配置为电流输入时，即使没有模块电源，独特的输入电路架构也能提供环路电流路径。

该设计具有一个PGA。PGA移除可能很大的共模信号，然后应用增益或衰减输入信号。这个经调理的信号由全缓冲24位 Σ - Δ 型ADC转换，其最大输出数据速率为125 kSPS。

低压输入AINCOM(LV)、AIN1(LV)和AIN2(LV)允许用户将信号直接路由至ADC输入多路复用器。这些低压输入通道不受高压保护，而且其最大额定值与AIN(+)和AIN(-)高压输入不同。低压输入通道适用于热电偶输入需要冷端补偿的应用。

AD4110-1的主要特性包括内部前端诊断功能以及电流和电压模式的保护机制。这些特性包括通过自动关断指示过流、过压和过热状况。系统级诊断支持开路检测和不合规电流源。AD4110-1提供增强型数字滤波器工作模式，可抑制50 Hz/60 Hz噪声，此外还有精密片内基准电压源以及ADC的全缓冲模拟和基准输入。

电源序列

建议使用的AD4110-1电源序列参见表6。所有电源都稳定后，器件需要复位。请参阅“复位AD4110-1”部分。

保护二极管

要对一个HV引脚施加一个比系统负电源电位还低的电压，只有将一个外部二极管连接在VSS引脚和系统负电源之间才能实现。应考虑使用反向漏电流超低的二极管。连接图参见图29。

模拟输入

AD4110-1具有一个高压差分输入，其可配置为接受电压或电流。当输入为电流时，内部电阻(R_{SENSE})可用来将电流转换为电压；或者使用高精度外部电阻。

上拉/下拉电流

每个AD4110-1高压输入引脚都能使用上拉或下拉电流。这些电流的值可以是1 μ A或100 μ A，用于检测导线是否开路。

抗混叠滤波器

AD4110-1输入引脚通过1.6 k Ω 的标称串联电阻连接到内部PGA的输入。使用C($\pm$)引脚上的外部电容，可以实现一阶抗混叠滤波器。建议使用0.1 μ F电容，因为差分电容和0.01 μ F接地电容提供约500 Hz的-3 dB截止频率。

RTD激励电流

AD4110-1高压输入可连接2线、3线和4线RTD传感器。该器件包括两个匹配的激励电流，激励电流可编程为100 μ A、400 μ A、500 μ A或这些值的任意组合。

现场电源模式

AD4110-1提供一个为AIN(+)和AIN(-)端子之间连接的外部电流输出传感器提供最高24 mA电流的选项。

无电源模式

当AD4110-1配置为在电流模式下上电且没有电源连接到VDD/VSS时，AD4110-1可以从 ± 4 mA至 ± 20 mA环路为自身供电，但功能受限。通过环路的电流路径和环路过流保护均得以保持。

偏置电压发生器

AD4110-1集成了偏置电压发生器(VBIAS)，可用来将AIN(-)引脚连接至AGND。等效电路图参见图34。此特性可通过软件选择，适用于传感器输出信号浮空的应用。

PGA

PGA可消除潜在的大共模信号，然后应用增益或衰减输入信号，使ADC转换的分辨率最大。

校准寄存器

AD4110-1提供增益校准寄存器，其中包含电压模式下所有16种增益设置的增益校正系数。对于电流模式，有一个增益校准寄存器包含增益为4的增益校正系数。

串行接口

AD4110-1具有4线串行外设接口(SPI)。片内寄存器通过串行接口访问。同一SPI总线上最多可连接四个器件。AD4110-1具有两个地址引脚(ADR0和ADR1)，用于设置每个器件的地址。

时钟

AD4110-1具有两个内部8 MHz时钟。为实现额定性能，建议使用ADC时钟驱动AFE。内部时钟可通过CLKIO引脚使用，外部时钟可提供给CLKIO引脚。

ADC

高压模拟前端的输出应用于ADC输入多路复用器。24位ADC是完全缓冲式（模拟输入和基准输入），最大输出数据速率为125 kSPS。

Σ - Δ 调制器输出经过数字滤波。AD4110-1提供三种不同类型的数字滤波。应用可选择以下滤波器响应：

- Sinc5 + sinc1 平均滤波器用于快速通道切换
- Sinc3 滤波器响应用于最大限度地抑制干扰源
- 增强型滤波器设置可最大限度地同时抑制50 Hz和60 Hz噪声，并使建立时间最短

ADC滤波器寄存器

AD4110-1提供四个滤波器寄存器，允许高压通道和三个低压通道选择不同的输出数据速率。滤波器寄存器共享同一存储器地址。因此，当写入滤波器寄存器时，其内容会被复制到ADC_CONFIG寄存器中使能的每个通道的滤波器寄存器。

ADC增益和失调寄存器

AD4110-1为每个通道（一个高压通道和三个低压通道）提供四组增益和失调寄存器。

噪声性能和分辨率

图30至图33显示了AD4110-1在不同输出数据速率和滤波器设置下的典型有效值噪声和无噪声（峰峰值）分辨率（采集1000个样本）。所提供的数值是针对双极性输入范围以及采用2.5 V外部基准电压源而言。这些值是在ADC连续转换且差分输入电压为0 V时产生的典型值。

两个输入均在器件引脚处短接在一起，并且VBIAS开启。注意，峰峰值分辨率是基于峰峰值噪声计算的。峰峰值分辨率表示无闪烁码的分辨率。

有关噪声性能和分辨率的更多信息，请参阅“噪声、建立时间和数字滤波”部分。

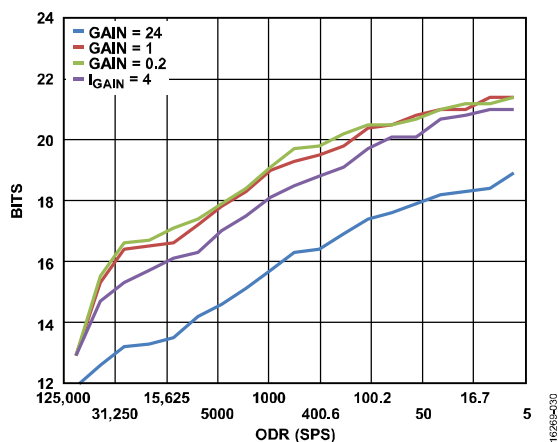


图30. sinc3滤波器的无噪声分辨率

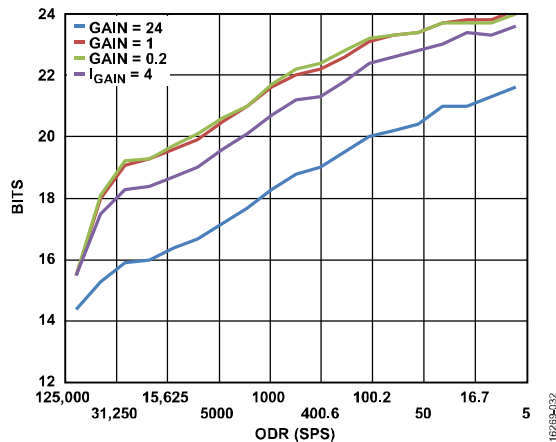


图32. sinc3滤波器的有效值噪声分辨率

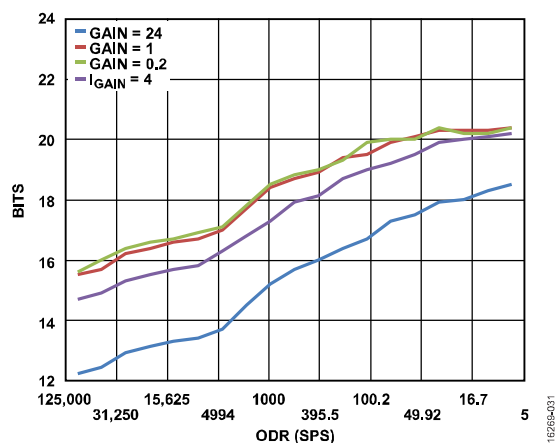


图31. sinc5 + sinc1滤波器的无噪声分辨率

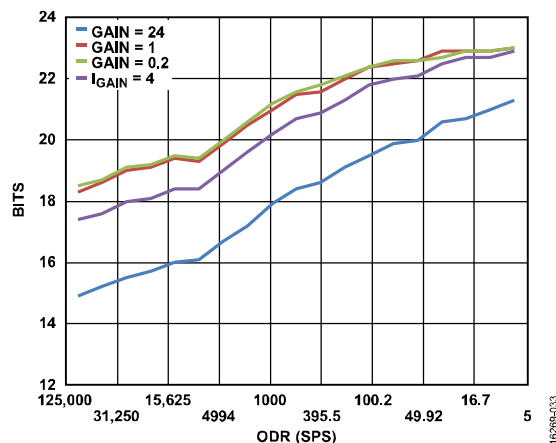


图33. sinc5 + sinc1滤波器的有效值噪声分辨率

工作模式

上电时的默认工作模式

AD4110-1的输入引脚AIN(+)和AIN(-)可配置为电压或电流输入。AD4110-1的出厂默认工作模式为电流模式。上电时，器件接受输入电流，让其经过低阻抗检测电阻以进行测量。

上电时的默认模式也是无电源模式情况下使用的工作模式（参见“无电源模式”部分）。高压通道的上电模式是可编程的。

更改未来上电周期的默认工作模式

出厂默认工作模式存储在存储器中，可由应用重新编程，使器件在下一次上电后让高压通道进入电流模式或电压模式。

将上电默认模式设置为电流模式的优点是对处理 ± 4 mA至 ± 20 mA电流环路有利。如果AD4110-1连接到 ± 4 mA至 ± 20 mA环路并且AD4110-1发生电源故障，由于AD4110-1的独特设计，电流环路连续性和输入保护均会得以保持。另一方面，将上电默认模式设置为电压模式的优点是输入作为高阻抗输入工作。

要更改默认工作模式，请执行以下步骤：

1. 设置AFE_CNTRL2寄存器（地址0x4）中的IMODE位（位1）。值1选择电流模式；值0选择电压模式（参见表7和表29）。
2. 将值0x00B1写入NO_PWR_DEFAULT_SEL寄存器（地址0xE，参见表8）。
3. 立即向NO_PWR_DEFAULT_SEL寄存器发出刷新命令（0x00A1），确保正确加载新计数值。

表7和表8显示了更改上电默认工作模式所需的寄存器的位功能描述。此外，如果由于某种原因AD4110-1断开电源，器件也会恢复到该上电默认工作模式。

应用可以从NO_PWR_DEFAULT_STATUS寄存器读取所设置的默认工作模式。该寄存器中的偶数值表示默认上电模式为电压模式，奇数值表示默认上电模式为电流模式。

默认工作模式只能更改100次。NO_PWR_DEFAULT_STATUS寄存器的位[7:0]包含允许更改默认工作模式的剩余次数。

电源要求

建议使用以下任何一种电源序列（参见表6）。所有电源都稳定后，器件需要复位（参见“复位AD4110-1”部分）。

表6. 电源序列

时序	第1种	第2种	第3种	第4种
1	VSS	VDD	AVDD5	IOVDD
2	VDD	VSS	AVDD5	IOVDD
3	VDD	AVDD5	VSS	IOVDD
4	VDD	AVDD5	IOVDD	VSS

系统时钟要求

AD4110-1具有两个内部8 MHz时钟。为实现额定性能，建议使用ADC时钟驱动AFE。默认情况下，上电时AFE和ADC以自己的内部时钟工作；因此，应用软件需要将ADC时钟重新配置为输出到CLKIO引脚，并重新配置AFE时钟以使用CLKIO引脚作为时钟源（参见表28和表39）。

- 设置ADC_MODE寄存器的位[3:2] = 01。
- 设置AFE_CLK_CTRL寄存器的位[4:3] = 10。

使用外部时钟源时，需要重新配置ADC时钟以使用CLKIO引脚作为时钟源。

- 设置ADC_MODE寄存器的位[3:2] = 10。

表7. AFE_CNTRL2寄存器位功能描述

地址	名称	位	位7	位6	位5	位4	位3	位2	位1	位0
0x4	AFE_CNTRL2	[15:8]	AINN_DN10	AINN_DN1	AINN_UP10	AINN_UP1	AINP_DN100	AINP_DN1	AINP_UP10	AINP_UP1
		[7:0]	VBIAS		保留		EN_FLD_PWR	EXT_RSEL	IMODE	保留

表8. NO_PWR_DEFAULT_SEL和NO_PWR_DEFAULT_STATUS寄存器位功能描述

地址	名称	位	位7	位6	位5	位4	位3	位2	位1	位0
0xE	NO_PWR_DEFAULT_SEL	[15:8]	保留							
		[7:0]	D_MODE							
0xF	NO_PWR_DEFAULT_STATUS	[15:8]	保留							COMM_ERR
		[7:0]	Count							

双极性和单极性输出

AD4110-1接受全差分、伪差分 and 单端输入信号。ADC_CONFIG 寄存器允许应用通过选择双极性 or 单极性来选择ADC的输出编码。默认输出模式为双极性（参见表41）。

ADC输入端的电压为：

$$(AIN(+)-AIN(-)) \times PGA \text{ 增益}$$

在双极性模式下，ADC接受正和负差分输入电压。输出编码为偏移二进制，LSB大小为：

$$LSB = ((2 \times V_{REF}) \div 2^{24}) \div PGA \text{ 增益}$$

在单极性模式下，ADC仅接受正差分电压。编码为标准二进制，LSB大小为：

$$LSB = (V_{REF} \div 2^{24}) \div PGA \text{ 增益}$$

使用单极性模式之前，应考虑负的PGA输入失调电压可能导致负的ADC差分输入电压，ADC将后者转换为0 V。

辅助低压输入

AD4110-1有三个辅助低压输入通道可供应用使用。这些低压通道直接连接到ADC输入多路复用器，可以同主高压通道（通道0）一起选择，作为转换序列的一部分。

- 通道1：AIN1(LV) – AIN2(LV)
- 通道2：AIN1(LV) – AINCOM(LV)
- 通道3：AIN2(LV) – AINCOM(LV)

默认禁用这些辅助通道。要使能辅助通道，须设置ADC_CONFIG寄存器的位[3:1]（参见表41）。每个通道都有一组增益、失调和滤波器寄存器。这些寄存器可以独立于主高压通道的寄存器编程。

数字滤波器

AD4110-1有四个数字滤波器寄存器，允许高压通道和三个低压通道选择不同的输出数据速率（参见表43）。滤波器寄存器共享同一存储器地址，因此，当写入滤波器寄存器时，其内容会被复制到ADC_CONFIG寄存器中使能的每个通道的滤波器寄存器。

连续转换模式

高压通道的连续转换模式是上电后ADC的默认工作模式。

AD4110-1连续进行转换，每次完成转换后，状态寄存器中的RDY位变为低电平。如果CS为低电平，则完成一次转换时，DOUT/RDY线路也会变为低电平。若要读取转换结果，用户需对通信寄存器执行写操作，以便指示下一操作为读取数据寄存器操作。从数据寄存器中读取数据字后，DOUT/RDY变为高电平。如果需要，应用可以多次读取数据寄存器。但用户必须确保在下一次转换完成的瞬间，不访问数据寄存器；否则，新的转换结果将丢失。

ADC转换控制逻辑和SPI接口不同步，所以在CS变为低电平后读取ADC结果寄存器时要小心（详细信息请参见“串行外设接口”部分中的DOUT/RDY引脚描述）。

输入自动序列化

当使能多个通道时，ADC自动遍历每个通道并产生转换结果。所有通道均转换完毕后，又从第一个通道开始。使能的通道按从低到高的顺序转换。一旦获得转换结果，就会立即更新数据寄存器。每次获得转换结果时，DOUT/RDY引脚均会变为低电平。然后，用户可以读取转换结果，同时ADC转换下一个使能通道。

ADC数据寄存器转换结果不包含通道标识。因此，当有多个通道使能时，必须将ADC状态寄存器的内容附加到ADC数据寄存器。这可通过设置ADC_INTERFACE寄存器的位6来配置（参见表9和表40）。

滤波器建立时间与开关通道相关联。因此，AD4110-1的输出数据速率会随着选定通道数量的增加而降低。关于通道滤波器建立时间和开关速率，请参见表16至表21。

由于输入通道会进行复用，所以在ADC启动转换过程之前可能需要一个输入建立时间。AD4110-1提供ADC转换延迟特性，请参见“ADC转换延迟”部分。

表9. ADC_INTERFACE寄存器位功能描述

地址	名称	位	位7	位6	位5	位4	位3	位2	位1	位0
0x2	ADC_INTERFACE	[15:8]	保留							
		[7:0]	保留	DATA_STAT	保留	CRC_EN	保留	WL16		

单次转换模式

在单次转换模式下，AD4110-1执行一次转换，完成转换后即被置于待机模式。DOUT/RDY变为低电平表示转换完成。从数据寄存器中读取数据字后，DOUT/RDY变为高电平。如果需要，即使DOUT/RDY已变为高电平，也可以多次读取数据寄存器。

要使能单转换模式，须将ADC_MODE寄存器的MODE位设置为001；有关MODE位的详细信息，请参见表10和表39。

如果使能了多个通道，ADC将自动遍历各使能通道，并在各通道上执行转换。开始转换后，DOUT/RDY变为高电平并保持该状态，直到获得有效转换结果。当转换结果可用且CS为低电平时，DOUT/RDY变为低电平。然后，ADC选择下一个通道并开始转换。在执行下一转换过程中，应用可以读取当前转换结果。下一转换完成后，数据寄存器便会更新。因此，用户读取转换结果的时间有限。ADC在各选择通道上均完成一次转换后，便会返回待机模式。

ADC转换延迟

当AFE配置发生变化或有多个通道使能，并且ADC被编程为自动按顺序遍历每个通道时，在ADC启动转换过程之前可能需要一个输入信号建立时间。AD4110-1支持将转换延迟设置为8μs至2 ms（编程选项见表39）。

对于10.39 kSPS或更低的输出数据速率，延迟允许ADC的数据速率保持在所需的更新速率，而对转换结果分辨率只有很小的影响。通过减少所执行的样本均值量，滤波器可有效地消化该延迟时间。根据输出数据速率正确选择延迟可以最大限度地降

低对分辨率的影响。只有当请求的延迟小于原始建立时间的一半时，该延迟才能被消化。当输出数据速率大于10.39 kSPS时，延迟时间将计入总转换时间中。

当使用sinc3滤波器或抑制16.7 Hz、50 Hz、60 Hz、400 Hz干扰信号时，此延迟功能无效。

偏置电压发生器

AD4110-1集成了偏置电压发生器(VBIAS)，用来将AIN(-)引脚连接至AGND。此特性可通过软件选择，适用于传感器输出信号浮空的应用。

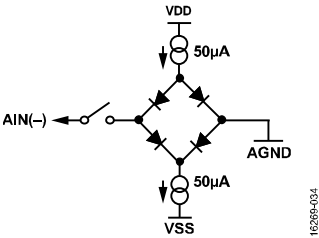


图34. VBIAS等效电路图

VBIAS发生器充当相对于AGND的0 V电压源，其等效电路图参见图34。它可以从连接到AIN(+)和AIN(-)引脚的传感器获得最大50μA的拉电流或灌电流。

如果连接到AD4110-1输入的传感器输出浮空，则VBIAS用于偏置传感器输出，以便传感器和AD4110-1测量系统共用同一接地。输出浮空的传感器的典型例子是热电偶（参见图35）。

VBIAS功能由AFE_CNTRL2寄存器的位[7:6]控制（参见表7和表29）。默认禁用VBIAS功能。

表10. ADC_MODE寄存器位功能描述

地址	名称	位	位7	位6	位5	位4	位3	位2	位1	位0
0x1	ADC_MODE	[15:8]	REF_EN	保留			DELAY			
		[7:0]	保留	MODE			CLK_SEL		保留	

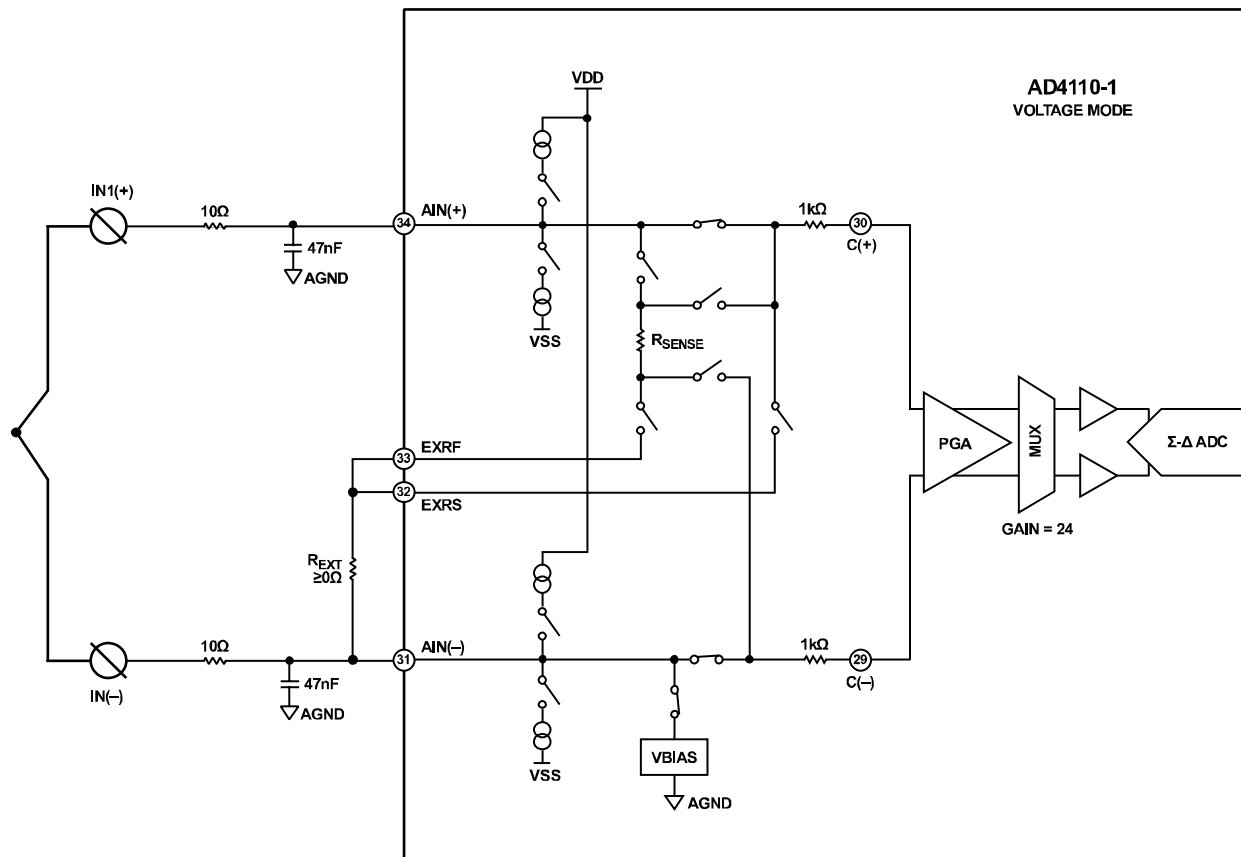
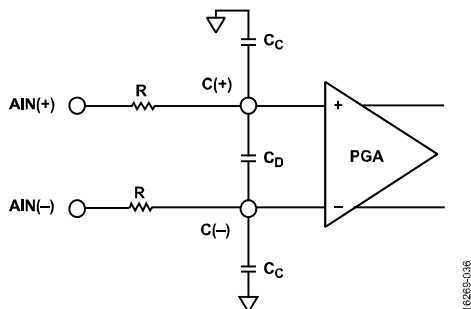


图35. 热电偶连接

抗混叠滤波电路

使用放大器的器件级应用的抗混叠滤波通用方法如图36所示。

图36. 抗混叠滤波器, C_C 和 C_D 为外部元件

AD4110-1输入引脚AIN(+)和AIN(-)通过1.6 kΩ的标称串联电阻连接到内部PGA的输入。使用外部电容, 将电容连接到C(+)和C(-)引脚可以实现一阶抗混叠滤波器。

在此类滤波器中, C_D 应比 C_C 大至少十倍, 以抑制共模到差模转换引起的杂散差分信号。这种杂散信号的产生原因是两个时间常数(RC_C)的不匹配。有关滤波技术的更多信息, 请参阅[指南MT-070](#)。

共模信号的低通滤波器转折频率(滤波器频率 $_{CM}$)使用下式计算:

$$\text{滤波器频率}_{CM} = \frac{1}{2\pi RC_C}$$

差模信号的低通滤波器转折频率(滤波器频率 $_{DIFF}$)使用下式计算:

$$\text{滤波器频率}_{DIFF} = \frac{1}{2\pi R(2C_D + C_C)}$$

其中, 建议 $C_D \geq 10 C_C$ 。

计算如下:

$$R = 1.6\text{k}\Omega$$

$$C_C = 0.01\ \mu\text{F}$$

$$C_D = 0.1\ \mu\text{F}$$

$$\text{滤波器频率}_{DIFF} \approx 500\text{Hz}$$

电流模式

电流模式是通过将AFE_CNTRL2寄存器的IMODE位设置为1来选择（参见表7和表29）。

AD4110-1的模拟输入AIN(+)和AIN(-)可直接连接到作为电流环路运行并提供0 mA至+20 mA、±4 mA至±20 mA或±20 mA输出的标准工业模拟传感器。

变送器模块端子的电流环路直接连接到AD4110-1的差分模拟输入。环路电流流经内部开关，通过内部检测电阻 R_{SENSE} ，然后经过外部检测电阻 R_{EXT} ，如图37所示。

R_{SENSE} 上的电压降（与输入电流成比例）随后由模拟RC滤波器滤波。AIN(+)和AIN(-)输入引脚通过1.6 kΩ的标称串联电阻连接到内部PGA的输入。使用外部电容，将电容连接到C(+)和C(-)引脚可以实现一阶抗混叠滤波器。建议使用0.1 μF电容，因为差

分电容和0.01 μF接地电容提供约500 Hz的-3 dB截止频率（参见“抗混叠滤波器”部分）。

产生的电压由片内PGA放大，PGA的模拟输出随后通过多路复用器路由到ADC的缓冲输入。设置PGA的增益，使PGA输出电压在±2.5 V范围内，从而使24位Σ-Δ ADC的分辨率最大。

使用内部 R_{SENSE} 电阻时，必须连接从EXRF引脚到AIN(-)引脚的路径。这种连接可以通过在外部短接这些引脚来实现，或通过填充电阻 R_{EXT} 作为0 Ω链路来实现。

流经 R_{SENSE} 电阻的电流由AD4110-1连续监控。如果电流达到额定限值，则AFE_DETAIL_STATUS寄存器中的过流标志(AIN_OC)会置1（参见表32）。

AD4110-1内置自保护电路，可限制流经器件的最大电流。

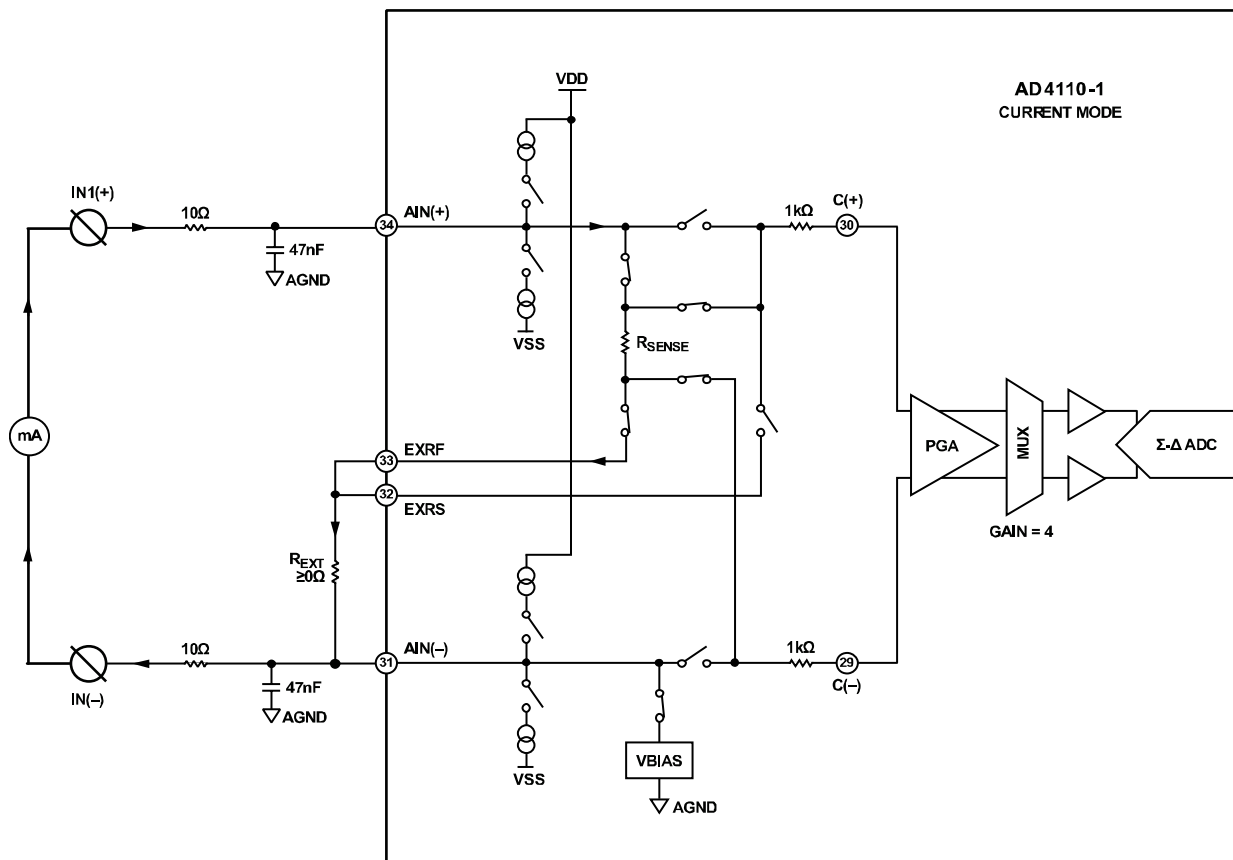


图37. 电流输入模式，内部检测电阻，增益 = 4

互阻增益

使用内部检测电阻时, 互阻增益由内部 R_{SENSE} 电阻的电阻值和选择的PGA增益设置。

内部 R_{SENSE} 电阻典型值为 24Ω 。AD4110-1的电流输入模式规格仅适用于增益为4的情况。将增益4乘以 $R_{SENSE} = 24\Omega$ 得到 96Ω 的值, 这意味着对于施加到 R_{SENSE} 的每一毫安, PGA的输出等于 96 mV 。

图38显示了从PGA输出到ADC的缩放比例以及ADC码的输出范围, 条件为 $\pm 20\text{ mA}$ 输入、选定内部 R_{SENSE} 且增益为4。

对于表1所示的额定性能, 输入范围为 $\pm 20\text{ mA}$, 工作范围为 $\pm 24\text{ mA}$ 。

使用外部检测电阻

如果需要特定电流检测电阻, AD4110-1允许将外部电阻连接到器件 (参见图39)。当从内部 25Ω 检测电阻变为更高值的外部检测电阻时, 应注意共模电压的增加, 不得超过表1中规定的绝对输入电压。要将器件配置为使用外部电阻, 须将AFE_CNTRL2寄存器的EXT_R_SEL位设置为1。

环路电流继续流过内部 R_{SENSE} 电阻, 这样过流检测标志和限流电路仍然如同使用内部检测电阻那样工作。只有外部检测电阻上产生的电压才会被PGA放大。

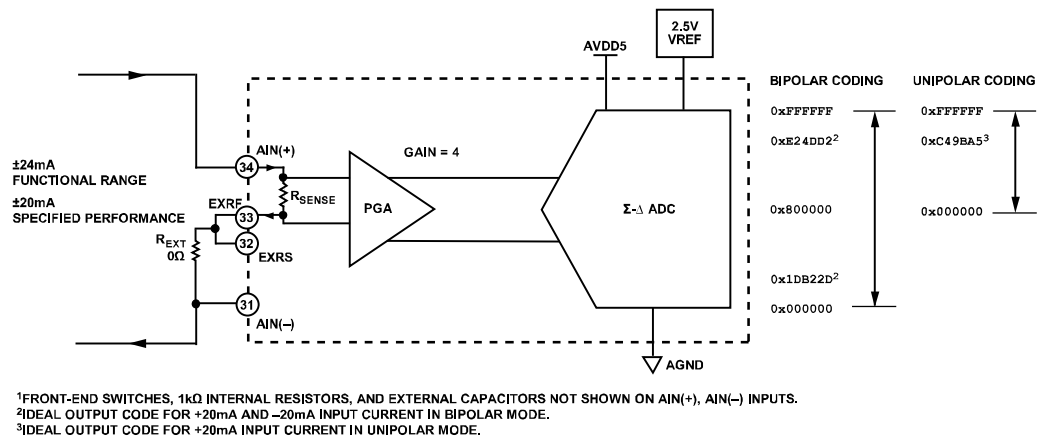
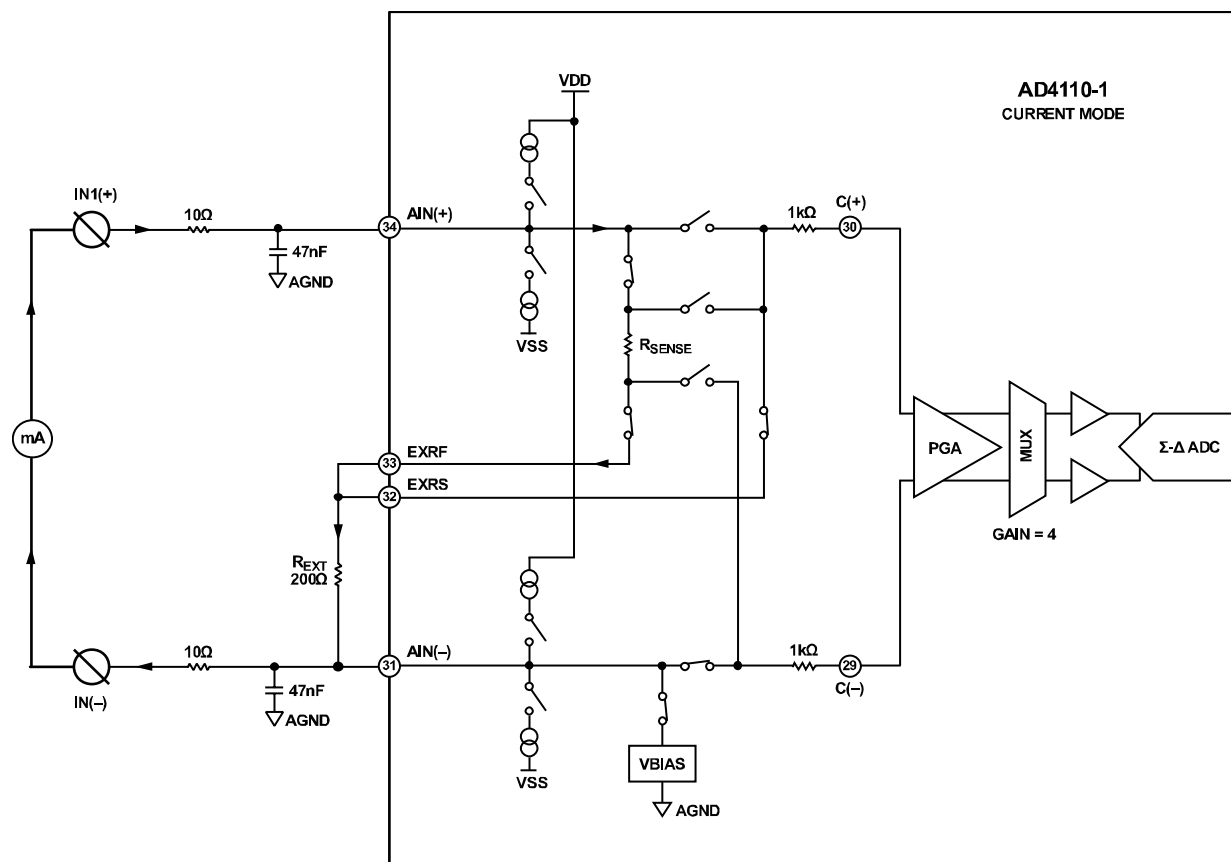


图38. 电流输入模式缩放比例, R_{SENSE} 电阻, 增益 = 4

图39. 电流输入模式, R_{EXT} 电阻

162604039

电压和热电偶模式

AD4110-1的出厂默认工作模式为电流模式。电压模式是通过将AFE_CNTRL2寄存器的IMODE位清0来选择（参见表7和表29）。

重新上电后，AD4110-1将恢复为电流模式，除非默认工作模式已按照“上电默认工作模式”部分所述进行了更改。

图40显示了器件配置为电压输入模式时AD4110-1内部开关的架构。AD4110-1转换模拟输入引脚AIN(+)和AIN(-)之间的电压差。

AIN(+)和AIN(-)输入引脚通过1.6 kΩ的标称串联电阻连接到内部PGA的输入。使用外部电容，将电容连接到C(+)和C(-)引脚可以实现一阶抗混叠滤波器。

建议使用0.1μF电容，因为差分电容和0.01μF接地电容提供约500 Hz的-3 dB截止频率（参见“抗混叠滤波器”部分）。

AD4110-1共有16种增益设置，范围从0.2到24。这些增益设置支持±12.5 V至±0.104 V的输入电压范围。因此，模拟输入可以直接连接到采用单极性或双极性输出拓扑的标准工业电压输出传感器。请注意，为实现额定性能，输入电压范围必须限制在表1规定的范围。

要对增益进行编程，须设置PGA_RTD_CTRL寄存器（地址0x5）的GAIN_CH位。有关更多信息，请参阅“PGA_RTD_CTRL寄存器”部分。

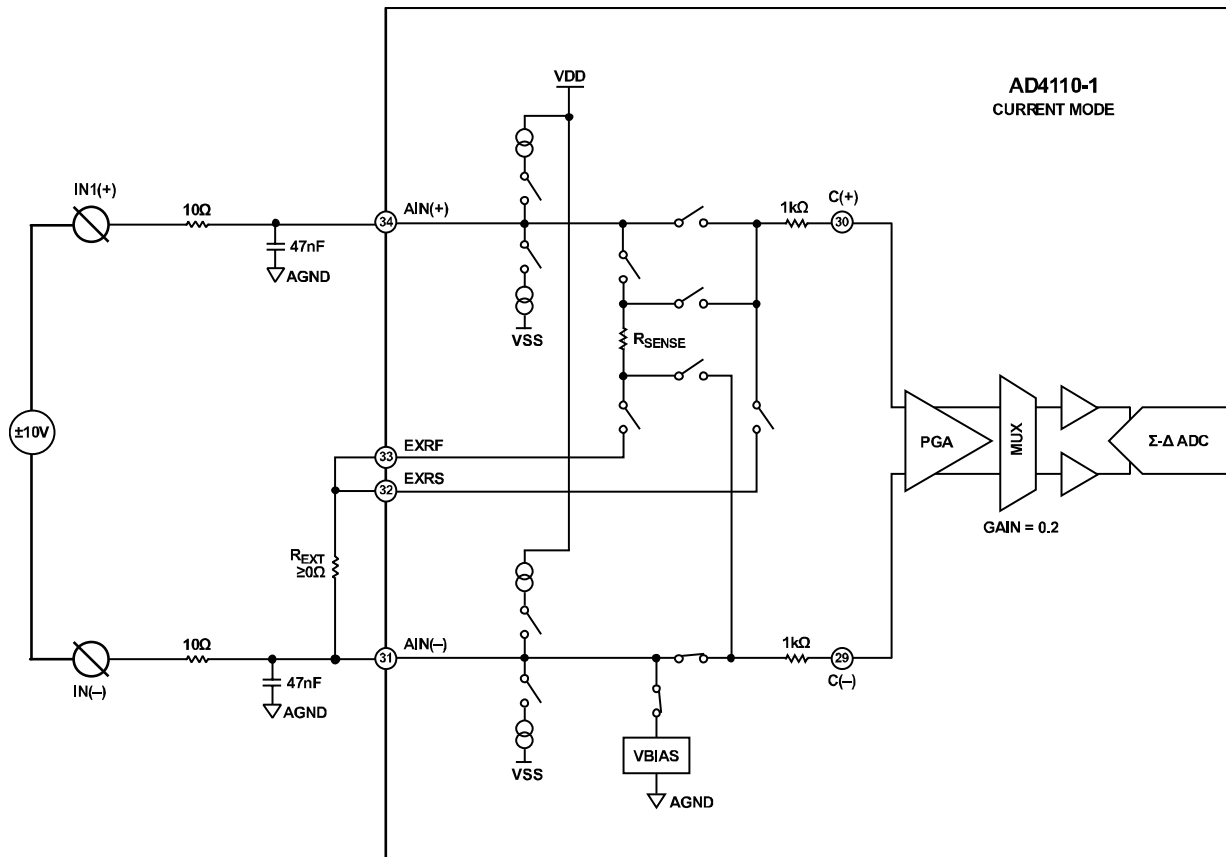


图40. 电压输入模式

电压模式的输入缩放比例

图41显示了电压模式的缩放比例。前端PGA的输出通过多路复用器路由到ADC的缓冲输入。为使24位Σ-Δ ADC的分辨率最大化,选择的PGA增益或衰减应使模拟输出电压在±2.5 V范围内。图41显示了±12.5 V的最大输入,当选择增益0.2时可以转换此电压。对于表1所示的额定性能,输入范围为±10 V,工作范围为±12.5 V。

如果AIN(+)或AIN(-)输入上发生过压或欠压情况, AFE_ DETAIL_STATUS寄存器中相应的错误标志会置1。有关更多信息, 请参阅“过压和欠压检测”部分。

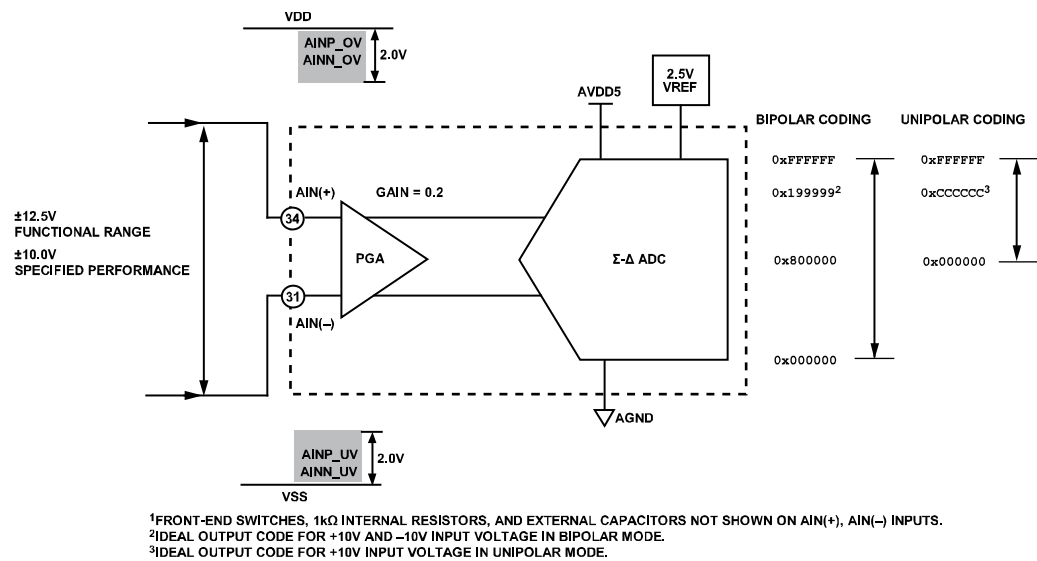


图41. 电压输入模式缩放比例

162839-011

热电偶输入

AD4110-1的模拟输入AIN(+)和AIN(-)可直接连接到标准工业热电偶。连接热电偶时使用电压工作模式。

图42显示了器件配置为热电偶输入时AD4110-1内部开关的架构。热电偶端子直接连接到AD4110-1的差分输入引脚AIN(+)和AIN(-)。

AIN(+)和AIN(-)输入引脚通过1.6 k Ω 的标称串联电阻连接到内部PGA的输入。使用外部电容，将电容连接到C(+)和C(-)引脚可以实现一阶抗混叠滤波器。建议使用0.1 μ F电容，因为差分电容和0.01 μ F接地电容提供约500 Hz的-3 dB截止频率（参见“抗混叠滤波器”部分）。

在大多数情况下，热电偶不参考或偏置到任何系统电源电压。因此，将热电偶连接到AD4110-1时必须使用VBIAS功能。使能VBIAS可有效地将热电偶的AIN(-)侧接地到AD4110-1电源地。更多信息请参阅本节。

选择PGA的增益，使ADC看到的PGA输出电压尽可能接近 ± 2.5 V。使用24倍增益（这是PGA的最大增益）时，AD4110-1输入的输入范围可以是 ± 0.104166 V。

使用热电偶测量温度时，必须采用冷端补偿。AD4110-1的三个低压通道可用于此目的：AIN1(LV)、AIN2(LV)和AINCOM(LV)。

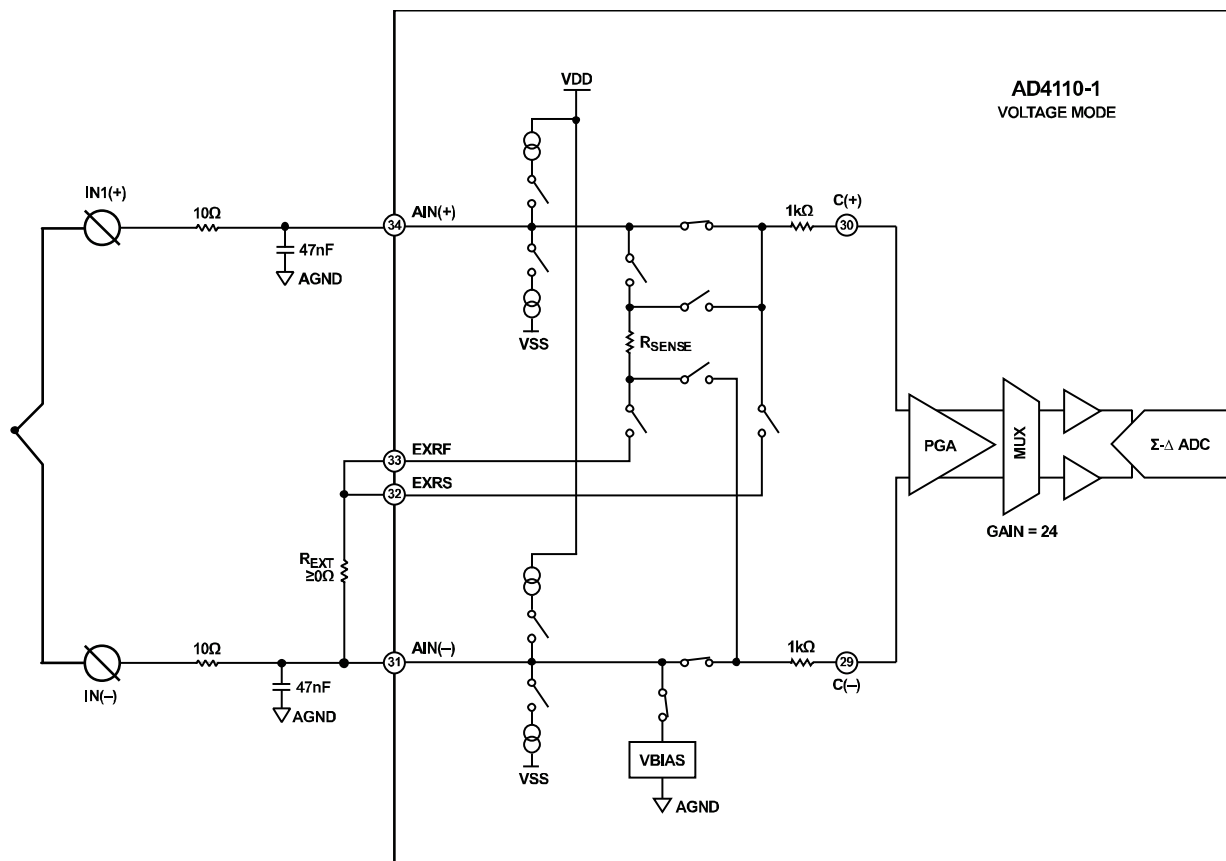


图42. 热电偶连接

18263-042

RTD模式

AD4110-1的片内功能支持需要RTD传感器的应用。将器件连接到RTD传感器时使用电压工作模式。

对于3线RTD测量，AD4110-1在AIN(+)和AIN(-)引脚上提供一系列匹配的精密激励电流。对于4线RTD测量，精密激励电流是从AIN(+)引脚切换到RTD引脚。有6种可编程电流水平可用；100μA、400μA、500μA、600μA、900μA和1000μA。

RTD测量模式（2线、3线或4线）和激励电流的幅度使用PGA_RTD_CTRL寄存器进行编程（参见表11和表30）。

RTD激励电流是通过将基准输入路由到25 kΩ的内部精密薄膜电阻而产生的。这样，RTD电流始终与施加到AD4110-1的基准电压成比例。或者，当应用需要较低漂移电阻规格时，可以使用外部高精度25 kΩ电阻（参见“使用外部电阻产生RTD电流”部分）。

使用RTD功能时的典型配置是从外部精密2.5 V基准电压源（如ADR4525）为AD4110-1的REFIN(+)和REFIN(-)引脚供电。

使用外部电阻产生RTD电流

AD4110-1还允许应用利用低漂移外部精密25 kΩ电阻产生RTD激励电流。默认使用内部电阻产生RTD电流。如果需要外部电阻，应将PGA_RTD_CTRL寄存器的EXT_RTD_RES位设置为1（参见表11和表30）。

当AD4110-1在RTD模式下使用外部电阻时，PCB布局必须将iREFS和iREFF引脚星形连接到外部精密电阻的一侧（参见图43）。电阻的接地端应尽可能靠近外部基准地和REFIN(-)引脚的接地连接。精密电阻应尽可能靠近iREFS和iREFF引脚，以使引脚电容最小。

在不需要RTD功能的应用中，建议按照图43所示的方式连接一个非精密25 kΩ±15%电阻。

RTD激励电流(I_{EXC})产生自基准电流，而基准电流是由放大器将外部基准电压(V_{REF})驱动到外部基准电阻(R_{REF})上产生的。基准电流（标称值为100μA）被镜像并放大（乘以一个比率），形成各个电流源。

使用外部电阻的RTD激励电流标称值为：

$$I_{EXC}(\text{标称值}) = (V_{REF}/R_{REF}) \times \text{比率}$$

其中，比率 = {1, 4, 5, 6, 9, 10}。

计算时必须考虑I_{EXC}（标称值）有±0.3%（典型值）的误差范围，是由内部放大器失调误差和比率误差造成的。

最差情况RTD激励电流温度漂移可近似计算如下：

$$TC(I_{EXC}) = TC(I_{RTD}) + TC(V_{REF}) + TC(R_{REF})$$

其中，TC通常以ppm/°C表示。

表1规定了TC(I_{RTD})。关于所用基准电压源和基准电阻的温度系数，请参见相关数据手册。

表11. PGA_RTD_CTRL寄存器位功能描述

地址	名称	位	位7	位6	位5	位4	位3	位2	位1	位0
0x5	PGA_RTD_CNTRL	[15:8]	RTD_3W4W	I_COM_SEL			I_EXC_SEL		EXT_RTD_RES	
		[7:0]	GAIN_CH					保留		

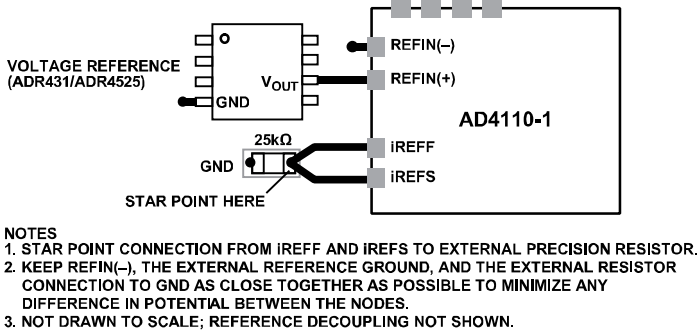


图43. 连接外部基准电阻以产生RTD激励电流

激励电流

AD4110-1提供两个精密电流源来配合RTD传感器使用。RTD功能默认使能，可以通过设置AFE_CNTRL1寄存器的DISRTD位来禁止（参见表12和表27）。

默认情况下，AD4110-1配置为4线RTD工作模式，连接图参见图46。如果需要3线或2线RTD模式，须设置PGA_RTD_CTRL寄存器的RTD_3W4W位（参见表11和表30）。

3线RTD模式下需要两个电流源，这些电流源可通过AIN(+)和AIN(-)引脚提供。RTD激励电流在AIN(+)引脚上提供，RTD补偿电流在AIN(-)引脚上提供。连接图参见图47。

激励和补偿电流的水平默认设置为零，可通过PGA_RTD_CTRL寄存器的I_EXC_SEL和I_COM_SEL位来编程（参见表11）。器件提供从100 μ A到1 mA的6个可编程电流水平（参见表30）。为了正确进行3线RTD测量，应将激励电流和补偿电流设置为相同水平。

默认情况下，AD4110-1配置为4线RTD工作模式（PGA_RTD_CTRL寄存器的RTD_3W4W位清0）。

4线RTD模式下仅需要一路激励电流，此电流可在RTD引脚上获得（连接图见图46）。使用4线模式时，必须禁用补偿电流。

使用激励电流时，需要外部2.5 V基准电压源（例如ADR4525）。外部基准电压源连接到REFIN(+)和REFIN(-)引脚，用于产生激励电流（参见“RTD模式”部分）。转换RTD信号时，AD4110-1 ADC也应使用该基准电压源。因此，基准电压源的绝对精度和温度漂移不会直接影响测量电阻的精度。

请注意，表1中所示的电压模式输入失调规格仅适用于电压模式。由于IC或PCB走线电阻不匹配造成的 $I \times R$ 误差电压，RTD电流可能会引起额外的输入失调电压($\pm V$)。

RTD初始漂移

当RTD激励电流和补偿电流中的任何一个或两者都设置和使能时，输出电流会随着时间推移而增加，如图44和图45所示。当电流水平更改为其他值或禁用并重新使能时，此初始漂移会复位。

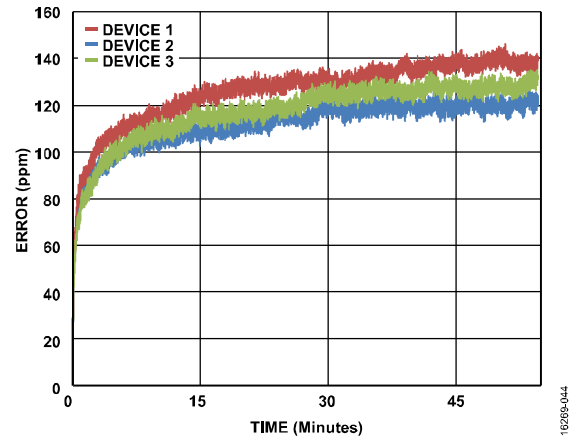


图44. RTD电流，初始长期漂移

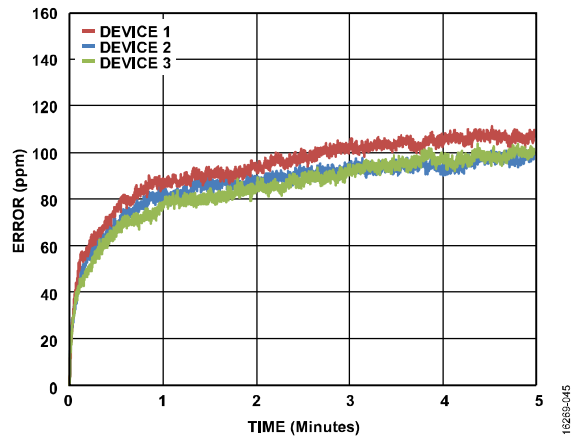


图45. RTD电流，初始短期漂移

4线RTD

图46为4线传感器的连接图。通过将AFE_CNTRL2寄存器的IMODE位清0, 可将AD4110-1配置为电压工作模式(参见表7)。

AD4110-1在高压通道上提供可编程精密电流源以配合4线RTD传感器使用。默认情况下, AD4110-1配置为4线RTD工作模式(PGA_RTD_CTRL寄存器的RTD_3W4W位清0; 参见表11和表30)。

4线模式下只需要一个激励电流, 该电流可在RTD引脚上获得。器件提供从100 μ A到1 mA的6个可编程电流水平, 参见表30。使用4线模式时, 必须禁用补偿电流。

激励电流仅流过RL1和RL4引线电阻(参见图46)。理想情况下, 没有电流流过RL2和RL3。RTD传感器两端产生的电压对应于AIN(+)和AIN(-)之间检测到的电压。

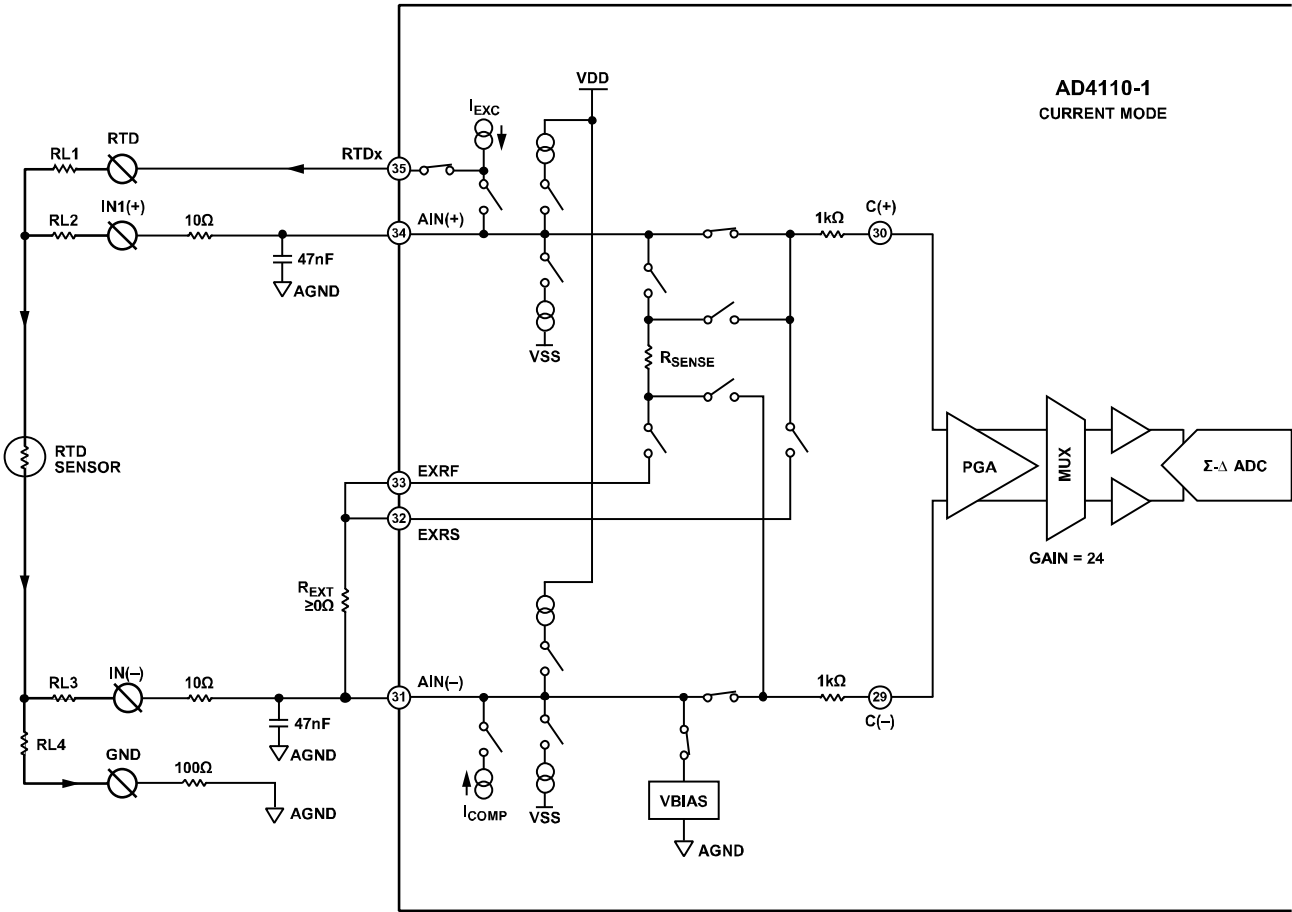


图46. 4线RTD

表12. AFE_CNTRL1寄存器位功能描述

地址	名称	位	位7	位6	位5	位4	位3	位2	位1	位0
0x1	AFE_CNTRL1	[15:8]	保留	CRC_EN		保留			DISRTD	保留
		[7:0]	保留							

3线RTD

图47为3线传感器的连接图。通过将AFE_CNTRL2寄存器的IMODE位清0, 可将AD4110-1配置为电压工作模式(参见表7)。

AD4110-1在高压通道上提供两个精密电流源以配合3线RTD传感器使用。默认情况下, AD4110-1配置为4线RTD工作模式。如果需要3线RTD模式, 须设置PGA_RTD_CTRL寄存器的RTD_3W4W位(参见表11和表30)。

RTD激励电流在AIN(+)引脚上提供, RTD补偿电流在AIN(-)引脚上提供。器件提供从100 μ A到1 mA的6个可编程电流水平, 参见表30。为了正确进行3线RTD测量, 应将激励电流和补偿电流设置为相同水平。

激励电流流过RL1和RL3引线电阻(参见图47)。补偿电流流过RL2和RL3引线电阻。

由于引线电阻相似(引线的材料和长度一般相同), 并且激励电流匹配良好, 因此RL2两端产生的电压等于RL1两端产生的电压。所以, AIN(+)和AIN(-)之间产生的电压对应于RTD两端产生的电压, 但去掉了引线电阻误差。

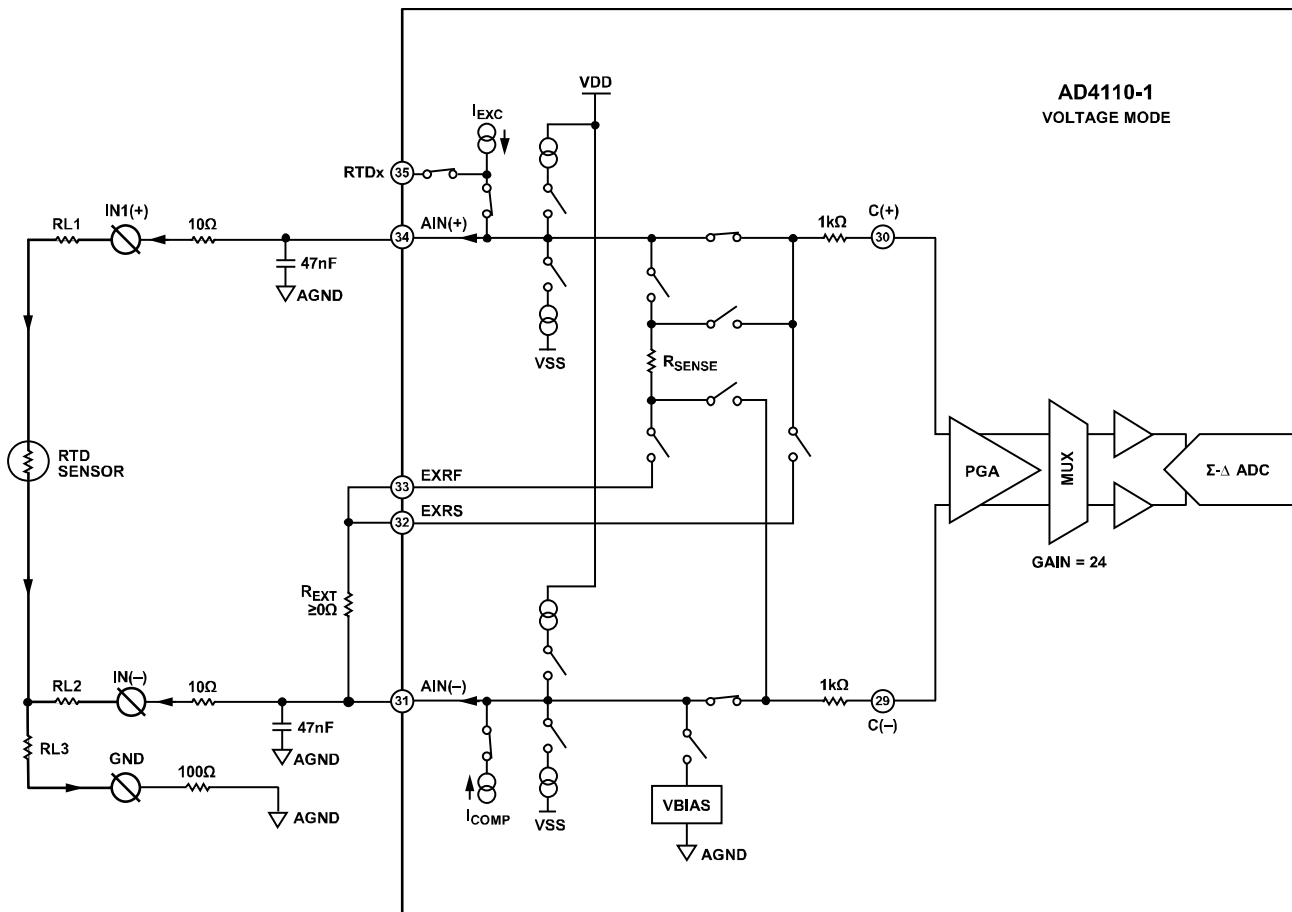


图47. 3线RTD

2线RTD

图48为2线传感器的连接图。通过将AFE_CNTRL2寄存器的IMODE位清0, 可将AD4110-1配置为电压工作模式(参见表7)。

AD4110-1在高压通道上提供一个精密电流源以配合2线RTD传感器使用。默认情况下, AD4110-1配置为4线RTD工作模式。如果需要2线RTD模式, 须设置PGA_RTD_CTRL寄存器的RTD_3W4W位(参见表11和表30)。

在2线模式下, 只能使用100 μ A激励电流, 该电流可在AIN(+)引脚上获得。使用2线模式时, 必须禁用补偿电流(参见表30)。

使用2线RTD传感器时, 应使能VBIAS功能(参见“偏置电压发生器”部分)。通过设置AFE_CNTRL2寄存器的AINN_DN100位, 使能AIN(-)输入端的100 μ A下拉电流源(参见表7)。

激励电流流过RL1和RL2引线电阻并通过传感器。2线模式下无法补偿引线电阻。因此, AIN(+)和AIN(-)之间产生的电压等于RTD两端产生的电压与引线电阻产生的电压之和。

替代3线配置

使用AIN(-)和AGND之间的连接线可以实现一种替代性3线配置, 这通常安装在模块螺丝端子上。利用此配置可以进行3线RTD模式操作。然而, 激励电流会流过RL1和RL2引线电阻, 故AIN(+)和AIN(-)之间产生的电压等于RTD两端产生的电压与引线电阻产生的电压之和。

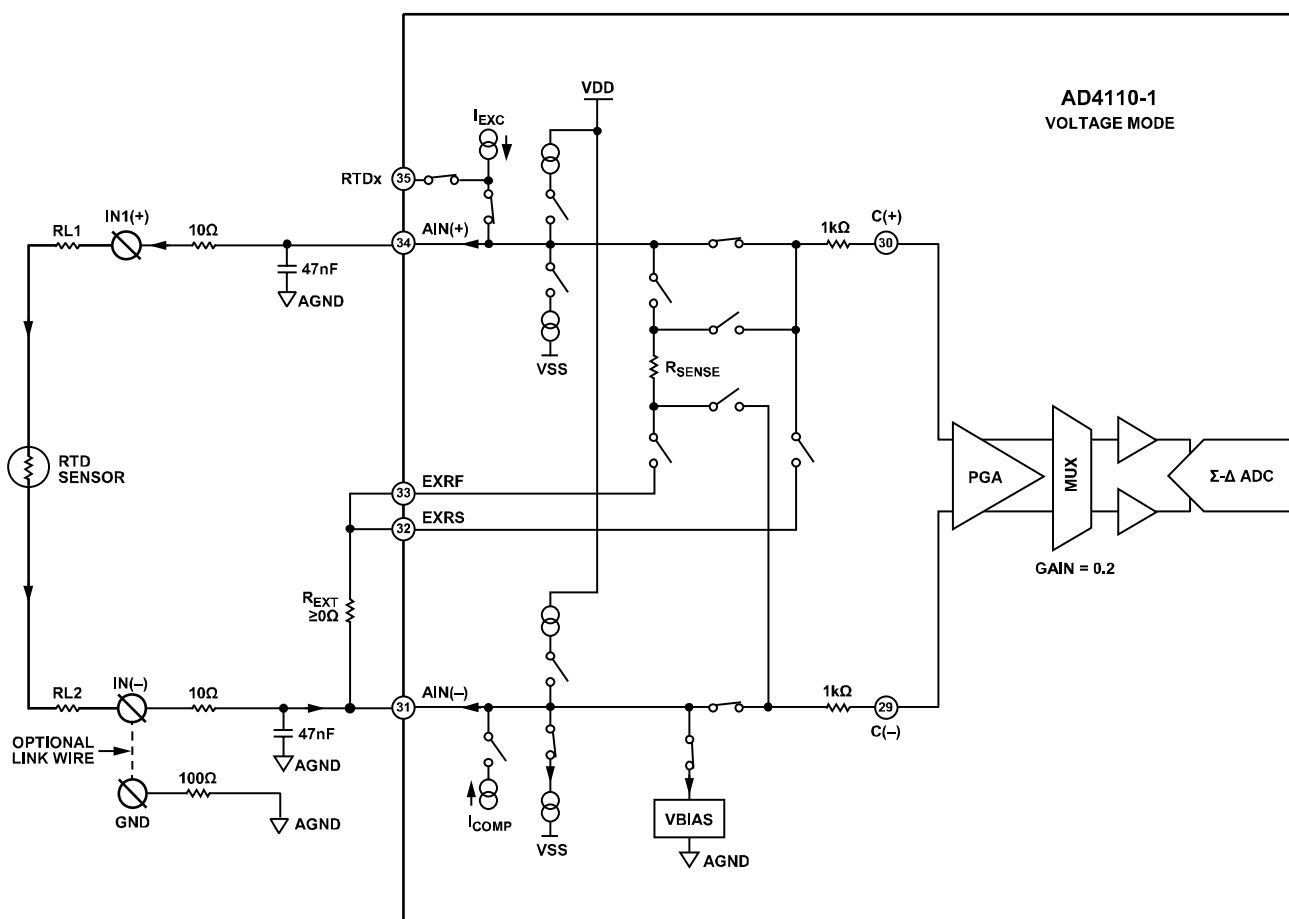


图48. 2线RTD

现场电源模式

AD4110-1提供一个为AIN(+)和AIN(-)引脚之间连接的电流输出传感器提供最高24 mA电流的选项。

当AFE_CNTRL2寄存器的位3 (EN_FLD_PWR)设置为1时, VDD引脚电压-1.5V通过内部电路路由至AIN(+)引脚。1.5V的电压降是基于额定最大输出电流24 mA的典型值。传感器返回电流通过2.5 V稳压器从AIN(-)引脚经过内部电路流向VSS引脚, 参见下面的图49。AIN(-)引脚上的电压典型值为VSS + 3.6 V。还需要将AFE_CNTRL2寄存器的IMODE位设置为1, 以将工作模式设置为电流模式。

AD4110-1的内部自保护电路将AIN(+)引脚流出的电源电流限制在55 mA (典型值), 将流入AIN(-)引脚的返回电流限制在40 mA (典型值)。如果超过电源电流限值, AFE_DETAIL_STATUS寄存器的过流标志(FLD_PWR_OC)就会置1。如果超过返回电流限值, AFE_DETAIL_STATUS寄存器中的过流标志(AIN_OC)就会置1 (参见表32)。

在C(+)和C(-)上使用外部电容, 结合标称1.6 k Ω 串联电阻, 可在PGA输入端实现一阶低通抗混叠滤波器。建议使用0.1 μ F电容, 因为差分电容和0.01 μ F接地电容提供约500 Hz的-3 dB截止频率 (参见“抗混叠滤波器”部分)。

为使电流输出现场变送器的电源电压最大, 应选择内部电流检测电阻。使用0 Ω 连接代替R_{EXT}电阻, 如图49所示。

由于VDD电压通过内部电路路由以在AIN(+)引脚上提供VDD - 1.5 V电压, 而AIN(-)典型值为VSS以上3.6 V, 因此AIN(+)上的过压标志和AIN(-)上的欠压标志均可能置1。这是预期行为, 在这种情况下可以忽略这些标志; 或者使用AFE错误禁用寄存器屏蔽这些标志 (参见表31)。

过压保护

当使能现场供电模式时, 电源(VDD/VSS)必须限制在 ± 15 V。此要求是为了防止超过任何高压引脚到VSS的绝对最大额定值 (如表3所示)。

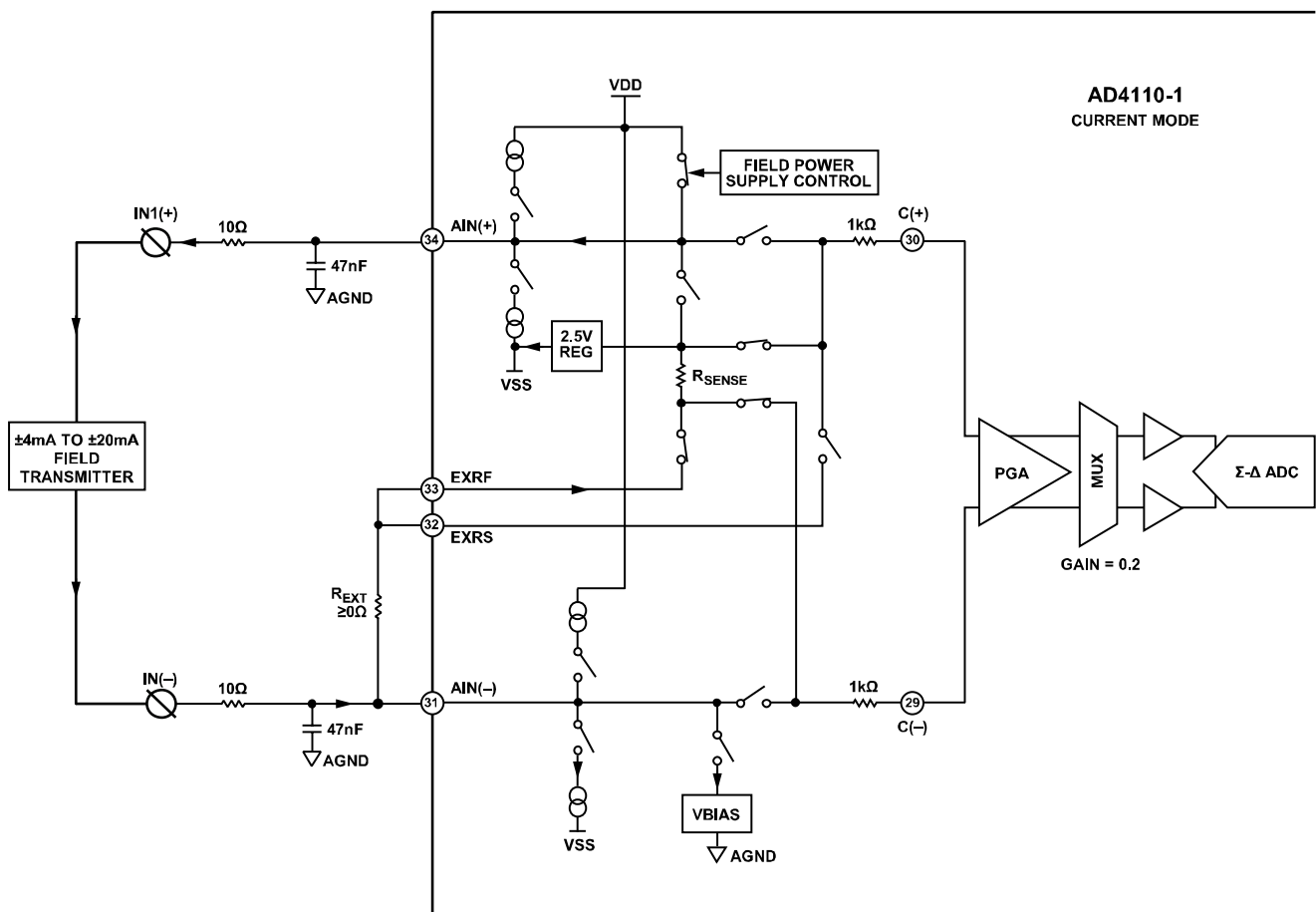


图49. 现场电源模式, R_{EXT} = 0 Ω

无电源模式

当AD4110-1的VDD和VSS引脚上没有连接电源时，AD4110-1的高压模拟输入默认进入预编程的输入模式，即电压模式或电流模式（参见“上电时默认工作模式”部分）。

电压模式

如果默认工作模式配置为电压模式，则高压输入作为高阻抗输入工作。在此模式下，AIN(+)和AIN(-)引脚之间有典型值为 ± 0.5 mA的电流流动，参见图23。

电流模式

如果默认工作模式配置为电流模式，环路不会中断， ± 4 mA至 ± 20 mA环路电流会继续流过模拟输入。AD4110-1监控环路电流，其自保护电路会将通过高压输入的最大电流限制在 ± 55 mA（典型值）。在此模式下，AIN(+)和AIN(-)引脚上的电压降典型值为5V，参见图26。

系统冗余

当器件未连接电源时， ± 4 至 ± 20 mA环路不会中断，因此环路中连接的第二个系统可继续运行并提供系统冗余。示例连接图如图50所示。

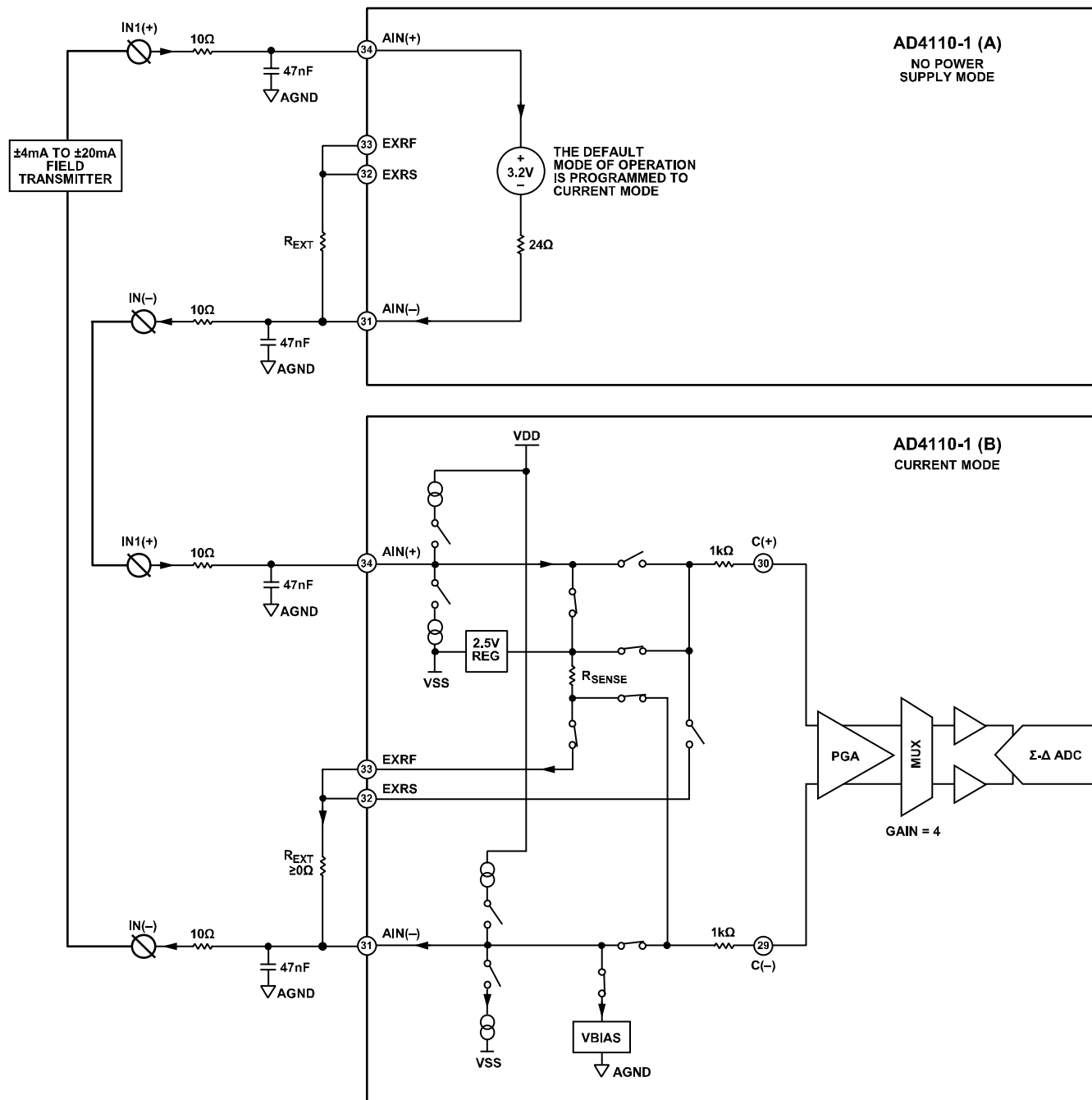


图50. 冗余配置下的无电源模式

16285-050

增益校准数据寄存器

AD4110-1有一组增益校准数据寄存器，可存储电压模式下所有增益设置的增益校正系数以及电流模式下增益设置为4的增益校正系数。存储的增益校准数据仅用于高压通道。

AFE_CAL_DATA寄存器 (地址0xC) 存储电压模式的16个系数，AFE_RSENSE_DATA寄存器 (地址0xD) 存储电流模式的系数。

电压模式下的增益校准

电压模式的增益误差是在器件生产测试期间在每种增益设置下测量，并存储相应的校正系数。使用AFE_CAL_DATA寄存器 (地址0xC) 访问数据值时，一次只能访问一个系数。要访问每种增益的系数，首先应将PGA_RTD_CTRL寄存器 (地址0x5) 的增益位设置为所需增益，然后读取AFE_CAL_DATA寄存器 (地址0xC) 。

校准数据寄存器值为二进制编码，并以10位标准二进制格式存储。MSB是奇校验位。可用代码为0到511，可以使用下式解码以显示实际系数值：

系数 = (寄存器代码_{DEC} - 2⁸ + 2¹⁴)/2¹⁴

下式用于生成所存储的增益系数，代表补偿实测增益误差所需的校正因子。

寄存器 = ((标称增益/实际增益) × 2¹⁴) - 2¹⁴ + 2⁸

在ADC转换过程中，AD4110-1不使用这些系数。AFE_CAL_DATA寄存器是只读存储器位置。

表13. 系数示例

存储代码	校正系数	实测AFE增益误差(%)
0	0.984375000	+1.5625
1	0.984436035	+1.5564
2	0.984497070	+1.5503
...	...	...
255	0.999938965	+0.0061
256	1.000000000	0.0000
257	1.000061035	-0.0061
...	...	...
510	1.015502930	-1.5503
511	1.015563965	-1.5564

电流模式下的增益校准

电流模式的增益误差是在器件生产测试期间对增益设置为4的情况进行测量，并存储相应的校正系数。

要访问该系数，首先应将PGA_RTD_CTRL寄存器 (地址0x5) 的增益位设置为4倍增益，然后读取AFE_RSENSE_DATA寄存器 (地址0xD) 。

校准数据寄存器值为二进制编码，并以16位标准二进制格式存储。MSB是奇校验位。使用下式通过校正系数对校准数据寄存器进行编程：

寄存器 = (标称增益/实际增益) × 2¹⁴

电流模式校准数据寄存器值仅适用于使用内部电流检测电阻的应用。在使用外部电流检测电阻的应用中，请使用所需增益设置对应的电压模式校正系数。

比例因子

对于电压模式，选择2¹⁴的比例因子以支持适当的校准范围与器件分辨率。在最大校准系统误差为0.1%的情况下，步长约为0.0061%。在最大PGA增益误差要求为±1%的情况下，校准范围只比1.56%高一点点。

选择比例因子2是因为除法可以作为移位操作来执行，而不用通过微控制器或微处理器来实现除法运算。这种方法可以节省应用的大量资源，特别是在软件中对从ADC读取的每个数据样本执行增益校正的情况下。

对于电流模式，在最大校准系统误差为0.1%的情况下，步长大约为0.0061%，在最大薄膜电阻估计为±20%的情况下，校准范围远高于±30%。

自动校准模式

每次转换完成后, ADC转换结果会利用通道ADC失调和增益寄存器进行调整, 然后写入数据寄存器。

在单极性模式下,

$$\text{数据} = \left[\frac{0.75 \times V_{IN}}{V_{REF}} 2^{23} - (\text{失调} - 0x800000) \right] \times \frac{\text{增益}}{0x400000} \times 2$$

在双极性模式下,

$$\text{数据} = \left[\frac{0.75 \times V_{IN}}{V_{REF}} 2^{23} - (\text{失调} - 0x800000) \right] \times \frac{\text{增益}}{0x400000} + 0x800000$$

失调寄存器的默认值为0x800000, 表示没有失调要加上或减去。增益寄存器的标称值为0x555555, 表示ADC增益误差为零。但是, ADC出厂校准期间会调整默认值, 以便补偿任何ADC增益误差。

AD4110-1在ADC内提供两种校准模式, 可基于每种设置消除系统失调和增益误差(参见表39):

- 系统失调(零电平)校准。
- 系统增益(满量程)校准。

为启动校准, 应将适当的值写入ADC_MODE寄存器的MODE位, 参见表39。启动校准后, DOUT/RDY引脚和状态寄存器中的RDY位变为高电平。校准完成后, 相应失调或增益寄存器的内容会更新, 状态寄存器中的RDY位复位, DOUT/RDY引脚返回低电平状态, AD4110-1恢复为待机模式。任一校准模式下只能有一个通道有效。

系统校准要求在启动校准模式之前, 将系统零电平(失调)和系统满量程(增益)电压施加于AIN(+)和AIN(-)引脚, 这样可以消除ADC的外部误差。ADC增益的校准范围为 $0.4 \times V_{REF}$ 至 $1.05 \times V_{REF}$ 。

如果需要, 零电平(失调)校准必须总是在满量程(增益)校准之前执行。对系统软件进行设置, 以监视状态寄存器中的RDY位或DOUT/RDY引脚, 进而通过一个轮询序列或中断驱动的例行程序确定校准何时结束。所有校准所需的时间等于选定输出速率对应的滤波器建立时间。校准可以在任意输出数据速率下执行。使用较低输出数据速率可以获得更好的校准精度, 并且对所有较高输出数据速率都是精确的。

应用可以访问AD4110-1的片内增益校准寄存器, 通过微处理器读取器件的增益校正系数, 以及写入校准系数。除自校准期间外, 其他任何时候都能读取或写入失调和增益寄存器。

每次使用此校准方法时, 仅对一种PGA增益设置有效。如果PGA增益发生变化, 则必须重复此过程。或者, 应用软件可以检索先前存储的校准数据, 然后直接对增益和失调寄存器重新编程。重新上电后, 这些寄存器恢复为默认值。

应用示例

例1

以下示例演示了如何读取AFE增益校准寄存器数据，计算增益校正系数，然后在应用软件中将增益校正系数应用于ADC转换结果。

此例使用以下设置：

- 电压模式，PGA增益设置为0.2
- 施加的输入信号为5.00 V
- ADC结果 = 5.05 V（此结果精度在±1%范围内）
- AFE_CAL_DATA寄存器 = 94（增益 = 0.2）

计算如下：

$$\begin{aligned}PGA_GAIN_{COEFFICIENT} &= (94 - 2^8 + 2^{14})/2^{14} \\PGA_GAIN_{COEFFICIENT} &= 0.9901123047 \\ \text{乘以ADC结果} \times PGA_GAIN_{COEFFICIENT} \\ \text{新ADC结果} &= 5.000067 \text{ V}\end{aligned}$$

此结果精度在±0.03%之内。

例2

以下示例演示了如何使用AFE增益校准寄存器数据，计算增益校正系数，然后对ADC增益寄存器重新编程，以便将增益校正系数自动应用于ADC转换结果。使用这种方法时，有必要将出厂存储的ADC增益校正系数与PGA增益校正系数相结合，然后对ADC增益寄存器重新编程。

此例使用以下设置：

- 电压模式，PGA增益设置为0.2
- AFE_CAL_DATA寄存器 = 94（增益 = 0.2）
- $PGA_GAIN_{COEFFICIENT} = 0.9901123047$
- $ADC_GAIN_{REGISTER} = 0x5556B0_{HEX}$ (5592752 (dec))
- $ADC_GAIN_{NOMINAL} = 0x555555_{HEX}$ (5592405 (dec))

计算如下：

$$\begin{aligned}PGA_GAIN_{ACTUAL} &= PGA_GAIN_{NOMINAL}/PGA_GAIN_{COEFFICIENT} = \\ &0.2019972876 \\ \\ADC_GAIN_{ACTUAL} &= ADC_GAIN_{NOMINAL}/ADC_GAIN_{REGISTER} = \\ &0.9999379554 \\ \\SYS_GAIN_{ACTUAL} &= PGA_GAIN_{ACTUAL} \times ADC_GAIN_{ACTUAL} = \\ &0.2019847548 \\ \\ADC_GAIN_{MODIFY} &= SYS_GAIN_{NOMINAL}/SYS_GAIN_{ACTUAL} = \\ &0.9901737398 \\ \\ADC_GAIN_{REGISTER} &= ADC_GAIN_{NOMINAL} \times ADC_GAIN_{MODIFY} = \\ &5592405 \times 0.9901737398 = 5537453\end{aligned}$$

重新编程为

$$ADC_GAIN_{REGISTER} = 0x547EAD$$

诊断和保护

诊断标志

通过使用诊断标志，AD4110-1为高压通道提供诊断功能，可指示过压、欠压、开路、过流和过温情况。任何AFE诊断标志的状态都可以通过读取AFE_TOP_STATUS和/或AFE_DETAIL_STATUS寄存器来检查。任何ADC诊断标志的状态都可以通过读取ADC_STATUS寄存器来检查。

表1所示的额定性能只有在诊断标志未设置的情况下才能保证。现场电源模式激活时是例外。该通道的AIN(+)过压标志和AIN(-)欠压标志均有可能设置。此异常是预期行为，在这种情况下可以忽略诊断标志。

注意，建议避免输入浮空，应将其连接到AGND。

错误引脚

AD4110-1有一个开漏低电平有效ERR引脚，可用于指示AFE高压通道的错误状况和ADC的错误状况。这是一个开漏输出，因此有必要在此引脚和所需电源轨之间连接一个上拉电阻。选择此电阻值时，请参阅表1中的规格。

AFE_TOP_STATUS寄存器和AFE_DETAIL_STATUS寄存器的错误位进行“或”运算、反转并映射到错误引脚。ADC的错误状态报告功能可根据ADC_GPIO_CONFIG寄存器的ERR_EN位设置进行编程（参见表44）。

当ERR_EN位设置为10时，ADC将开漏低电平有效输出连接到ERR引脚，ADC状态寄存器错误位进行“或”运算、反转并映射到错误引脚。当ERR_EN位设置为01时，ADC将ERR引脚输入状态和内部ADC错误位与ADC_STATUS寄存器的ADC_ERR位提供的结果进行逻辑“或”运算。此模式将AFE和ADC错误合并到ADC_ERR位中。请注意，当ERR引脚配置为输入时，它会被视为数字输入，其状态不会被锁存。ADC_STATUS寄存器的ADC_ERR位仅在写入ADC结果时更新，所以ERR引脚保持有效的时间应比选定输出数据速率建立时间要长。

过温检测和热关断

片内温度传感器监控AD4110-1的芯片温度。该器件有两个温度检测阈值。

- 过温检测阈值。如果温度超过过温检测阈值，AFE_TOP_STATUS寄存器的TEMPHI位就会置1（参见表14）。此错误位会被锁存。清除该错误位状态需要读取此寄存器。
- 热关断阈值。如果温度超过热关断阈值，输入通道会被强制进入电压输入模式，所有片内电流源都被禁用，现场电源也被禁用，部分PGA关断。数字接口保持有效，以便能够访问标志。AFE_TOP_STATUS寄存器的TEMPSD位设置为1（参见表14）。此错误位会被锁存。清除该错误位状态需要读取此寄存器。
- 当温度低于任一阈值时，AFE_TOP_STATUS寄存器的AFE_ERROR标志会清0，器件再次上电。

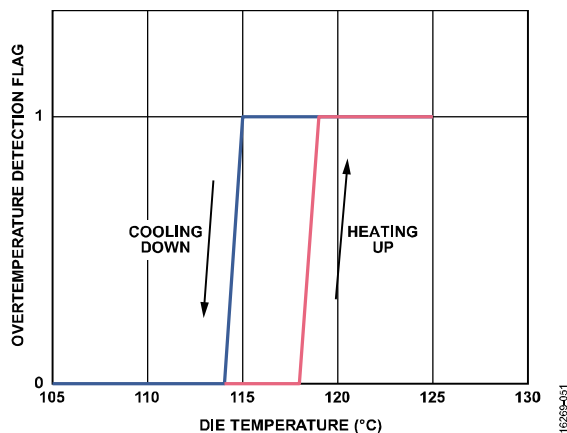


图51. 过温检测

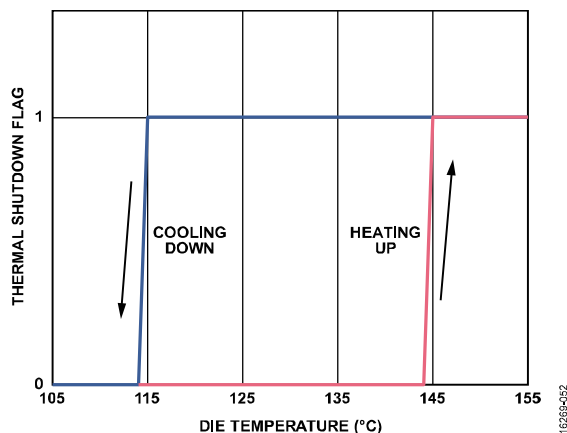


图52. 热关断

过压和欠压检测

当AD4110-1的高压输入上出现过压或欠压情况时，相关错误标志（AFE_DETAIL_STATUS寄存器的位[11:8]）会置1以指示存在故障状况。

当AFE_DETAIL_STATUS寄存器中的任何错误标志置1时，AFE_TOP_STATUS寄存器的AFE_ERROR位（位0）也会置1（参见表26）。

当模拟输入在VSS或VDD的2 V（典型值）范围内时，AIN_OV和AIN_UV错误标志会置1。这些错误标志默认使能，可以通过设置AFE_ERR_DISABLE寄存器中的相关位来禁用（参见表15）。

请注意，当现场电源模式激活时，AINP_OV和AINN_UV位可能会置1。在此模式下，AIN(+)引脚有效连接到VDD电源轨，可能被设置为VDD – 1.5 V（典型值）的电压，此电压处于过压检测范围内。AIN(–)引脚通过2.5 V稳压器有效连接到VSS电源轨，可能被设置为VSS + 2.7 V（典型值）的电压，此电压处于欠压检测范围内。

过压保护

AD4110-1采用±12 V至±20 V电源供电，但该器件可防止更高电压影响模拟输入。

要对一个HV引脚施加一个比系统负电源电位还低的电压，只有将一个外部二极管连接在VSS引脚和系统负电源之间才能实现，连接图参见图29。

当模拟输入电压超过VDD时，AD4110-1的性能会下降，但器件仍然可以工作。一旦模拟输入电压回到额定范围内，器件就会再次满足规格要求。

表14. AFE_TOP_STATUS和AFE_DETAIL_STATUS寄存器的位功能描述

地址	名称	位	位7	位6	位5	位4	位3	位2	位1	位0
0x0	AFE_TOP_STATUS	[15:8]	保留							
		[7:0]	保留		ERRCH	ERRCRC	TEMPSD	TEMPHI	保留	AFE_ERROR
0x7	AFE_DETAIL_STATUS	[15:8]	保留				AINN_UV	AINP_UV	AINN_OV	AINP_OV
		[7:0]	I_EXC	I_COM	保留			FLD_PWR_OC	AIN_OC	误差

表15. AFE_ERR_DISABLE寄存器位功能描述

地址	名称	位	位7	位6	位5	位4	位3	位2	位1	位0
0x6	AFE_ERR_DISABLE	[15:8]	保留				AINN_UV	AINP_UV	AINN_OV	AINP_OV
		[7:0]	I_EXC	I_COM	保留			FLD_PWR_OC	AIN_OC	保留

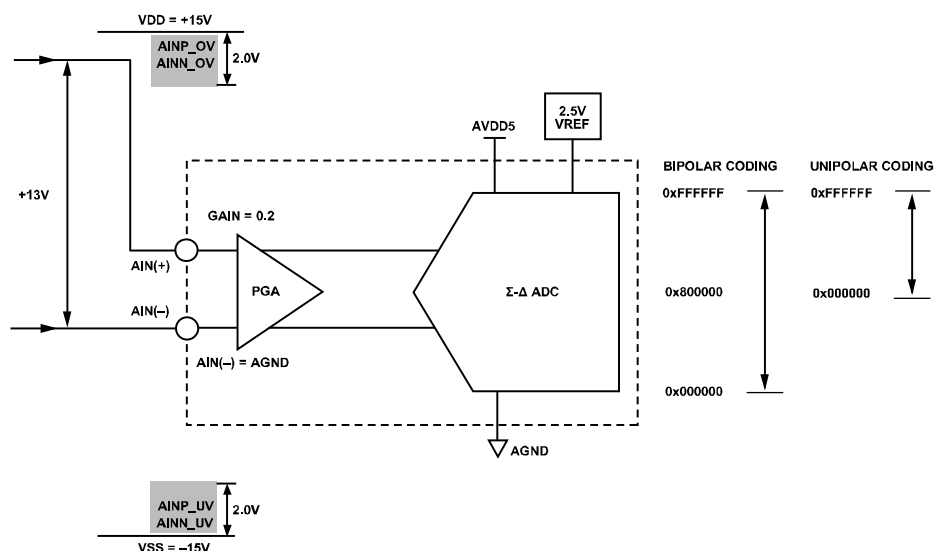
诊断过压和欠压状况

当高压输入端的电压在VSS或VDD电源轨的2 V (典型值) 范围内时, AD4110-1中的过压和欠压标志就会设置。这些标志指示输入不在可用输入范围内 (参见表14)。

图53和图54显示了两个例子, 其中AIN(+)输入比AIN(-)输入大13 V, 但具有不同的VDD和VSS电源。

在示例1 (图53) 中, VDD/VSS电源电压为 ± 15 V (以AGND为基准)。AINP_OV标志置1, 指示AIN(+)引脚的输入在VDD的2 V范围内。

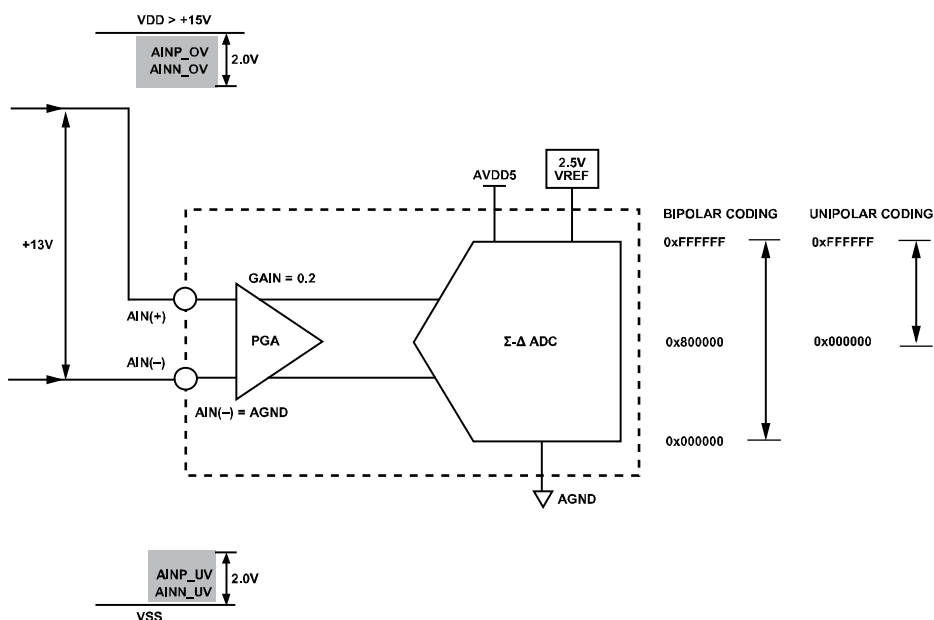
在示例2 (图54) 中, VDD/VSS电源电压大于 ± 15 V (以AGND为基准)。AIN(+)输入也比AIN(-)输入大13 V。AIN(+)输入上的电压不在VDD电源轨的2 V范围内。因此, 过压标志没有设置, 但ADC的输出为正满量程(0xFFFFF)。



NOTES

1. FRONT-END SWITCHES, 1k Ω INTERNAL RESISTORS, AND EXTERNAL CAPACITORS NOT SHOWN ON AIN(+), AIN(-) INPUTS.

图53. 示例1: AIN(+)和AIN(-)引脚电压之差为13 V, AIN(+)引脚电压在VDD的2 V范围内



NOTES

1. FRONT-END SWITCHES, 1k Ω INTERNAL RESISTORS, AND EXTERNAL CAPACITORS NOT SHOWN ON AIN(+), AIN(-) INPUTS.

图54. 示例2: AIN(+)和AIN(-)引脚电压之差为13 V, AIN(+)引脚电压不在VDD的2 V范围内

开路检测

当AD4110-1配置为电压工作模式时，可以使用开路检测电流来检测从电压源到AD4110-1输入端的连接中的断线。AIN(+)和AIN(-)输入上有两个恒流发生器。这些非精密电流源可以设置为1 μ A或100 μ A的拉电流或灌电流，默认禁用。配置图参见图55。关于编程选项，请参见“AFE_CNTRL2寄存器”部分。

尝试进行测量之前，可以使用这些电流来验证外部传感器是否保持连接。接通开路检测电流后，电流流入外部传感器电路，然后便可在模拟输入通道上测量输入电压。如果传感器导线断开，则过压标志或欠压标志会置1。

开路检测电流会因传感器引线电阻而产生一个误差电压，因此只能在测量前周期性使用该电流来检查导线有无开路。

开路检测电流必须给所有外部电容充电，所以使用这些电流检测开路状况需要一定的时间。开路检测电流的强度可以选择为1 μ A或100 μ A，具体取决于电路中的外部电容量和诊断外部开路所需的响应时间。

RTD测量和RTD标志诊断

RTD激励和补偿电流的输出顺从电压为VDD - 5 V。因此，为实现正确运行，RTD引脚产生的电压或AIN(+)和AIN(-)引脚处的电压必须小于VDD - 5 V。AFE_DETAIL_STATUS寄存器中提供了不合规标志（参见表32）。

AD4110-1可以监控RTD、AIN(+)和AIN(-)引脚上的电压。当激励电流有效时，RTD或AIN(+)引脚上的电压会被监控。当超出输出顺从电压时，AFE_DETAIL_STATUS寄存器的I_EXC位会置1。例如，导线断开时此位会置1，防止激励电流流到地。

同样，当补偿电流有效时，AIN(-)引脚上的电压会被监控。当超出输出顺从电压时，AFE_DETAIL_STATUS寄存器的I_COM位会置1。例如，导线断开时此位会置1，防止补偿电流流到地。

请注意，在4线RTD模式下，没有电流从AIN(+)和AIN(-)引脚流出。因此，还必须使用“开路检测”部分中描述的开路检测电流。4线RTD模式仅使用激励电流。仅当RTD引脚导线或GND导线断开时，才会设置不合规标志（参见图46）。

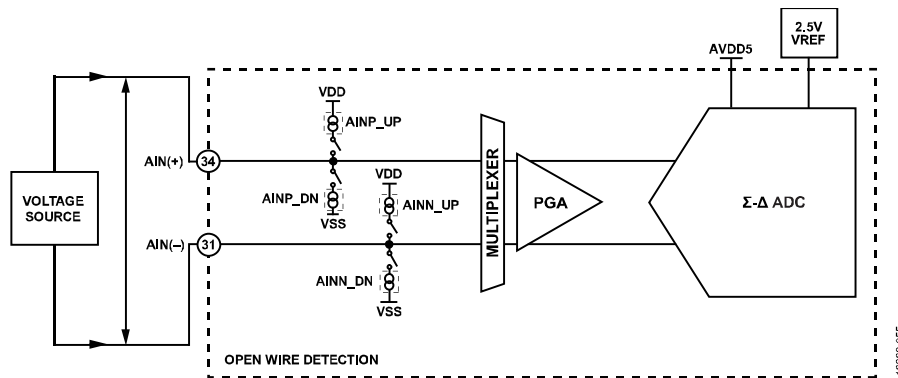


图55. 电压输入模式，开路检测选项

噪声、建立时间和数字滤波

数字滤波器

AD4110-1有三个灵活的滤波器选项，支持对噪声、建立时间和抑制性能进行优化：

- Sinc5 + sinc1滤波器
- Sinc3滤波器
- 增强型50 Hz和60 Hz抑制滤波器

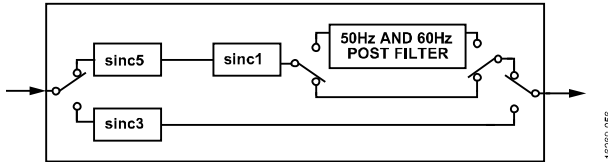


图56. 数字滤波器框图

滤波器和输出数据速率是通过设置选定通道的滤波器配置寄存器的相应位来配置。更多信息请参阅“滤波器寄存器”部分。

SINC5 + SINC1滤波器

sinc5 + sinc1滤波器主要用于快速切换多路复用应用，在10 kSPS和更低的输出数据速率时，可实现单周期建立。sinc5模块输出固定为125 kSPS的最大速率。

在ADC滤波器寄存器（地址0x5）中选择快速建立滤波器（sinc1）作为AD4110-1数字滤波器的响应，可提供40 dB的50 Hz或60 Hz (± 0.5 Hz)抑制。

图57显示sinc5 + sinc1滤波器在50 SPS输出数据速率时的频域响应。sinc5 + sinc1滤波器随频率的滚降速度很慢，陷波频率很窄。

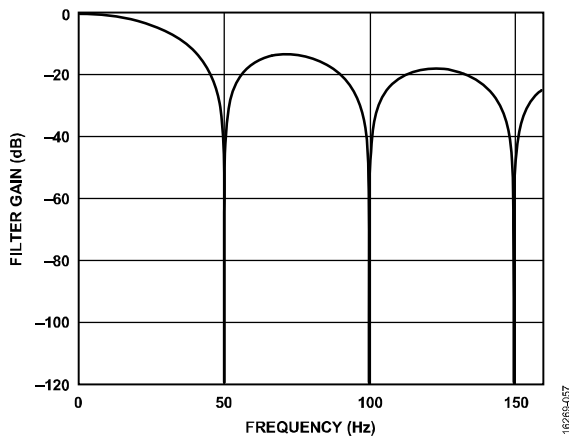


图57. Sinc5 + Sinc1滤波器响应，输出数据速率 = 50 SPS

表16和表17列出了sinc5 + sinc1滤波器的输出数据速率、建立时间、峰峰值噪声和有效值噪声。

SINC3滤波器

sinc3滤波器在较低输出数据速率时可实现最佳单通道噪声性能，因此最适合单通道应用。sinc3滤波器的建立时间等于

$$t_{\text{SETTLE}} = 3 / \text{输出数据速率}$$

图58显示了sinc3滤波器在50 SPS输出数据速率时的频域响应。sinc3滤波器具有良好的随频率滚降性能，并有宽陷波频率，可实现良好的陷波频率抑制。在ADC滤波器寄存器（地址0x5）中选择sinc3滤波器作为AD4110-1数字滤波器的响应，可提供100 dB的50 Hz或60 Hz (± 1 Hz)抑制。

表18和表19列出了sinc3滤波器的输出数据速率、建立时间、峰峰值噪声和有效值噪声。

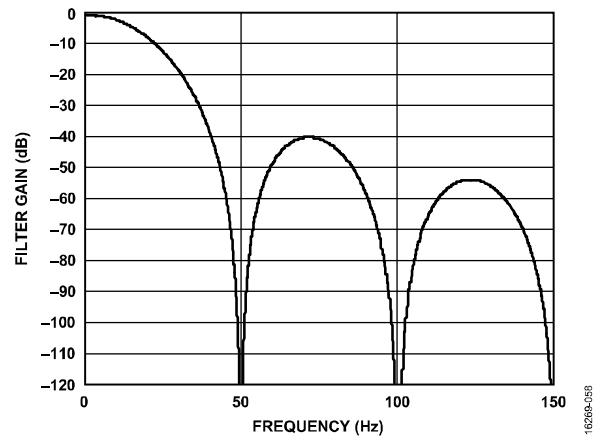


图58. Sinc3滤波器响应，输出数据速率 = 50 SPS

表16. Sinc5 + Sinc1滤波器响应——峰峰值噪声和分辨率（数据基于1000个样本，500个样本的输出数据速率(ODR) < 50 SPS）

输出数据 速率(SPS)	建立时间 (ms)	开关速率 (Hz)	–3 dB带宽 (Hz)	陷波滤波器 (Hz)	峰峰值噪声				峰峰值分辨率（位）			
					电压模式 (μ V)		电流模式 (nA)		电压模式		电流模式	
					G = 24	G = 1	G = 0.2	G = 4	G = 24	G = 1	G = 0.2	G = 4
125,000	0.040	24,814	27,000	125,000	44.0	110.0	490.0	2000.0	12.2	15.5	15.6	14.7
62,500	0.048	20,704	20,600	62,500	38.0	92.0	390.0	1708.3	12.4	15.7	16.0	14.9
31,250	0.064	15,552	12,500	31,250	28.0	66.0	300.0	1333.3	12.9	16.2	16.4	15.3
25,000	0.072	13,831	10,280	25,000	24.0	60.0	250.0	1166.7	13.1	16.4	16.6	15.5
15,625	0.096	10,384	6650	15,625	20.0	50.0	230.0	958.3	13.3	16.6	16.7	15.7
10,390	0.096	10,384	6650	15,625	19.0	49.0	210.0	916.7	13.4	16.7	16.9	15.8
4994	0.20	4994	2581	5952	15.0	38.0	180.0	625.0	13.7	17.0	17.1	16.3
2498	0.40	2498	1178	2717	8.9	23.0	110.0	458.3	14.5	17.7	17.8	16.8
1000	1.00	1000	450	1033	5.7	15.0	67.0	320.8	15.2	18.4	18.5	17.3
500	2.00	500	221	508	4.0	12.0	57.0	212.5	15.7	18.7	18.8	17.9
395.5	2.53	395.5	174	400.6	3.2	10.0	46.0	187.5	16.0	18.9	19.0	18.1
200	5.00	200	88	201	2.4	7.5	39.0	120.8	16.4	19.4	19.3	18.7
100.2	10.0	100.2	44	100.5	1.9	6.9	25.0	104.2	16.7	19.5	19.9	19.0
59.87 ¹	16.7	59.9	26	60	1.30	5.1	24.0	83.3	17.3	19.9	20.0	19.2
49.92 ²	20.0	49.9	22	50	1.20	4.5	24.0	70.8	17.5	20.1	20.0	19.5
20	50.0	20	9	20	0.87	3.9	18.0	54.2	17.9	20.3	20.4	19.9
16.7 ³	60.0	16.7	7.3	16.7	0.78	3.9	21.0	50.0	18.0	20.3	20.2	20.0
10	100	10	4.3	10	0.66	3.9	21.0	45.8	18.3	20.3	20.2	20.1
5	200	5	2.2	5	0.56	3.6	18.0	41.7	18.5	20.4	20.4	20.2

¹ 抑制60 Hz。² 抑制50 Hz。³ 抑制50 Hz和60 Hz。

表17. Sinc5 + Sinc1滤波器响应——有效值噪声和分辨率（数据基于1000个样本，500个样本的ODR < 50 SPS）

输出数据 速率(SPS)	建立时间 (ms)	开关速率 (Hz)	–3 dB带宽 (Hz)	陷波滤波器 (Hz)	有效值噪声				RMS分辨率（位）			
					电压模式 (μ V)		电流模式 (nA)		电压模式		电流模式	
					G = 24	G = 1	G = 0.2	G = 4	G = 24	G = 1	G = 0.2	G = 4
125,000	0.040	24,814	27,000	125,000	7.0	15.0	69.0	312.5	14.9	18.3	18.5	17.4
62,500	0.048	20,704	20,600	62,500	5.7	13.0	58.0	258.3	15.2	18.6	18.7	17.6
31,250	0.064	15,552	12,500	31,250	4.4	9.9	44.0	204.2	15.5	19.0	19.1	18.0
25,000	0.072	13,831	10,280	25,000	3.9	9.0	41.0	179.2	15.7	19.1	19.2	18.1
15,625	0.096	10,384	6650	15,625	3.2	7.3	34.0	150.0	16.0	19.4	19.5	18.4
10,390	0.096	10,384	6650	15,625	3.0	7.9	36.0	150.0	16.1	19.3	19.4	18.4
4994	0.20	4994	2581	5952	2.0	5.2	24.0	100.0	16.7	19.9	20.0	19.0
2498	0.40	2498	1178	2717	1.4	3.4	16.0	66.7	17.2	20.5	20.6	19.6
1000	1.00	1000	450	1033	0.9	2.3	10.0	45.8	17.9	21.0	21.2	20.2
500	2.00	500	221	508	0.6	1.7	7.9	30.0	18.4	21.5	21.6	20.7
395.5	2.53	395.5	174	400.6	0.5	1.5	6.8	26.7	18.6	21.6	21.8	20.9
200	5.00	200	88	201	0.4	1.2	5.4	19.6	19.1	22.0	22.1	21.3
100.2	10.0	100.2	44	100.5	0.3	0.9	4.7	14.2	19.5	22.4	22.4	21.8
59.87 ¹	16.7	59.9	26	60	0.2	0.8	4.0	12.1	19.9	22.5	22.6	22.0
49.92 ²	20.0	49.9	22	50	0.2	0.8	3.9	11.3	20.0	22.6	22.6	22.1
20	50.0	20	9	20	0.1	0.7	3.6	8.3	20.6	22.9	22.7	22.5
16.7 ³	60.0	16.7	7.3	16.7	0.1	0.6	3.2	7.5	20.7	22.9	22.9	22.7
10	100	10	4.3	10	0.1	0.6	3.2	7.5	21.0	22.9	22.9	22.7
5	200	5	2.2	5	0.1	0.6	3.0	6.7	21.3	23.0	23.0	22.9

¹ 抑制60 Hz。² 抑制50 Hz。³ 抑制50 Hz和60 Hz。

表18. Sinc3滤波器响应——峰峰值噪声和分辨率（数据基于1000个样本，500个样本的ODR < 50 SPS）

输出数据 速率(SPS)	建立时间 (ms)	开关速率 (Hz)	–3 dB带宽 (Hz)	陷波滤波器 (Hz)	峰峰值噪声				峰峰值分辨率（位）			
					电压模式 (μV)			电流模式 (nA)	电压模式			电流模式
					G = 24	G = 1	G = 0.2	G = 4	G = 24	G = 1	G = 0.2	G = 4
125,000	0.024	41,152	37,000	125,000	62.0	690.0	3200.0	7500.0	11.9	12.9	12.9	12.9
62,500	0.048	20,704	18,500	62,500	35.0	120.0	590.0	1875.0	12.6	15.3	15.5	14.7
31,250	0.096	10,384	8650	31,250	20.0	60.0	280.0	1166.7	13.2	16.4	16.6	15.3
25,000	0.120	8313	6840	25,000	19.0	55.0	250.0	916.7	13.3	16.5	16.7	15.7
15,625	0.192	5200	4175	15,625	16.0	41.0	180.0	750.0	13.5	16.6	17.1	16.1
10,417	0.288	3469	2750	10,417	11.0	30.0	140.0	500.0	14.2	17.2	17.4	16.3
5000	0.6	1666	1296	5000	7.7	20.0	98.0	383.3	14.6	17.8	17.9	17.0
2500	1.2	833	644	2500	5.5	14.0	75.0	279.2	15.1	18.3	18.4	17.5
1000	3.0	333	258	1000	3.7	9.5	42.0	175.0	15.7	19.0	19.1	18.1
500	6.0	167	128	500	2.7	7.2	34.0	137.5	16.3	19.3	19.7	18.5
400.6	7.5	134	103	400.6	2.7	6.9	28.0	112.5	16.4	19.5	19.8	18.8
200	15	67	51	200	2.0	5.4	21.0	91.7	16.9	19.8	20.2	19.1
100.2	30	33	26	100.2	1.4	3.9	16.0	70.8	17.4	20.4	20.5	19.7
60 ¹	50	20	15	60	1.10	3.0	16.0	54.2	17.6	20.5	20.5	20.1
50 ²	60	17	13	50	0.93	2.7	15.0	45.8	17.9	20.8	20.7	20.1
20	150	7	5.1	20	0.68	2.1	12.0	37.1	18.2	21.0	21.0	20.7
16.7 ³	180	6	4.3	16.7	0.65	1.8	10.0	29.2	18.3	21.0	21.2	20.8
10	300	3	2.7	10	0.58	1.7	8.9	25.0	18.4	21.4	21.2	21.0
5	600	2	1.3	5	0.43	1.6	8.9	25.0	18.9	21.4	21.4	21.0

¹ 抑制60 Hz。² 抑制50 Hz。³ 抑制50 Hz和160 Hz。

表19. Sinc3滤波器响应——有效值噪声和分辨率（数据基于1000个样本，500个样本的ODR < 50 SPS）

输出数据 速率(SPS)	建立时间 (ms)	开关速率 (Hz)	–3 dB带宽 (Hz)	陷波滤波器 (Hz)	有效值噪声				RMS分辨率（位）			
					电压模式 (μV)			电流模式 (nA)	电压模式			电流模式
					G = 24	G = 1	G = 0.2	G = 4	G = 24	G = 1	G = 0.2	G = 4
125,000	0.024	41,152	37,000	125,000	9.6	110.0	530.0	1208.3	14.4	15.5	15.5	15.5
62,500	0.048	20,704	18,500	62,500	5.6	19.0	90.0	291.7	15.3	18.0	18.1	17.5
31,250	0.096	10,384	8650	31,250	3.5	9.3	40.0	179.2	15.9	19.1	19.2	18.3
25,000	0.120	8313	6840	25,000	3.2	8.0	38.0	150.0	16.0	19.3	19.3	18.4
15,625	0.192	5200	4175	15,625	2.4	6.6	30.0	125.0	16.4	19.6	19.7	18.7
10,417	0.288	3469	2750	10,417	1.9	5.2	23.0	91.7	16.7	19.9	20.1	19.0
5000	0.6	1666	1296	5000	1.4	3.4	16.0	66.7	17.2	20.5	20.6	19.6
2500	1.2	833	644	2500	1.0	2.5	11.0	45.8	17.7	21.0	21.0	20.1
1000	3.0	333	258	1000	0.6	1.6	7.3	30.0	18.3	21.6	21.7	20.7
500	6.0	167	128	500	0.4	1.2	5.2	21.7	18.8	22.0	22.2	21.2
400.6	7.5	134	103	400.6	0.4	1.0	4.8	18.8	19.0	22.2	22.4	21.3
200	15	67	51	200	0.3	0.8	3.5	13.8	19.5	22.6	22.8	21.8
100.2	30	33	26	100.2	0.2	0.6	2.8	10.0	20.0	23.1	23.2	22.4
60 ¹	50	20	15	60	0.2	0.5	2.5	8.8	20.2	23.3	23.3	22.6
50 ²	60	17	13	50	0.1	0.4	2.2	7.5	20.4	23.4	23.4	22.8
20	150	7	5.1	20	0.1	0.4	1.8	5.8	21.0	23.7	23.7	23.0
16.7 ³	180	6	4.3	16.7	0.1	0.3	1.8	4.7	21.0	23.8	23.7	23.4
10	300	3	2.7	10	0.1	0.3	1.7	5.0	21.3	23.8	23.7	23.3
5	600	2	1.3	5	0.1	0.3	1.5	4.2	21.6	24.0	24.0	23.6

¹ 抑制60 Hz。² 抑制50 Hz。³ 抑制50 Hz和160 Hz。

增强型50 Hz和60 Hz抑制滤波器

增强型滤波器旨在提供50 Hz和60 Hz同时抑制，并且允许应用在建立时间和工频抑制性能间做折衷。增强型滤波器可以最高27.27 SPS的速率工作，或者可以抑制最高90 dB的50 Hz ± 1 Hz 和60 Hz ± 1 Hz干扰。

增强型滤波器是通过sinc5 + sinc1滤波器输出进行后置滤波实现的。因此，使用增强型滤波器时必须选择sinc5 + sinc1滤波器。

表20和表21列出了增强型滤波器的输出数据速率、建立时间、50 Hz/60 Hz抑制、峰峰值噪声和有效值噪声。图59至图66为增强型滤波器的频域响应图。

表20. 增强型滤波器响应——峰峰值噪声和分辨率（数据基于500个样本）

输出数据速率 (SPS)	建立时间 (ms)	开关速率 (Hz) ¹	同时抑制 50 Hz/60 Hz (± 1 Hz) (dB)	峰峰值噪声				峰峰值分辨率（位）			
				电压模式 (μV)			电流模式 (nA)	电压模式			电流模式
				G = 24	G = 1	G = 0.2	G = 4	G = 24	G = 1	G = 0.2	G = 4
27.27	36.7	27.27	47	1.1	3.3	15.0	66.7	17.5	20.5	20.7	19.5
25	40.0	25	62	1.1	2.7	16.0	54.2	17.6	20.8	20.5	19.8
20	50.0	20	86	1.1	3.0	12.0	50.0	17.6	20.7	21.0	20.0
16.67	60.0	16.667	92	0.93	3.0	13.0	45.8	17.8	20.7	20.8	20.1

¹ 开关速率 = 1/τ_{SETTLE}。

表21. 增强型滤波器响应——有效值噪声和分辨率（数据基于500个样本）

输出数据速率 (SPS)	建立时间 (ms)	开关速率 (Hz) ¹	同时抑制 50 Hz/60 Hz (± 1 Hz) (dB)	有效值噪声				有效值（位）			
				电压模式 (μV)			电流模式 (nA)	电压模式			电流模式
				G = 24	G = 1	G = 0.2	G = 4	G = 24	G = 1	G = 0.2	G = 4
27.27	36.7	27.27	47	0.18	0.52	2.4	9.2	20.1	23.2	23.3	22.4
25	40.0	25	62	0.17	0.49	2.4	8.3	20.2	23.3	23.3	22.6
20	50.0	20	86	0.16	0.49	2.2	8.3	20.3	23.3	23.5	22.6
16.67	60.0	16.667	92	0.15	0.48	2.2	7.5	20.4	23.3	23.5	22.7

¹ 开关速率 = 1/τ_{SETTLE}。

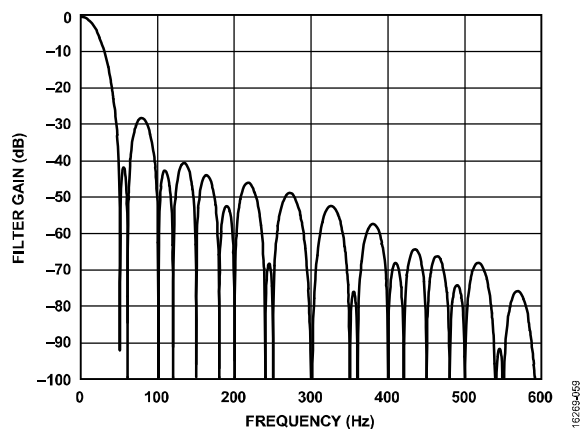


图59. DC至600 Hz, 输出数据速率 = 27.27 SPS,
建立时间 = 36.7 ms

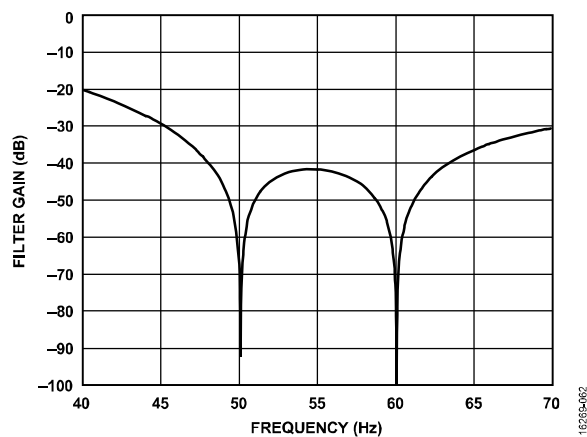


图62. 放大, 40 Hz至70 Hz, 输出数据速率 =
27.27 SPS, 建立时间 = 36.7 ms

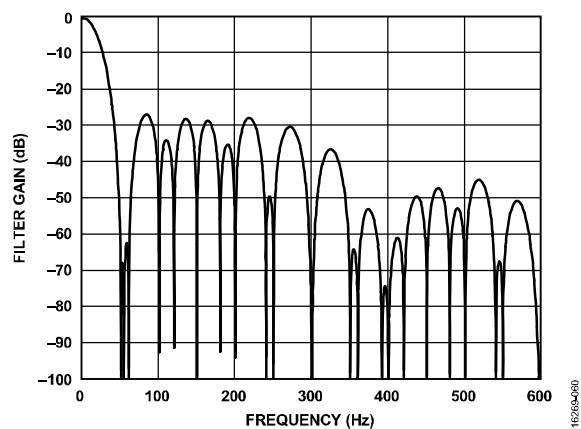


图60. DC至600 Hz, 输出数据速率 = 25 SPS,
建立时间 = 40 ms

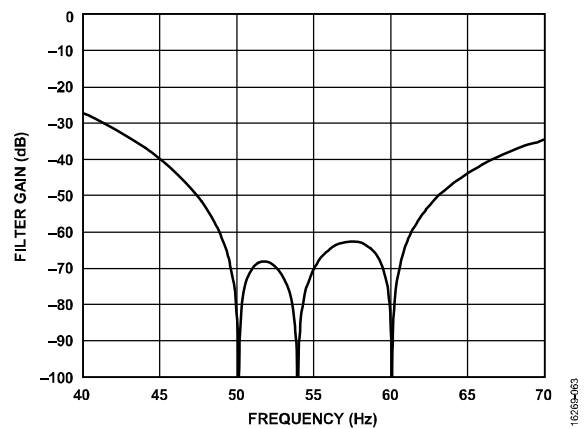


图63. 放大, 40 Hz至70 Hz, 输出数据速率 =
25 SPS, 建立时间 = 40 ms

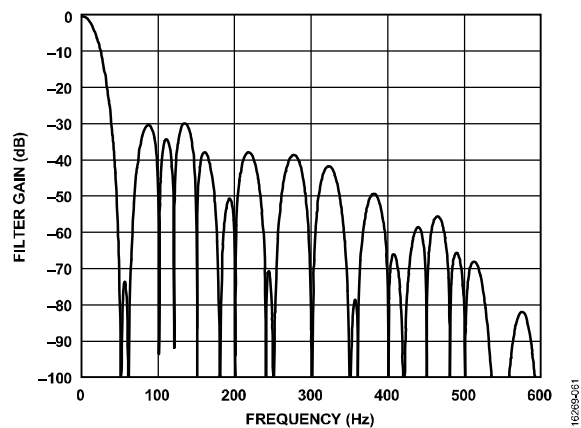


图61. DC至600 Hz, 输出数据速率 = 20 SPS,
建立时间 = 50 ms

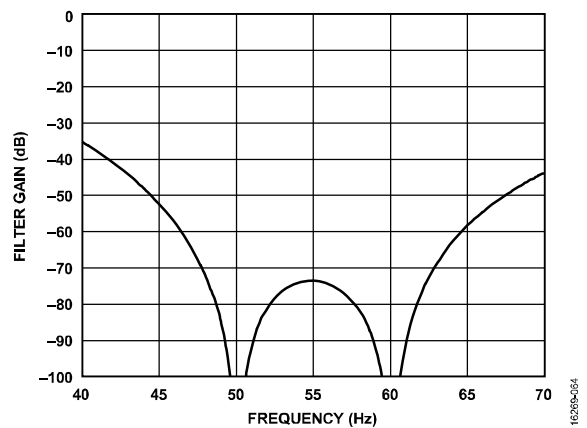


图64. 放大, 40 Hz至70 Hz, 输出数据速率 =
20 SPS, 建立时间 = 50 ms

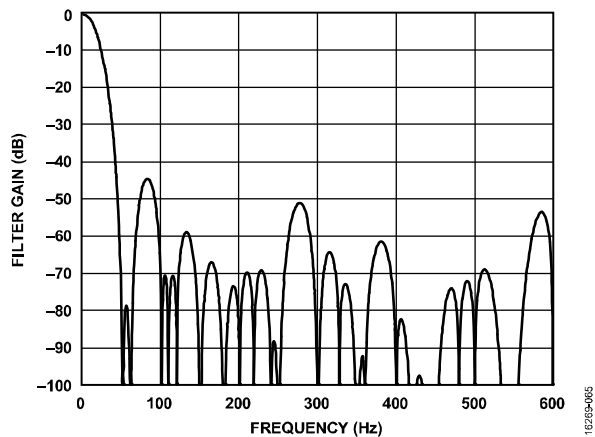


图65. DC至600 Hz，输出数据速率 = 16.67 SPS，
建立时间 = 60 ms

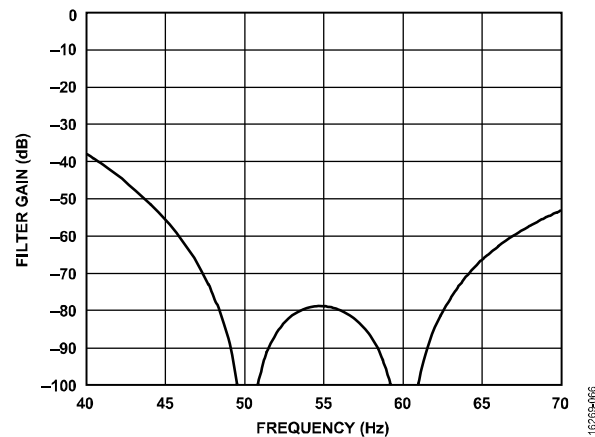


图66. 放大，40 Hz至70 Hz，输出数据速率 =
16.67 SPS，建立时间 = 60 ms

RTD模式噪声性能

表22和表23显示了AD4110-1在不同输出数据速率和滤波器设置下的典型有效值噪声和无噪声（峰峰值）分辨率（采集500个样本，ADC连续转换）。

所提供的数值是针对双极性输入范围以及采用2.5 V外部基准电压源而言。

这些典型值是在如下条件下产生的：0.01%、500Ω、3 ppm电阻连接到AIN(+)和AIN(-)引脚，并且器件配置为3线或4线RTD模式。配置图参见图46和图47。

注意，峰峰值分辨率是基于峰峰值噪声计算的。峰峰值分辨率表示无闪烁输出码的分辨率。

表22. 采用500Ω电阻的3线和4线RTD模式——峰峰值分辨率（数据基于500个样本）

输出数据速率 (SPS)	数字滤波器类型	峰峰值分辨率（位）					
		G = 4,1000 μA	G = 4,900 μA	G = 8,600μA	G = 8,500 μA	G = 12,400 μA	G = 24,100 μA
59.87	Sinc5 + Sinc1	18.1	18.3	17.6	18.0	17.7	17.2
49.92	Sinc5 + Sinc1	18.1	18.3	17.6	18.0	17.7	17.2
60	Sinc3	18.5	18.5	18.2	18.2	17.9	17.7
50	Sinc3	18.5	18.5	18.2	18.2	17.9	17.7

表23. 采用500Ω电阻的3线和4线RTD模式——有效值分辨率（数据基于500个样本）

输出数据速率 (SPS)	数字滤波器类型	RMS分辨率（位）					
		G = 4,1000 μA	G = 4,900 μA	G = 8,600μA	G = 8,500 μA	G = 12,400 μA	G = 24,100 μA
59.87	Sinc5 + Sinc1	20.8	20.9	20.4	20.5	20.3	19.7
49.92	Sinc5 + Sinc1	20.8	20.9	20.4	20.5	20.3	19.7
60	Sinc3	21.0	21.0	20.6	20.9	20.5	20.3
50	Sinc3	21.0	21.0	20.6	20.9	20.5	20.3

串行外设接口

AD4110-1通过4线串行外设接口(SPI)进行编程。串行接口由四个信号构成： $\overline{\text{CS}}$ 、SCLK、DIN和DOUT/RDY。

片选($\overline{\text{CS}}$)信号选择器件，并且也用作通信序列的帧。每个序列都以 $\overline{\text{CS}}$ 下降沿开始，以 $\overline{\text{CS}}$ 上升沿结束。“时序规格”部分包括了与AD4110-1接口的时序图。

SCLK是该器件的串行时钟输入。所有数据传输（无论是DIN上还是DOUT/RDY上）都是相对于SCLK信号发生。

DIN线将数据传输到片内寄存器，并且必须在SCLK上升沿有效。DOUT/RDY线访问片内寄存器的数据。DOUT/RDY在SCLK下降沿发生变化。最后一个DOUT/RDY位保持有效到片选帧结束为止。

AD4110-1始终是系统中的从器件。通过硬连接地址引脚ADR0和ADR1来设置AD4110-1的器件地址。使用这些引脚，最多四个AD4110-1器件可以共享与主器件的4线串行接口连接。串行通信的完整性可进一步通过8位循环冗余校验(CRC)来保证。有关CRC的更多信息，请参阅“CRC校验和”部分。

复位AD4110-1

上电周期结束后以及电源稳定时，器件需要复位。器件复位后，在读取或写入寄存器之前，建议等待1 ms。

对DIN输入写入一连串的1，可以复位AD4110-1。如在至少64个串行时钟周期内持续向DIN线写入逻辑1，器件将会复位。复位使串行接口返回到等待写入通信寄存器的状态。器件复位后，所有寄存器的内容都恢复为上电值。

对通信寄存器的SPI命令

所有与AD4110-1的通信都是通过向通信寄存器写入8位命令来启动，通信寄存器是AD4110-1的关键寄存器。命令选择寄存器映射，通信是读还是写，以及要写入或读取的寄存器地址。在整个8位命令写入以及随后的读写选定寄存器的过程中， $\overline{\text{CS}}$ 引脚必须持续保持低电平。

命令字的MSB (AFE/ADC位) 用于确定写入目标：模拟前端 (AFE) 还是ADC寄存器。R/W位设置为0（写入）或1（读取）。ADR[1:0]位指定AD4110-1器件地址。如果ADR[1:0]位的值与ADR0和ADR1引脚的逻辑电平组合不匹配，AD4110-1将忽略该命令序列，器件等待下一片选帧的新命令。命令的最后四位R[3:0]指定AFE或ADC寄存器映射中要访问的AD4110-1寄存器地址。

8位命令之后是8/16/24位数据读取或16/24位数据写入，具体取决于所选的寄存器。

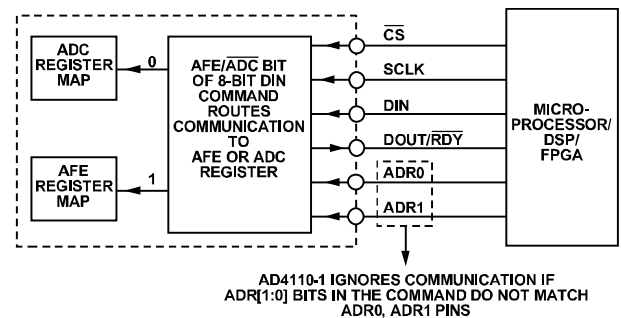


图67. AFE/ADC位用于寻址两个AD4110-1寄存器映射

表24. 通信寄存器（只写寄存器）

位	位名称	设置	描述
7	AFE/ADC	0 1	AFE/ADC位将通信写操作路由到AFE寄存器映射或ADC寄存器映射。 选择ADC寄存器映射。 选择AFE寄存器映射。
6	R/W	0 1	读/写使能。此位使能对所选寄存器的读或写操作。 写入选定寄存器。 读取选定寄存器。
[5:4]	ADR[1:0]		器件地址位。最多四个AD4110-1器件可以共享同一串行总线。当这些位与ADR1和ADR0引脚的状态匹配时，串行总线上发送的命令将被解码到正确的器件。
[3:0]	R[3:0]		寄存器地址位。这些位映射到AFE和ADC寄存器映射上的寄存器地址。

DOUT/ $\overline{\text{RDY}}$ 引脚

DOUT/ $\overline{\text{RDY}}$ 引脚具有双重功能。一方面，它用作串行数据输出引脚，可以访问AD4110-1的输出移位寄存器；另一方面，它指示ADC转换完成是否完成。

输出移位寄存器可以含有来自任一片内数据寄存器或控制寄存器的数据。数据字信息在SCLK下降沿置于DOUT/ $\overline{\text{RDY}}$ 引脚上，且在SCLK上升沿有效。当 $\overline{\text{CS}}$ 为高电平时，DOUT/ $\overline{\text{RDY}}$ 输出为三态。

当 $\overline{\text{CS}}$ 为低电平且不在读取寄存器时，DOUT/ $\overline{\text{RDY}}$ 引脚用作ADC数据就绪引脚，变为低电平表示转换已完成。转换完成后，如果数据未被读取，该引脚将在下一次更新之前变为高电平。DOUT/ $\overline{\text{RDY}}$ 下降沿可以用作处理器的中断，表示存在可用数据。

如果在转换后未读取ADC数据结果寄存器且ADC正在连续转换，则在写入下一转换结果之前约2.2 μs ，DOUT/ $\overline{\text{RDY}}$ 引脚变为高电平，指示数据寄存器即将更新，此时无法读取寄存器。如果在向数据寄存器写入ADC结果时读取寄存器，写入将被中止，转换结果会丢失。

ADC转换控制和SPI接口不同步。因此，当ADC正在更新数据结果寄存器时，SPI接口可能正在读取同一寄存器的MSB，这会导致MSB读取错误。SCLK初始状态为高电平时，此读取错误只能在 $\overline{\text{CS}}$ 变为低电平后的第9个SCLK下降沿发生。

为避免可能的MSB错误，请在 $\overline{\text{RDY}}$ 变为低电平后的第8个SCLK上升沿之后立即检查DOUT/ $\overline{\text{CS}}$ 信号的逻辑状态。如果DOUT/ $\overline{\text{RDY}}$ 信号处于逻辑高电平，应用应当等待它在第9个

SCLK下降沿之前变为低电平。如果DOUT/ $\overline{\text{RDY}}$ 信号处于逻辑低电平，应用必须确保在第9个SCLK下降沿之前所花费的时间小于2.2 μs 。

写操作

图68显示了SPI写操作序列。该序列由一个8位命令、16位数据和可选的8位CRC组成。命令字的MSB (AFE/ $\overline{\text{ADC}}$) 确定是写入AFE寄存器映射还是写入ADC寄存器映射。R/ $\overline{\text{W}}$ 位设置为0时指定写操作。命令的最后四位R[3:0]指定AFE或ADC寄存器映射中要访问的AD4110-1寄存器地址。

该8位命令之后是要写入指定寄存器的16/24位数据。所有AFE寄存器都是16位。通过设置AFE和ADC寄存器映射中的CRC_EN位，可以在所有寄存器写入和读取时使能可选CRC。

- AFE_CNTRL1寄存器 (地址0x1)，位[14:13]
- ADC_INTERFACE寄存器 (地址0x2)，位[3:2]

使能CRC后，写操作必须继续写入主器件计算的8位CRC。AD4110-1根据DIN线上接收的位计算自己的CRC，同时包含8位命令和要写入的数据。如果AD4110-1计算的CRC与从主器件接收的CRC匹配，则接受数据并将其写入指定寄存器。如果CRC不匹配，则不会将数据写入寄存器，相应的CRC错误位 (AFE_TOP_STATUS寄存器的位4或ADC_STATUS寄存器的位5) 置1。

如果写操作序列终止 (即片选帧在正确数量的SCLK周期完成之前转换为逻辑高电平)，则不会将数据写入任何寄存器，AD4110-1等待下一片选帧的新命令。

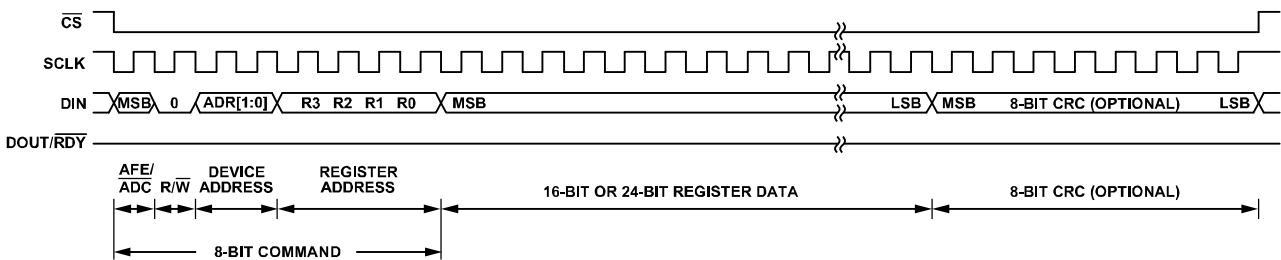


图68. 串行接口写序列

读操作

图69显示了除ADC数据寄存器外的所有其他寄存器的SPI读操作序列。该序列包括一个8位命令，用于选择AFE或ADC寄存器映射以及寻址所需的寄存器。该命令之后是8位、16位或24位数据输出，以及来自被访问寄存器的可选8位CRC。

命令字的MSB (AFE/ADC) 确定是读取AFE寄存器映射还是读取ADC寄存器映射。R/W位设置为1时指定读操作。命令的最后四位 R[3:0] 指定 AFE 或 ADC 寄存器映射中要访问的 AD4110-1 寄存器地址。

在8位命令后的SCLK下一下降沿，DOUT/RDY引脚从其RDY状态切换到其作为指定寄存器的串行数据输出的功能。数据在随后的SCLK周期中通过DOUT/RDY引脚发送。主器件可以通过DIN引脚发送任何伪数据。该伪数据会被忽略。

ADC数据寄存器包含ADC转换结果。回读ADC数据寄存器与读取其他寄存器的不同之处在于，DOUT/RDY信号用于表示可以读取新的ADC转换结果（参见图70）。

DOUT/RDY线从高电平变为低电平时，表示存在新的数据转换结果。当读取数据且CS返回逻辑高电平时，DOUT/RDY引脚恢复为高阻态。

通过设置AFE和ADC寄存器映射中的CRC_EN位，可以在所有寄存器写入和读取时使能可选CRC。

- AFE_CNTRL1寄存器（地址0x1），位[14:13]
- ADC_INTERFACE寄存器（地址0x2），位[3:2]

AD4110-1根据DIN上收到的8位数据命令和发送的寄存器数据计算和发送CRC。数据通过DOUT/RDY发送到主器件。主器件可以使用该CRC来对接收的数据进行错误检查。

如果读操作序列终止（即片选帧在正确数量的SCLK周期完成之前转换为逻辑高电平），AD4110-1将等待下一片选帧的新命令。DOUT/RDY引脚在片选帧结束时恢复为高阻态。

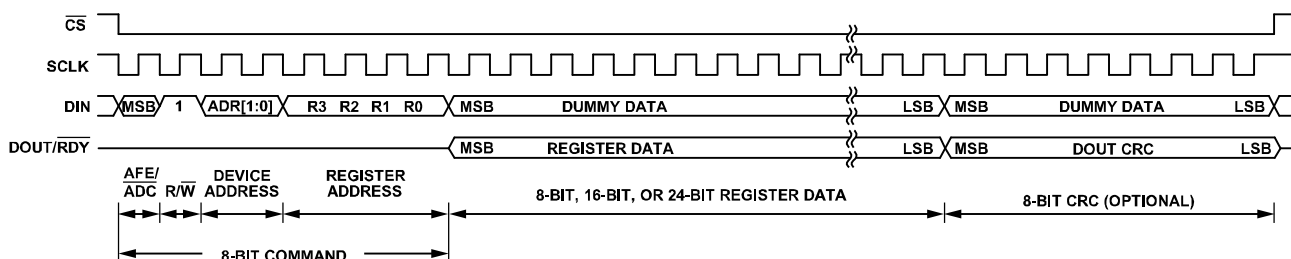


图69. 除ADC_DATA寄存器外的所有其他寄存器的串行接口读序列

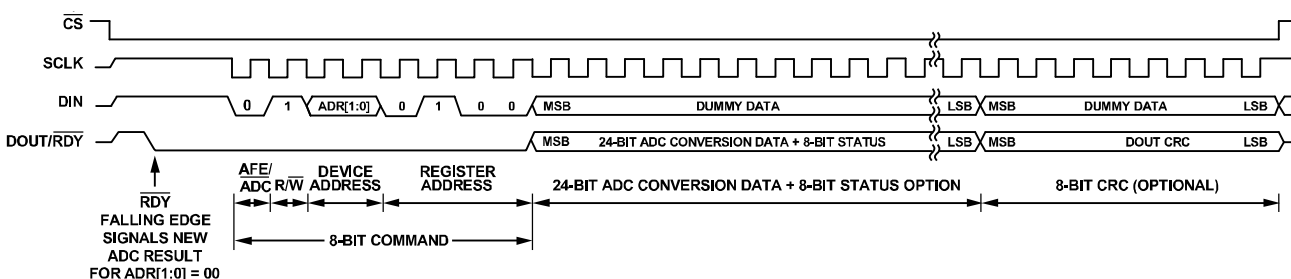


图70. ADC_DATA寄存器的串行接口读序列（转换结果）

SPI总线连接多个器件

一条SPI总线上最多可以连接四个AD4110-1器件。两个器件地址引脚ADR0和ADR1用于设置每个器件的地址。将这些引脚上拉至IOVDD或下拉至DGND。总线上的每个器件都需要不同的地址引脚设置，接线示例如图71所示。此示例使用电阻来简化地址的重新配置，但也可以硬连接到IOVDD或DGND。

当SPI命令字节的器件地址位与器件地址引脚设置匹配时，就会建立与器件的通信。在一个 $\overline{\text{CS}}$ 帧期间，只有一个器件可以在SPI总线上进行通信，也就是说， $\overline{\text{CS}}$ 信号必须变为低电平以便一次寻址一个器件，然后在寻址下一个器件之前再次变为高电平。在一个 $\overline{\text{CS}}$ 帧期间，命令字节的器件地址位不能改变。

DOUT/ $\overline{\text{RDY}}$ 引脚具有双重功能。一方面，它用作串行数据输出引脚，可以访问AD4110-1的输出移位寄存器；另一方面，它指示ADC转换完成是否完成。

任何时候只能有一个器件控制DOUT/ $\overline{\text{RDY}}$ 信号。当 $\overline{\text{CS}}$ 引脚为高电平时，所有DOUT/ $\overline{\text{RDY}}$ 输出均为三态。当 $\overline{\text{CS}}$ 信号变为低电平时，地址引脚设置为ADR0 = 0且ADR1 = 0的器件控制DOUT/ $\overline{\text{RDY}}$ 信号。只有在接收到具有非零器件地址的命令字节后，才会将DOUT/ $\overline{\text{RDY}}$ 信号的控制权传递给所寻址的器件。这发生在第8个SCLK上升沿，参见图72。

由于DOUT/ $\overline{\text{RDY}}$ 信号和SPI通信信号不同步，因此当 $\overline{\text{RDY}}$ 信号变为低电平时，地址引脚设置为00的器件的DOUT/ $\overline{\text{CS}}$ 信号可能有效，也可能无效。如果器件处于连续转换模式，DOUT/ $\overline{\text{RDY}}$ 信号也可能在 $\overline{\text{CS}}$ 信号变为低电平后的某个时间发生转变。因此，建议将DOUT/ $\overline{\text{RDY}}$ 引脚连接到微控制器下降沿触发的中断引脚，该引脚在 $\overline{\text{CS}}$ 信号变为低电平之前禁用，仅在第8个SCLK上升沿之后使能。在第8个上升沿之后，SCLK也应停止。当DOUT/ $\overline{\text{RDY}}$ 信号的下一下降沿触发微控制器中断时，数据对于所寻址的器件而言已就绪，SCLK再次启动以读出数据。

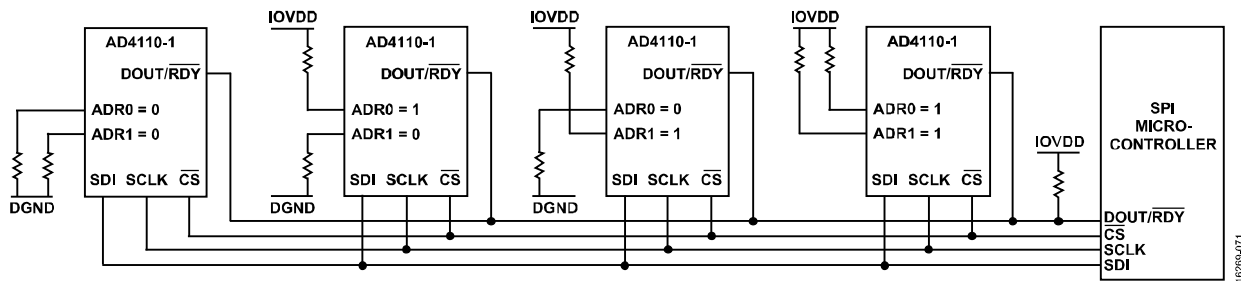


图71. 多个器件的SPI接线

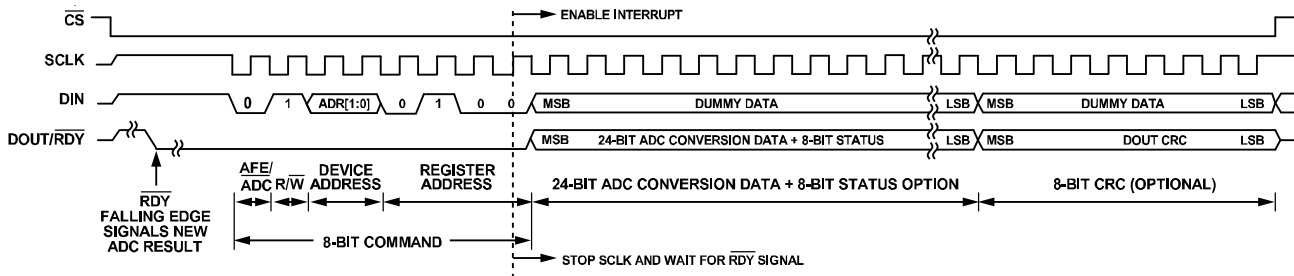


图72. SPI总线上有多个器件的ADC_DATA寄存器的串行接口读序列

CRC校验和

AD4110-1具有循环冗余校验(CRC)功能,在读取和写入器件期间可利用它来提高SPI接口通信的稳健性。

使用CRC可确保仅将有效数据写入寄存器,并且可以对从寄存器读取的数据进行验证。如果在寄存器写操作期间发生错误,AFE_TOP_STATUS寄存器或ADC_STATUS寄存器中的相应CRC错误位会置1。

使用CRC可确保仅发生有效写操作,但CRC无法检测写操作是否成功完成。无法检测是否完成的原因是,当进行SPI读处理而非SPI写处理时,由于通信错误,CRC错误位未设置。要验证对寄存器的写操作是否发生,必须回读相同的寄存器内容。回读的数据包括CRC校验和,以便能够验证数据。

对于AFE,以下多项式是在读或写操作期间使用的CRC校验和计算:

$$x^8 + x^2 + x + 1$$

该多项式也用于ADC写操作。在ADC读操作期间,应用可以选择多项式类型和类似的异或(XOR)函数。

与基于多项式的校验和相比,主机处理器处理XOR函数所需的时间更少。ADC_INTERFACE寄存器中的CRC_EN位用于使能和禁用校验和,并允许应用选择多项式和XOR实现。

8位CRC校验和附加于每次读和写处理的末尾。写处理的校验和利用8位命令字和8至24位数据计算。读处理的校验和利用命令字和8至32位数据输出计算。

仅当作为SPI写处理的一部分接收到正确的CRC校验和时,才会修改寄存器。作为读处理的一部分,AD4110-1发送CRC校验和。图73和图74分别显示了使用CRC的SPI写和读处理。

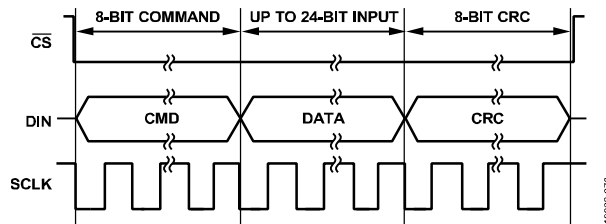


图73. 使能CRC的SPI写处理

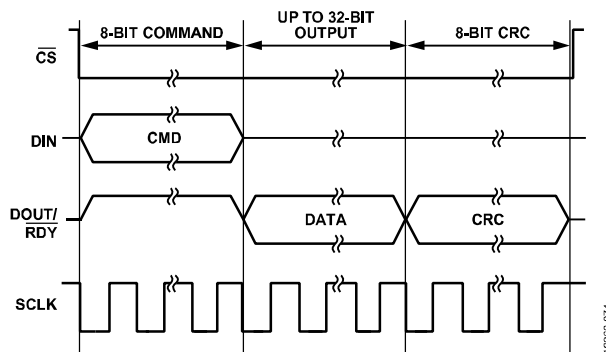


图74. 使能CRC的SPI读处理

CRC校验和方法

多项式计算

校验和为8位宽,利用以下多项式产生:

$$x^8 + x^2 + x + 1$$

要生成校验和,需将数据左移8位,产生一个后8位为逻辑0的数值。对齐多项式,使其MSB与该数据最左侧的逻辑1对齐。对该数据作用一个XOR函数,以产生一个更短的新数。再次对齐多项式,使其MSB与新结果最左侧的逻辑1对齐,重复上述步骤。最后,原始数据将减少至小于多项式的值。该多项式即是8位校验和。

24位字的多项式CRC计算：0x654321 (8位命令和16位数据)

下例使用基于多项式的校验和生成8位校验和:

	6	5	4	3	2	1
初始值:	0110	0101	0100	0011	0010	0001
左移8位:	0110	0101	0100	0011	0010	0001 0000 0000
多项式:	100	0001	11			
XOR 1	10	0100	1000	0011	0010	0001 0000 0000
	10	0000	111			
XOR 2	100	0110	0011	0010	0001	0000 0000
	100	0001	11			
XOR 3	111	1111	0010	0001	0000	0000
	100	0001	11			
XOR 4	11	1110	1110	0001	0000	0000
	10	0000	111			
XOR 5	1	1110	0000	0001	0000	0000
	1	0000	0111			
XOR 6	1110	0111	0001	0000	0000	
	1000	0011	1			
XOR 7	110	0100	1001	0000	0000	
	100	0001	11			
XOR 8	10	0101	0101	0000	0000	
	10	0000	111			
XOR 9	101	1011	0000	0000		
	100	0001	11			
XOR 10	1	1010	1100	0000		
	1	0000	0111			
XOR 11	1010	1011	0000			
	1000	0011	1			
XOR 12	10	1000	1000			
	10	0000	111			
CRC校验和(0x86)	1000	0110				

XOR 计算

校验和为8位宽，产生方法如下：将数据拆分为字节，然后对这些字节执行XOR运算。

24位字的XOR CRC计算：

0x654321（8位命令和16位数据）

下例使用基于多项式的校验和生成8位校验和：

分为三个字节：0x65、0x43和0x21

0x65	0110 0101
0x43	0100 0011
XOR结果	0010 0110
0x21	0010 0001
CRC校验和(0x07)	0000 0111

寄存器详解

在本部分中，RW表示读和写，R表示只读，W表示只写。

AFE寄存器映射

表25. AFE寄存器映射

寄存器	寄存器名称	位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位	RW
0x0	AFE_TOP_STATUS	[15:8]	保留								0xD000	R
		[7:0]	保留		ERRCH	ERRCRC	TEMPSD	TEMPHI	保留	AFE_ERROR		
0x1	AFE_CNTRL1	[15:8]	保留	CRC_EN		保留			DISRTD	保留	0x0000	RW
		[7:0]	保留									
0x2	保留	[15:8]	保留								0x0000	R
		[7:0]	保留									
0x3	AFE_CLK_CTRL	[15:8]	保留								0x0000	RW
		[7:0]	保留			CLK_CFG		保留				
0x4	AFE_CNTRL2	[15:8]	AINN_DN100	AINN_DN1	AINN_UP100	AINN_UP1	AINP_DN100	AINP_DN1	AINP_UP100	AINP_UP1	0x0082	RW
		[7:0]	VBIAS		保留		EN_FLD_PWR	EXT_R_SEL	IMODE	保留		
0x5	PGA_RTD_CTRL	[15:8]	RTD_3W4W	I_COM_SEL			I_EXC_SEL			EXT_RTD_RES	0x0000	RW
		[7:0]	GAIN_CH			保留						
0x6	AFE_ERR_DISABLE	[15:8]	保留				AINN_UV	AINP_UV	AINN_OV	AINP_OV	0x0000	RW
		[7:0]	I_EXC	I_COM	保留			FLD_PWR_OC	AIN_OC	保留		
0x7	AFE_DETAIL_STATUS	[15:8]	保留				AINN_UV	AINP_UV	AINN_OV	AINP_OV	0x0000	R
		[7:0]	I_EXC	I_COM	保留			FLD_PWR_OC	AIN_OC	误差		
0x8	保留	[15:8]	保留								0x0000	R
		[7:0]	保留									
0x9	保留	[15:8]	保留								0x0000	R
		[7:0]	保留									
0xA	保留	[15:8]	保留								0x0000	R
		[7:0]	保留									
0xB	保留	[15:8]	保留								0x0000	R
		[7:0]	保留									
0xC	AFE_CAL_DATA	[15:8]	保留						奇偶校验	GAIN_CAL[8]	0x0XXX	R
		[7:0]	GAIN_CAL[7:0]									
0xD	AFE_RSENSE_DATA	[15:8]	奇偶校验	RSEN_CAL[14:8]							0xFFFF	R
		[7:0]	RSEN_CAL[7:0]									
0xE	NO_PWR_DEFAULT_SEL	[15:8]	保留								0x0000	W
		[7:0]	D_MODE									
0xF	NO_PWR_DEFAULT_STATUS	[15:8]	保留							COMM_ERR	0x00XX	R
		[7:0]	Count									

AFE寄存器描述

AFE_TOP_STATUS寄存器

地址：0x0；复位：0xD000；名称：AFE_TOP_STATUS

只读AFE_TOP_STATUS寄存器指示AFE的状态。该寄存器可以通过串行接口读取，以验证芯片内部温度在限制范围内，并检查是否检测到模拟输入通道中的错误状况。所有个别错误位（位[5:2]）都会被锁存。因此，即使在短时间内出现错误状况，错误逻辑也会捕获错误状况，并由相关错误位指示，直到读取该寄存器为止。整体错误位（位0，AFE_ERROR）不锁存，反映读取时所有未屏蔽错误的总和。读取AFE状态寄存器不会清除AFE_ERROR位，但通过设置AFE_ERR_DISABLE寄存器（地址0x6）中的相应位可以防止（屏蔽）个别错误位驱动AFE_ERROR位。

表26. AFE_TOP_STATUS寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		芯片版本ID。	0xD	R
[7:6]	保留		保留。	0x0	R
5	ERRCH	0 无错误。 1 指示在高压通道上检测到一个或多个错误。	通道错误。	0x0	R
4	ERRCRC	0 无错误。 1 指示SPI通信期间发生错误。	CRC校验失败。对任何AFE寄存器执行寄存器写操作期间，当发生CRC错误时，该位置1。	0x0	R
3	TEMPSD	0 无错误。 1 指示芯片温度超过表1所示的热关断阈值。为使功耗最低，高压通道被迫进入电压输入模式，所有片上电流源都关断，现场电源关断，部分PGA也关断。SPI接口仍然可用。	热关断。	0x0	R
2	TEMPHI	0 无错误。 1 指示芯片温度超过表1所示的过温检测阈值。系统控制器必须采取适当的措施来降低器件功耗。	过温检测。	0x0	R
1	保留		保留。	0x0	R
0	AFE_ERROR	0 无错误。 1 指示未被AFE_ERR_DISABLE寄存器屏蔽的错误状况。该位的状态直接反映在ERR输出引脚的状态上，但极性相反。也就是说，当该位设置为1时，开漏低电平有效ERR输出引脚被驱动为低电平，表示发生错误。	通道错误。	0x0	R

AFE_CNTRL1寄存器

地址：0x1；复位：0x0000；名称：AFE_CNTRL1

AFE_CNTRL1寄存器用于使能RTD激励和补偿电流，以及使能AFE接口的CRC校验和模式。要使能CRC校验和模式，必须设置该寄存器的位[14:13]，以及ADC_INTERFACE寄存器的位[3:2]（参见表40）。

表27. AFE_CNTRL1寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
15	保留		保留。	0x0	R
[14:13]	CRC_EN	00 01 10 11	CRC校验和使能。 CRC校验和禁用。 保留。 对读和写操作使能8位CRC。 保留。	0x0	RW
[12:10]	保留		保留。	0x0	R
9	DISRTD	0 1	禁用所有RTD激励和补偿电流。 RTD电流开启。 RTD电流关闭。	0x0	RW
8	保留		保留。	0x0	R
[7:0]	保留		保留。	0x00	R

AFE_CLK_CTRL寄存器

地址：0x3；复位：0x0000；名称：AFE_CLK_CTRL

在器件初始化例程中，应用软件必须写入该寄存器以将位[4:3]设置为10。此写操作是确保AFE和ADC与同一时钟同步所必需的。

表28. AFE_CLK_CTRL寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:5]	保留		保留。	0x0	R
[4:3]	CLK_CFG	00 01 10 11	CLKIO引脚配置。 内部。 保留。 AFE由ADC提供时钟（必需的设置）。 保留。	0x0	RW
[2:0]	保留		保留。	0x0	R

AFE_CNTRL2寄存器**地址：0x4；复位：0x0082；名称：AFE_CNTRL2**

AFE_CNTRL2寄存器用于使能开路检测、VBIAS和现场电源模式。该寄存器还用于选择电流输入模式的外部检测电阻，以及选择电压或电流工作模式。

表29. AFE_CNTRL2寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
15	AINN_DN100	0 关闭。 1 开启。	使能AIN(-)上的开路检测，检测电流 = -100μA。	0x0	RW
14	AINN_DN1	0 关闭。 1 开启。	使能AIN(-)上的开路检测，检测电流 = -1μA。	0x0	RW
13	AINN_UP100	0 关闭。 1 开启。	使能AIN(-)上的开路检测，检测电流 = +100μA。	0x0	RW
12	AINN_UP1	0 关闭。 1 开启。	使能AIN(-)上的开路检测，检测电流 = +1μA。	0x0	RW
11	AINP_DN100	0 关闭。 1 开启。	使能AIN(+)上的开路检测，检测电流 = -100μA。	0x0	RW
10	AINP_DN1	0 关闭。 1 开启。	使能AIN(+)上的开路检测，检测电流 = -1μA。	0x0	RW
9	AINP_UP100	0 关闭。 1 开启。	使能AIN(+)上的开路检测，检测电流 = +100μA。	0x0	RW
8	AINP_UP1	0 关闭。 1 开启。	使能AIN(+)上的开路检测，检测电流 = +1μA。	0x0	RW
[7:6]	VBIAS	00 保留。 01 50μA偏置开启。 10 关闭（默认）。 11 关闭。	共模偏置到GND。	0x2	RW
[5:4]	保留		保留。	0x0	R
3	EN_FLD_PWR	0 现场电源关闭。 1 现场电源开启。	使能现场电源模式。	0x0	RW
2	EXT_R_SEL	0 选择内部检测电阻。 1 选择外部检测电阻。	选择电流模式使用的外部电流检测电阻。	0x0	RW
1	IMODE	0 选择电压模式。 1 选择电流模式。	使能电流模式。该位的上电默认设置可由应用编程。	0x1	RW
0	保留		保留。	0x0	R

PGA_RTD_CTRL寄存器

地址：0x5；复位：0x0000；名称：PGA_RTD_CTRL

PGA_RTD_CTRL寄存器用于使能RTD测量模式（4线、3线或2线），以及配置激励和补偿电流的幅度。该寄存器还用于设置通道增益。

表30. PGA_RTD_CTRL寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
15	RTD_3W4W	0 1	将器件配置为2线、3线或4线RTD连接。 4线（电流通过RTD引脚）。 2线或3线（电流通过AIN(+)和AIN(-)引脚）。	0x0	RW
[14:12]	I_COM_SEL	000 001 010 011 100 101 110 111	RTD补偿电流。 禁用。 100μA。 400μA。 500μA。 500μA。 600μA。 900μA。 1000μA。	0x0	RW
[11:9]	I_EXC_SEL	000 001 010 011 100 101 110 111	RTD激励电流。 禁用。 100μA。 400μA。 500μA。 500μA。 600μA。 900μA。 1000μA。	0x0	RW
8	EXT_RTD_RES	0 1	选择外部RTD电阻。 选择内部RTD电阻。 选择外部RTD电阻。	0x0	RW
[7:4]	GAIN_CH	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	设置通道增益。 增益 = 0.2。 增益 = 0.25。 增益 = 0.3。 增益 = 0.375。 增益 = 0.5。 增益 = 0.75。 增益 = 1。 增益 = 1.5。 增益 = 2。 增益 = 3。 增益 = 4。 增益 = 6。 增益 = 8。 增益 = 12。 增益 = 16。 增益 = 24。	0x0	RW
[3:0]	保留		保留。	0x0	R

AFE_ERR_DISABLE寄存器

地址：0x6；复位：0x0000；名称：AFE_ERR_DISABLE

AFE_ERR_DISABLE寄存器中的位可以用来屏蔽（禁用）错误事件。当该寄存器中的任何位设置为1（错误被屏蔽）时，指定的错误不会包含在AFE_TOP_STATUS寄存器（地址0x0）的AFE_ERROR位所表示的错误总和中。应用可以使用AFE_ERR_DISABLE寄存器来选择由ERR引脚和AFE_ERROR位实时报告的错误，以根据应用要求定制系统诊断。

表31. AFE_ERR_DISABLE寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:12]	保留		保留。	0x0	R
11	AINN_UV	0 警报标志开启。 1 警报标志关闭。	AIN(-)上的欠压。	0x0	RW
10	AINP_UV	0 警报标志开启。 1 警报标志关闭。	AIN(+)上的欠压。	0x0	RW
9	AINN_OV	0 警报标志开启。 1 警报标志关闭。	AIN(-)上的过压。	0x0	RW
8	AINP_OV	0 警报标志开启。 1 警报标志关闭。	AIN(+)上的过压。	0x0	RW
7	I_EXC	0 警报标志开启。 1 警报标志关闭。	RTD激励电流不合规。	0x0	RW
6	I_COM	0 警报标志开启。 1 警报标志关闭。	RTD补偿电流不合规。	0x0	RW
[5:3]	保留		保留。	0x0	R
2	FLD_PWR_OC	0 警报标志开启。 1 警报标志关闭。	现场电源模式下输出过流。	0x0	RW
1	AIN_OC	0 警报标志开启。 1 警报标志关闭。	输入过流。	0x0	RW
0	保留		保留。	0x0	R

AFE_DETAIL_STATUS寄存器**地址：0x7；复位：0x0000；名称：AFE_DETAIL_STATUS**

只读AFE_DETAIL_STATUS寄存器可用于详细诊断目的，以及监控高压模拟输入通道中的所有错误情况。该寄存器中的每个错误位都会被锁存。因此，即使在短时间内出现错误状况，错误逻辑也会捕获错误状况，并由相应错误位指示，直到读取该寄存器为止。

表32. AFE_DETAIL_STATUS寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:12]	保留		保留。	0x0	R
11	AINN_UV	0 1	AIN(-)上的欠压。 无错误。 错误标志已设置。	0x0	R
10	AINP_UV	0 1	AIN(+)上的欠压。 无错误。 错误标志已设置。	0x0	R
9	AINN_OV	0 1	AIN(-)上的过压。 无错误。 错误标志已设置。	0x0	R
8	AINP_OV	0 1	AIN(+)上的过压。 无错误。 错误标志已设置。	0x0	R
7	I_EXC	0 1	RTD激励电流不合规。 无错误。 错误标志已设置。	0x0	R
6	I_COM	0 1	RTD补偿电流不合规。 无错误。 错误标志已设置。	0x0	R
[5:3]	保留		保留。	0x0	R
2	FLD_PWR_OC	0 1	现场电源模式下输出过流。 无错误。 错误标志已设置。	0x0	R
1	AIN_OC	0 1	输入过流。 无错误。 错误标志已设置。	0x0	R
0	误差	0 1	高压通道错误。 无错误。 错误标志已设置。	0x0	R

AFE_CAL_DATA寄存器**地址：0xC；复位：0x0XXX；名称：AFE_CAL_DATA**

只读AFE_CAL_DATA寄存器包含电压模式的增益校正系数值。增益系数为9位宽，使用偏移二进制编码。位9是一个奇偶校验位，它被置1，使得寄存器中的1的总数为奇数。每种增益下的增益误差是在器件生产测试期间测量，相应的校正系数存储在该寄存器中。要访问每种增益的系数，首先应将PGA_RTDCtrl寄存器（地址0x5）的增益位设置为所需增益，然后读取此寄存器。

表33. AFE_CAL_DATA寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:10]	保留		保留。	0x0	R
9	奇偶校验	0 1	奇偶校验位。 偶校验。 奇校验。	0xX	R
[8:0]	GAIN_CAL		电压模式的增益校准数据。	0xX	R

AFE_RSENSE_DATA寄存器**地址：0xD；复位：0xFFFF；名称：AFE_RSENSE_DATA**

只读AFE_RSENSE_DATA寄存器包含电流模式的增益校正系数值。增益系数为15位宽，使用偏移二进制编码。位15是一个奇偶校验位，它被置1，使得寄存器中的1的总数为奇数。增益设置为4时的增益误差是在器件生产测试期间测量，相应的校正系数存储在该寄存器中。要访问该系数，首先应将PGA_RTD_CTRL寄存器（地址0x5）的GAIN_CH位设置为4倍增益，然后读取此寄存器。

表34. AFE_RSENSE_DATA寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
15	奇偶校验	0 1	奇偶校验位。 偶校验。 奇校验。	0xX	R
[14:0]	RSEN_CAL		电流模式的增益校准数据。	0xX	R

NO_PWR_DEFAULT_SEL寄存器**地址：0xE；复位：0x0000；名称：NO_PWR_DEFAULT_SEL**

为AD4110-1初始供电时，器件默认以电流输入模式工作。默认工作模式可以更改，参见“上电时默认工作模式”部分所述。

表35. NO_PWR_DEFAULT_SEL寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	D_MODE		更改默认上电模式（设置地址0x4处的AFE_CNTRL2寄存器的IMODE位（位1）之后）。	0x0	W

NO_PWR_DEFAULT_STATUS寄存器**地址：0xF；复位：0x00XX；名称：NO_PWR_DEFAULT_STATUS**

读取NO_PWR_DEFAULT_STATUS寄存器将指示默认工作模式选择为电流模式还是电压模式。如果该寄存器包含偶数值，则默认操作模式为电压模式。如果该寄存器包含奇数值，则默认工作模式为电流模式。AD4110-1的默认工作模式最多可更改100次。默认工作模式的剩余更改次数由计数位（位[7:0]）提供。

表36. NO_PWR_DEFAULT_STATUS寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	保留		保留。	0x0	R
8	COMM_ERR	0 1	读取该寄存器时出错。 无错误。 如果读取该寄存器时通信出现错误，则会设置此错误标志。如果此位设置为1，则说明发生了错误，必须重复读取数据以确保读数准确。	0x0	R
[7:0]	Count		设置默认上电模式的剩余写入次数。AD4110-1的默认工作模式最多可更改100次。	0xXX	R

ADC寄存器映射

表37. ADC寄存器映射

寄存器	寄存器名称	位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位	RW	
0x0	ADC_STATUS	[7:0]	RDY	ADC_ERR	CRC_ERR	保留			CHAN_ID		0x80	R	
0x1	ADC_MODE	[15:8]	REF_EN	保留				Delay			0x0000	RW	
		[7:0]	保留	模式		CLK_SEL		保留					
0x2	ADC_INTERFA CE	[15:8]	保留									0x0000	RW
		[7:0]	保留	DATA_STA T	保留		CRC_EN		保留	WL16			
0x3	ADC_CONFIG	[15:8]	保留			BI_UNIPOLAR	REFIN_BUFF		AIN_BUFF		0x1340	RW	
		[7:0]	保留	BIT_6	REF_SEL		CHAN_EN_3	CHAN_EN_2	CHAN_EN_1	CHAN_EN_0			
0x4	数据	[23:16]	DATA[23:16]									0x000000	R
		[15:8]	DATA[15:8]										
		[7:0]	DATA[7:0]										
0x5	滤波器	[15:8]	保留				EN_ENHAN CEFILT	SEL_ENHANCEFILT			0x0500	RW	
		[7:0]	保留	Order		ODR							
0x6	ADC_GPIO_C ONFIG	[15:8]	保留				SYNC_EN	ERR_EN		保留	0x0800	RW	
		[7:0]	保留										
0x7	ID	[15:8]	ID[15:8]									0x98DX	R
		[7:0]	ID[7:0]										
0x8	ADC_OFFSET0	[23:16]	OFFSET0[23:16]									0x800000	RW
		[15:8]	OFFSET0[15:8]										
		[7:0]	OFFSET0[7:0]										
0x9	ADC_OFFSET1	[23:16]	OFFSET1[23:16]									0x800000	RW
		[15:8]	OFFSET1[15:8]										
		[7:0]	OFFSET1[7:0]										
0xA	ADC_OFFSET2	[23:16]	OFFSET2[23:16]									0x800000	RW
		[15:8]	OFFSET2[15:8]										
		[7:0]	OFFSET2[7:0]										
0xB	ADC_OFFSET3	[23:16]	OFFSET3[23:16]									0x800000	RW
		[15:8]	OFFSET3[15:8]										
		[7:0]	OFFSET3[7:0]										
0xC	ADC_GAIN0	[23:16]	GAIN0[23:16]									0x5XXXX0	RW
		[15:8]	GAIN0[15:8]										
		[7:0]	GAIN0[7:0]										
0xD	ADC_GAIN1	[23:16]	GAIN1[23:16]									0x5XXXX0	RW
		[15:8]	GAIN1[15:8]										
		[7:0]	GAIN1[7:0]										
0xE	ADC_GAIN2	[23:16]	GAIN2[23:16]									0x5XXXX0	RW
		[15:8]	GAIN2[15:8]										
		[7:0]	GAIN2[7:0]										
0xF	ADC_GAIN3	[23:16]	GAIN3[23:16]									0x5XXXX0	RW
		[15:8]	GAIN3[15:8]										
		[7:0]	GAIN3[7:0]										

ADC寄存器描述**ADC_STATUS寄存器**

地址：0x0；复位：0x80；名称：ADC_STATUS

ADC_STATUS寄存器是一个8位只读寄存器，包含ADC和串行接口状态信息。通过设置ADC_INTERFACE寄存器（地址0x2）的位6，应用便可将该寄存器的内容附加到数据寄存器。选择此选项时，ADC_STATUS寄存器的内容将随每个ADC转换结果自动读取。

表38. ADC_STATUS寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
7	RDY		数据就绪。当CS为低电平且不在读取寄存器时，RDY位的状态位将输出到DOUT/RDY引脚。在ADC将新结果写入数据寄存器后，此位变为低电平。在ADC校准模式下，当ADC写入校准结果后，此位变为低电平。RDY在读取数据寄存器时自动变为高电平。 0 新的ADC数据结果可用。 1 等待新数据结果。	0x1	R
6	ADC_ERR		此位默认指示是否发生ADC超量程或欠量程事件。发生超量程错误时，ADC结果箱位至0xFFFFF；发生欠量程错误时，ADC结果箱位至0x000000。此位在写入ADC结果时更新，在消除超量程或欠量程状况后的下一次更新时清0。写入ADC_MODE寄存器或置位SYNC引脚也能清除此位。如果配置为输入，该位也可用于指示错误引脚的状态（参见“错误引脚”部分）。 0 无错误。 1 错误。	0x0	R
5	CRC_ERR		CRC校验和错误。在对ADC寄存器映射执行寄存器写操作期间，当发生CRC错误时，该位置1。（对于寄存器读操作，主机微控制器确定是否发生了CRC错误。）读取此寄存器时，该位置0。 0 无错误。 1 通信期间发生错误。	0x0	R
[4:2]	保留		保留。	0x0	R
[1:0]	CHAN_ID		最后一个ADC结果的通道ID。这些位指示数据寄存器中当前存储的结果所对应的ADC转换通道。此值可能与当前正在转换的通道不同。 00 通道0（高压通道）：AIN(+) – AIN(-)。 01 通道1（低压通道）：AIN1(LV) – AIN2(LV)。 10 通道2（低压通道）：AIN1(LV) – AINCOM(LV)。 11 通道3（低压通道）：AIN2(LV) – AINCOM(LV)。	0x0	R

ADC_MODE寄存器

地址：0x1；复位：0x0000；名称：ADC_MODE

ADC_MODE寄存器控制ADC的转换模式，开启内部基准电压源，并选择ADC采样时钟源。写入该寄存器会复位数字滤波器和ADC_STATUS寄存器的RDY位，并开始新的转换。

在器件初始化例程中，应用软件必须写入该寄存器以将位[3:2]设置为01。此写操作是确保AFE和ADC与同一时钟同步所必需的。

表39. ADC_MODE寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
15	REF_EN		内部基准电压源使能。 0 禁用。 1 使能，缓冲输出到REFOUT引脚。	0x0	RW
[14:11]	保留		保留。	0x0	R

位	位名称	设置	描述	复位	访问类型
[10:8]	Delay	000 关闭（无延迟）。 001 1个周期（1个周期 = 8μs）。 010 4个周期。 011 10个周期。 100 25个周期。 101 50个周期。 110 125个周期。 111 250个周期。	转换延迟。如果应用遍历一个通道序列以进行ADC转换，则每次切换的模拟输入都有一个建立时间与之相关联。这些位允许用户配置一个加在通道切换后的延迟时间。该延迟为外部电路的建立提供时间，然后ADC开始处理其输入。该延迟允许ADC的数据速率保持在所需的更新速率，而对转换结果分辨率只有很小的影响。根据输出数据速率正确选择延迟可以最大限度地降低对分辨率的影响。当抑制50 Hz/60 Hz干扰时，此功能无效。	0x0	RW
7	保留		保留。	0x0	R
[6:4]	模式	000 连续转换。ADC以选定转换速率连续转换所选输入通道，或者如果使能了多个通道，则周而复始地按顺序转换各个通道。 001 单次转换。对选定的一个或多个通道执行单次转换。完成操作序列后，ADC返回待机模式。 010 待机模式。 011 关断模式。所有ADC模块都关断，寄存器丢失其内容。如果先前的模式设置为待机模式，则ADC只能进入关断模式。要退出关断模式，需要复位SPI接口，请参见“复位AD4110-1”部分。 100 保留 101 保留 110 系统失调（零电平）校准。此模式将施加的模拟输入用作零电平点来执行失调校准。校准结果存储在通道的相应失调寄存器中，然后ADC进入待机模式。此校准可消除整个通道中存在的任何失调误差。一次只能选择一个通道进行失调校准。详细说明参见“自动校准模式”部分。请注意，此校准方法仅对一种PGA增益设置有效，如果PGA增益发生变化，必须重复进行校准。 111 系统增益（满量程）校准。此模式将施加的模拟输入用作满量程点来执行增益校准。校准结果存储在通道的相应增益寄存器中，然后ADC进入待机模式。此校准可消除整个通道中存在的任何增益误差。一次只能选择一个通道进行增益校准。详细说明参见“自动校准模式”部分。请注意，此校准方法仅对一种PGA增益设置有效，如果PGA增益发生变化，必须重复进行校准。	ADC转换模式。这些位控制ADC的工作模式。	0x0	RW
[3:2]	CLK_SEL	00 内部时钟 01 连接到CLKIO引脚的内部时钟（AFE需要）。 10 来自CLKIO引脚的外部时钟。 11 保留。	时钟源选择。这些位选择ADC时钟源。	0x0	RW
[1:0]	保留		保留。	0x0	R

ADC_INTERFACE寄存器**地址：0x2；复位：0x0000；名称：ADC_INTERFACE**

ADC_INTERFACE寄存器用于使能ADC的CRC校验和模式。要使能CRC校验和模式，必须设置该寄存器的位[3:2]，以及AFE_CNTRL1寄存器的位[14:13]（参见表27）。ADC_INTERFACE寄存器还用于使能将ADC_STATUS寄存器内容附加到ADC转换结果，并将转换数据长度设置为16位，而非默认的24位。

表40. ADC_INTERFACE寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
7	保留		保留。	0x0	R
6	DATA_STAT	0 禁用。 1 使能。	将状态寄存器内容附加到转换结果。若该位置1，则在读取转换结果时，ADC_STATUS寄存器的内容会附加到数据寄存器中。这样，通道和状态信息即与数据一起传输。使用此选项是确保从状态寄存器读出的通道位与数据寄存器中的数据对应的唯一方式。	0x0	RW
[5:4]	保留		保留。	0x0	R
[3:2]	CRC_EN	00 禁用。 01 对读操作为8位XOR校验和，对写操作为8位CRC。 10 对读和写操作均为8位CRC。 11 保留。	CRC校验和使能。这些位使能寄存器读写的CRC保护。CRC会将串行接口传输的字节数加1。	0x0	RW
1	保留		保留。	0x0	R
0	WL16	0 转换结果为24位长。 1 转换结果为16位长。	数据字长（24或16位）。默认情况下，AD4110-1产生24位转换结果。该位置1时，数据寄存器的宽度减少到16位，所有数据转换结果都舍入为16位。此位设置为1后，ADC结果不会立即舍入到正确的字长（写入ADC_INTERFACE寄存器不会复位ADC）。第一个新的ADC结果为16位宽。	0x0	RW

ADC_CONFIG寄存器**地址：0x3；复位：0x1340；名称：ADC_CONFIG**

ADC_CONFIG寄存器配置ADC的输出编码以及基准电压和模拟输入缓冲器，并选择基准电压源。此寄存器还用于使能和禁用通道。建议成对使能或禁用REFIN_BUFF和AIN_BUFF正负缓冲器。

表41. ADC_CONFIG寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:13]	保留		保留。	0x0	R
12	BI_UNIPOLAR	0 单极性编码输出（标准二进制）。 1 双极性编码输出（偏移二进制）。	单极性或双极性输出编码。	0x1	RW
[11:10]	REFIN_BUFF	00 禁用输入缓冲器。 01 仅使能负输入缓冲器。 10 仅使能正输入缓冲器。 11 使能完全缓冲。	基准电压输入缓冲器配置。	0x0	RW

位	位名称	设置	描述	复位	访问类型
[9:8]	AIN_BUFF	00 禁用输入缓冲器。 01 仅使能负输入缓冲器。 10 仅使能正输入缓冲器。 11 使能完全缓冲。		0x3	RW
7	保留		保留。	0x0	R
6	BIT_6		此位置1。	0x1	RW
[5:4]	REF_SEL	00 外部基准电压连接到REFIN(+)/REFIN(-)引脚。 01 保留。 10 2.5 V内部基准电压源。 11 AVDD5和AGND。	基准电压源选择。如果选择内部基准电压源, 则还必须设置ADC_MODE寄存器 (地址0x1) 的REF_EN位 (位15)。	0x0	RW
3	CHAN_EN_3	0 禁用。 1 使能。	使能通道3 (低压通道): AIN2(LV) – AINCOM(LV)。	0x0	RW
2	CHAN_EN_2	0 禁用。 1 使能。	使能通道2 (低压通道): AIN1(LV) – AINCOM(LV)。	0x0	RW
1	CHAN_EN_1	0 禁用。 1 使能。	使能通道1 (低压通道): AIN1(LV) – AIN2(LV)。	0x0	RW
0	CHAN_EN_0	0 禁用。 1 使能。	使能通道0 (高压通道): AIN(+) – AIN(-)。当位[3:0] = 00时, 通道0自动使能。	0x0	RW

数据寄存器

地址: 0x4; 复位: 0x000000; 名称: 数据

只读数据寄存器包含ADC转换结果。读取数据寄存器会让RDY位和DOUT/RDY引脚变为高电平。ADC结果可以多次读取。然而, 在RDY位和DOUT/RDY引脚变为高电平后, 无法确定下一ADC结果是否即将到来。若当前正在读取数据寄存器, ADC不会将新结果写入数据寄存器。

表42. 数据寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[23:0]	数据		ADC转换结果。如果ADC_INTERFACE寄存器的DATA_STAT位置1, 则读取该寄存器时会附加ADC_STATUS寄存器的内容, 使其成为32位寄存器。如果ADC_INTERFACE寄存器的WL16位置1, 则该寄存器舍入为16位。	0x0	R

滤波器寄存器**地址：0x5；复位：0x0500；名称：滤波器**

滤波器寄存器配置ADC数据速率和滤波器选项。写入滤波器寄存器会复位任何正在进行的ADC转换，并从序列中的第一个通道重新开始转换。AD4110-1提供四个滤波器寄存器，允许高压通道和三个低压通道选择不同的输出数据速率。这些滤波器寄存器共享同一存储器地址。因此，当写入滤波器寄存器时，其内容会被复制到ADC_CONFIG寄存器的位[3:0]选择的每个有效通道的滤波器寄存器中（参见表41）。

表43. 滤波器寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:12]	保留		保留。	0x0	R
11	EN_ENHANCEFILT	0 1	使能增强型滤波器。允许应用优化50 Hz和60 Hz同时抑制，同时缩短建立时间。 禁用增强型50 Hz/60 Hz滤波器。 使能增强型50 Hz/60 Hz滤波器。	0x0	RW
[10:8]	SEL_ENHANCEFILT	000 001 010 011 100 101 110 111	选择增强型滤波器模式以实现50 Hz/60 Hz抑制。 保留。 保留。 ODR = 27.27 SPS，建立时间 = 36.7 ms。 ODR = 25 SPS，建立时间 = 40 ms。 ODR = 20.67 SPS，建立时间 = 48.4 ms。 ODR = 20 SPS，建立时间 = 50 ms。 ODR = 16.67 SPS，建立时间 = 60 ms。 保留。	0x5	RW
7	保留		保留。	0x0	R
[6:5]	Order	00 01 10 11	滤波器阶数。 Sinc5 + sinc1（快速建立滤波器）。 保留。 保留。 Sinc3滤波器。	0x0	RW
[4:0]	ODR		输出数据速率。	0x0	RW
			Sinc3滤波器		
		00000	125.0 kSPS（默认设置）		
		00001	125.0 kSPS		
		00010	62.5 kSPS		
		00011	62.5 kSPS		
		00100	31.25 kSPS		
		00101	25.0 kSPS		
		00110	15.625 kSPS		
		00111	10.417 kSPS		
		01000	5.0 kSPS		
		01001	2.5 kSPS		
		01010	1.0 kSPS		
		01011	500 SPS		
		01100	400.6 SPS		
		01101	200 SPS		
		01110	100.2 SPS		
		01111	60 SPS		
		10000	50 SPS		
		10001	20.0 SPS		
		10010	16.7 SPS		
		10011	10.0 SPS		
		10100	5.0 SPS		
			Sinc5 + Sinc1滤波器		
			125.0 kSPS（默认设置）		
			125.0 kSPS		
			62.5 kSPS		
			62.5 kSPS		
			31.25 kSPS		
			25.0 kSPS		
			15.625 kSPS		
			10.390 kSPS		
			4.994 kSPS		
			2.498 kSPS		
			1.0 kSPS		
			500 SPS		
			395.5 SPS		
			200 SPS		
			100.2 SPS		
			59.87 SPS		
			49.92 SPS		
			20.0 SPS		
			16.7 SPS		
			10.0 SPS		
			5.0 SPS		

ADC_GPIO_CONFIG寄存器

地址：0x6；复位：0x0800；名称：ADC_GPIO_CONFIG

ADC_GPIO_CONFIG寄存器控制ADC的通用I/O引脚：SYNC和ERR。

表44. ADC_GPIO_CONFIG寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:12]	保留		保留。	0x0	R
11	SYNC_EN	0 禁用。 1 使能。	SYNC引脚使能。设置此位允许SYNC引脚将ADC或滤波器保持在复位状态。该引脚可用于同步多个器件的转换开始时间。	0x1	RW
[10:9]	ERR_EN	00 禁用。 01 输入。ERR引脚和内部ADC错误位与ADC_STATUS寄存器的ADC_ERR位提供的结果的逻辑“或”。此模式可用于将AFE和ADC错误合并到ADC_ERR位中。 10 输出（开漏低电平有效）。 11 保留。	ERR引脚模式选择。	0x0	RW
8	保留		保留。	0x0	R
[7:0]	保留		保留。	0x0	R

ID寄存器

地址：0x7；复位：0x98DX；名称：ID

只读ID寄存器返回16位器件ID。对于AD4110-1，该值为0x98DX。

表45. ID寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	ID	0x98DX	器件产品标识号。 AD4110-1（其中X为ADC芯片版本）。	0x98DX	R

ADC_OFFSET0寄存器

地址：0x8；复位：0x800000；名称：ADC_OFFSET0

ADC_OFFSET0寄存器配置通道0（高压通道，AIN(+) – AIN(-)输入）的失调。

表46. ADC_OFFSET0寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[23:0]	OFFSET0		失调数据值。	0x800000	RW

ADC_OFFSET1寄存器

地址：0x9；复位：0x800000；名称：ADC_OFFSET1

ADC_OFFSET1寄存器配置通道1（低压通道，AIN1(LV) – AIN2(LV)输入）的失调。

表47. ADC_OFFSET1寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[23:0]	OFFSET1		失调数据值。	0x800000	RW

ADC_OFFSET2寄存器

地址：0xA；复位：0x800000；名称：ADC_OFFSET2

ADC_OFFSET2寄存器配置通道2（低压通道，AIN1(LV) – AINCOM(LV)输入）的失调。

表48. ADC_OFFSET2寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[23:0]	OFFSET2		失调数据值。	0x800000	RW

ADC_OFFSET3寄存器

地址：0xB；复位：0x800000；名称：ADC_OFFSET3

ADC_OFFSET3寄存器配置通道3（低压通道，AIN2(LV) – AINCOM(LV)输入）的失调。

表49. ADC_OFFSET3寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[23:0]	OFFSET3		失调数据值。	0x800000	RW

ADC_GAIN0寄存器

地址：0xC；复位：0x5XXXX0；名称：ADC_GAIN0

ADC_GAIN0寄存器配置通道0（高压通道，AIN(+) – AIN(-)输入）的增益。

表50. ADC_GAIN0寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[23:0]	GAIN0		增益数据值。	0x5XXXX0	RW

ADC_GAIN1寄存器

地址：0xD；复位：0x5XXXX0；名称：ADC_GAIN1

ADC_GAIN1寄存器配置通道1（低压通道，AIN1(LV) – AIN2(LV)输入）的增益。

表51. ADC_GAIN1寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[23:0]	GAIN1		增益数据值。	0x5XXXX0	RW

ADC_GAIN2寄存器

地址：0xE；复位：0x5XXXX0；名称：ADC_GAIN2

ADC_GAIN2寄存器配置通道2（低压通道，AIN1(LV) – AINCOM(LV)输入）的增益。

表52. ADC_GAIN2寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[23:0]	GAIN2		增益数据值。	0x5XXXX0	RW

ADC_GAIN3寄存器

地址：0xF；复位：0x5XXXX0；名称：ADC_GAIN3

ADC_GAIN3寄存器配置通道3（低压通道，AIN2(LV) – AINCOM(LV)输入）的增益。

表53. ADC_GAIN3寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[23:0]	GAIN3		增益数据值。	0x5XXXX0	RW

外形尺寸

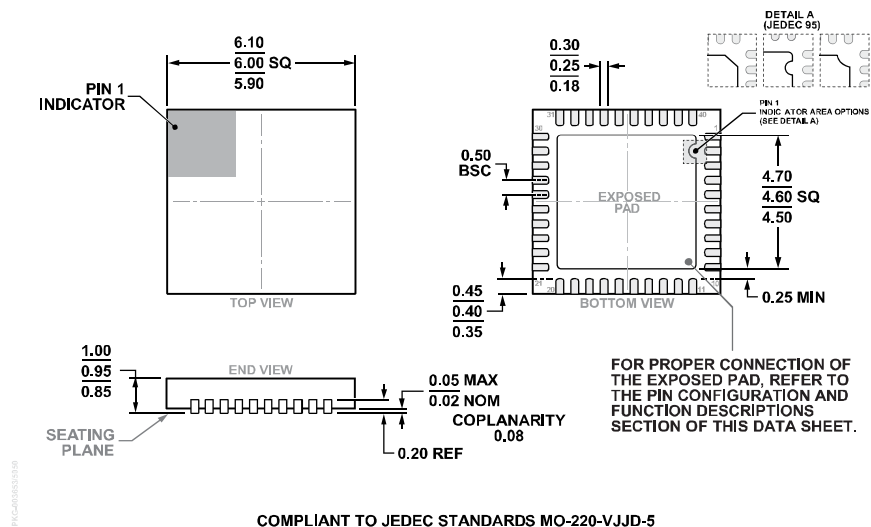


图75. 40引脚引线框芯片级封装[LFCSP]
6 mm × 6 mm本体、0.95 mm封装高度
(CP-40-15)
尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD4110-1BCPZ	-40°C至+105°C	40引脚引线框芯片级封装[LFCSP]	CP-40-15
AD4110-1BCPZ-RL	-40°C至+105°C	40引脚引线框芯片级封装[LFCSP]	CP-40-15
AD4110-1BCPZ-RL7	-40°C至+105°C	40引脚引线框芯片级封装[LFCSP]	CP-40-15

¹ Z = 符合RoHS标准的器件。

