

产品特性

8通道LNA、VGA、AAF、ADC与I/Q解调器

低噪声前置放大器(LNA)

折合到输入端噪声：典型值0.75 nV/√Hz(5 MHz，增益为21.3 dB)

SPI可编程增益：15.6 dB/17.9 dB/21.3 dB

单端输入： V_{in} 最大值=733 mV p-p/550 mV p-p/367 mV p-p

双模式有源输入阻抗匹配

带宽(BW)：>100 MHz

满量程(FS)输出：4.4 V p-p差分

可变增益放大器(VGA)

衰减器范围：-42 dB至0 dB

后置放大器增益：21 dB/24 dB/27 dB/30 dB

线性dB增益控制

抗混叠滤波器(AAF)

可编程二阶LPF范围：8 MHz至18 MHz

可编程HPF

模数转换器(ADC)

10 MSPS至80 MSPS时为12位

信噪比(SNR)：70 dB

无杂散动态范围(SFDR)：75 dB

串行LVDS(ANSI-644, IEEE 1596.3缩小范围链路)

数据时钟输出和帧时钟输出

CW模式I/Q解调器

独立可编程相位旋转

每个通道的输出动态范围：>160 dBFS/√Hz

低功耗：在12位/40 MSPS (TGC)时，每个通道为195 mW；在

CW多普勒模式下，每个通道为94 mW

灵活的省电模式

过载恢复时间：<10 ns

可从低功耗待机模式快速恢复：<2 μs

100引脚TQFP_EP封装

应用

医疗成像/超声

汽车雷达

产品特点

1. 小尺寸。

一个小型封装中集成8个通道，节省空间。完整的TGC路径、ADC和I/Q解调器集成在100引脚、16 mm × 16 mm TQFP封装内。

2. 低功耗。

在TGC模式下，40 MSPS时每个通道功耗较低，为195 mW。

在CW模式下，每个通道功耗超低，仅为94 mW。

3. 集成具有相位旋转的高动态范围I/Q解调器。

4. 易于使用。

数据时钟输出(DCO±)的工作频率高达480 MHz，支持双倍数据速率(DDR)操作。

5. 使用灵活。

串行端口接口(SPI)控制提供丰富灵活的特性，可满足各种特定系统的需求。

6. 集成二阶抗混叠滤波器。

该滤波器位于ADC之前，可编程范围为8 MHz至18 MHz。

功能框图

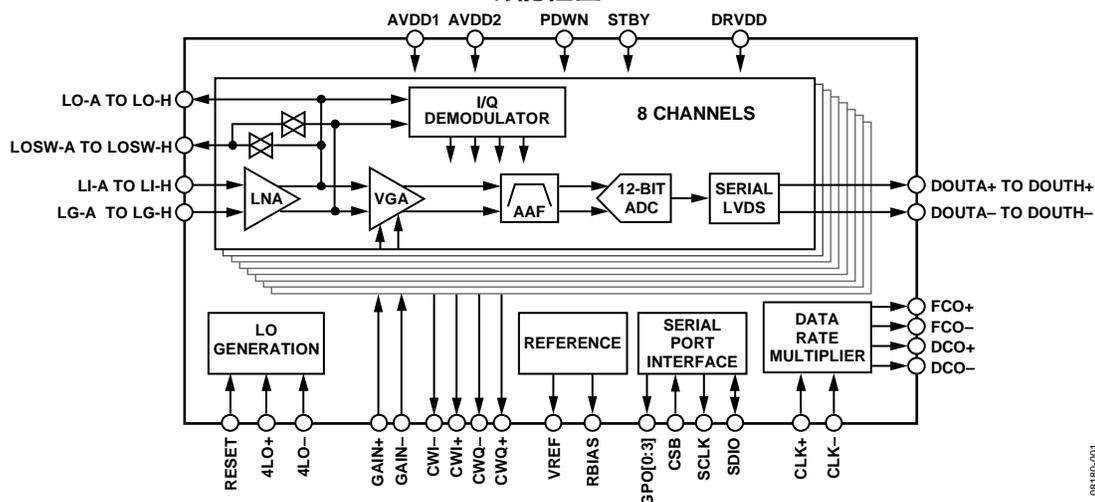


图1.

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

www.analog.com

Fax: 781.461.3113

©2009 Analog Devices, Inc. All rights reserved.

目录

产品特性	1	超声	21
应用	1	通道概述	22
产品特点	1	输入过驱	25
功能框图	1	CW多普勒操作	25
修订历史	2	TGC操作	29
概述	3	ADC	33
技术规格	4	时钟输入考虑	33
交流规格	4	数字输出和时序	35
数字规格	7	串行端口接口(SPI)	39
开关规格	8	硬件接口	40
ADC时序图	9	存储器映射	41
绝对最大额定值	10	读取存储器映射表	41
热阻	10	保留位置	41
ESD警告	10	默认值	41
引脚配置和功能描述	11	逻辑电平	41
典型性能参数	14	应用信息	45
TGC模式	14	电源和接地建议	45
CW多普勒模式	17	裸露焊盘散热块建议	45
等效电路	19	外形尺寸	46
工作原理	21	订购指南	46

修订历史

2009年7月-修订版0: 初始版

概述

AD9276针对低成本、低功耗、小尺寸及易于使用的应用而设计。它内置八通道的可变增益放大器(VGA)、低噪声前置放大器(LNA)、抗混叠滤波器(AAF)、12位10 MSPS至80 MSPS模数转换器(ADC)以及具有可编程相位旋转的I/Q解调器。

每个通道均具有42 dB的可变增益范围、完全差分信号路径、有源输入前置放大器终端、最大52 dB的增益以及转换速率高达80 MSPS的ADC。通道专门针对动态范围与低功耗而优化，适合要求小封装尺寸的应用。

LNA具有单端转差分增益，可以通过SPI进行选择。增益为21.3 dB时，LNA输入噪声典型值为 $0.75 \text{ nV}/\sqrt{\text{Hz}}$ ；在最大增益下，所有通道的折合到输入端噪声为 $0.85 \text{ nV}/\sqrt{\text{Hz}}$ 。假设噪声带宽为15 MHz且LNA增益为21.3 dB，则输入信噪比(SNR)约为92 dB。在CW多普勒模式下，各LNA输出驱动一个I/Q解调器。各解调器具有16种相位设置，可以通过SPI实现独立可编程相位旋转。

AD9276要求采用LVPECL/CMOS/LVDS兼容型采样速率时钟信号，以便充分发挥其工作性能。无需外部基准电压源或驱动器件即可满足许多应用需求。

该ADC会自动倍乘采样速率时钟，以便产生合适的LVDS串行数据速率。它提供一个数据时钟(DCO \pm)用于在输出端捕获数据，以及一个帧时钟(FCO \pm)触发器用于发送新输出字节信号。

各通道可单独进入掉电模式，从而延长便携式应用的电池使用时间。利用待机模式选项可以快速上电，以便开机重启。以CW多普勒模式工作时，VGA、AAF和ADC均进入省电模式。TGC路径的功耗与可选ADC速度功耗模式成正比。

ADC内置多种功能特性，例如可编程时钟、数据对准、生成可编程数字测试码等，可使器件的灵活性达到最佳、系统成本降至最低。数字测试码包括内置的固定码和伪随机码，以及通过串行端口接口输入的用户自定义测试码。

AD9276采用先进的CMOS工艺制造，提供 $16 \text{ mm} \times 16 \text{ mm}$ 、符合RoHS标准的100引脚TQFP封装。额定温度范围为 -40°C 至 $+85^\circ\text{C}$ 工业温度范围。

技术规格

交流规格

除非另有说明, AVDD1 = 1.8 V, AVDD2 = 3.0 V, DRVDD = 1.8 V, 1.0 V内部ADC基准电压源, $f_{IN} = 5$ MHz, $R_S = 50 \Omega$, LNA增益 = 21.3 dB, LNA偏置=高, PGA增益 = 27 dB, GAIN- = 0.8 V, AAF LPF截止频率 = $f_{SAMPLE}/3$ (模式I/模式II), $f_{SAMPLE}/4.5$ (模式III), HPF截止频率 = LPF截止频率/20.7(默认), 模式I = $f_{SAMPLE} = 40$ MSPS, 模式II = $f_{SAMPLE} = 65$ MSPS, 模式III = $f_{SAMPLE} = 80$ MSPS, 全温度范围, ANSI-644 LVDS模式。

表1.

参数 ¹	测试条件/注释	最小值	典型值	最大值	单位
低噪声放大器参数					
增益	单端输入至差分输出 单端输入至单端输出		15.6/17.9/21.3 9.6/11.9/15.3		dB dB
输入电压范围 (单端)	LNA输出限制为4.4 V p-p 差分输出				
	LNA增益 = 15.6 dB		733		mV p-p
	LNA增益 = 17.9 dB		550		mV p-p
	LNA增益 = 21.3 dB		367		mV p-p
输入共模(LI-x, LG-x)			1.0		V
输出共模(LO-x)			1.5		V
输出共模(LOSW-x)	开关断开 开关闭合		高阻态 1.5		Ω V
输入电阻(LI-x)	$R_{FB} = 250 \Omega$ $R_{FB} = 500 \Omega$ $R_{FB} = \infty$		50 100 15		Ω Ω k Ω
输入电容(LI-x)			22		pF
-3 dB带宽			100		MHz
输入电压噪声	$R_S = 0 \Omega, R_{FB} = \infty$ LNA增益 = 15.6 dB LNA增益 = 17.9 dB LNA增益 = 21.3 dB		0.98 0.86 0.75		nV/ \sqrt{Hz} nV/ \sqrt{Hz} nV/ \sqrt{Hz}
输入电流噪声	$R_{FB} = \infty$		1		pA/ \sqrt{Hz}
输入1 dB压缩点	GAIN+ = 0 V LNA增益 = 15.6 dB LNA增益 = 17.9 dB LNA增益 = 21.3 dB		1.0 0.8 0.5		V p-p V p-p V p-p
噪声系数	$R_S = 50 \Omega$				
匹配有源终端	LNA增益 = 15.6 dB, $R_{FB} = 200 \Omega$ LNA增益 = 17.9 dB, $R_{FB} = 250 \Omega$ LNA增益 = 21.3 dB, $R_{FB} = 350 \Omega$		4.8 4.1 3.2		dB dB dB
终端开路	LNA增益 = 15.6 dB, $R_{FB} = \infty$ LNA增益 = 17.9 dB, $R_{FB} = \infty$ LNA增益 = 21.3 dB, $R_{FB} = \infty$		3.4 2.8 2.3		dB dB dB
全通道(TGC)特征					
AAF低通截止频率 范围内	-3 dB, 可编程	8		18	MHz
范围内AAF带宽容差			± 10		%
群延迟偏差	$f = 1$ MHz至18 MHz, GAIN+ = 0 V至1.6 V		± 0.5		ns
折合到输入端电压噪声	GAIN+ = 1.6 V, $R_{FB} = \infty$ LNA增益 = 15.6 dB LNA增益 = 17.9 dB LNA增益 = 21.3 dB		1.26 1.04 0.85		nV/ \sqrt{Hz} nV/ \sqrt{Hz} nV/ \sqrt{Hz}

参数 ¹	测试条件/注释	最小值	典型值	最大值	单位
噪声系数 有源端接匹配模式I/ 模式II/模式III 终端开路 相关噪声比 输出失调 信噪比(SNR)模式I/ 模式II/模式III 谐波失真模式I/ 模式II/模式III 二次谐波 三次谐波 双音交调(IMD3) 通道间串扰 通道间延迟偏差 PGA增益	GAIN+ = 1.6 V, R _S = 50 Ω LNA增益 = 15.6 dB, R _{FB} = 200 Ω		8.0/7.7/7.6		dB
	LNA增益 = 17.9 dB, R _{FB} = 250 Ω LNA增益 = 21.3 dB, R _{FB} = 350 Ω		6.6/6.2/6.1 4.7/4.5/4.4		dB dB
	LNA增益 = 15.6 dB, R _{FB} = ∞ LNA增益 = 17.9 dB, R _{FB} = ∞ LNA增益 = 21.3 dB, R _{FB} = ∞		4.7 3.7 2.8		dB dB dB
	无信号, 相关/非相关		-30		dB
	f _{IN} = 5 MHz at -10 dBFS, GAIN+ = 0 V f _{IN} = 5 MHz at -1 dBFS, GAIN+ = 1.6 V	-35	65/64/63 57/56/54.5	+35	LSB dBFS
	f _{IN} = 5 MHz at -10 dBFS, GAIN+ = 0 V f _{IN} = 5 MHz at -1 dBFS, GAIN+ = 1.6 V		-62/-58/-55 -60/-61/-58		dBc dBc
	f _{IN} = 5 MHz at -10 dBFS, GAIN+ = 0 V f _{IN} = 5 MHz at -1 dBFS, GAIN+ = 1.6 V		-71/-60/-60 -57/-55/-56		dBc dBc
	f _{RF1} = 5.015 MHz, f _{RF2} = 5.020 MHz, A _{RF1} = 0 dB, A _{RF2} = -20 dB, GAIN+ = 1.6 V, IMD3相对于A _{RF2}		-55		dBc
	f _{IN} = 5 MHz at -1 dBFS 超量程条件 ²		-70 -65		dB dB
	TGC完整路径, f _{IN} = 5 MHz, GAIN+ = 0 V至1.6 V 差分输入至差分输出		0.3 21/24/27/30		度 dB
增益精度 增益法则一致性误差模式I/ 模式II/模式III 线性增益误差 通道间匹配	25°C 0 < GAIN+ < 0.16 V		1.5		dB
	0.16 V < GAIN+ < 1.44 V	-1.5/-1.5/ -1.6		+1.5/+1.5/ +1.6	dB
	1.44 V < GAIN+ < 1.6 V	-1.5/-1.5/ -1.6	-2.5	+1.5/+1.5/ +1.6	dB
	GAIN+ = 0.8 V, 针对理想AAF损耗 进行规格化处理	-1.5		+1.5	dB
	0.16 V < GAIN+ < 1.44 V		0.1		dB
增益控制接口 正常工作范围 增益范围 比例因子 响应时间 GAIN+阻抗 GAIN-阻抗	GAIN+ = 0 V至1.6 V	0 -42		1.6 0	V dB
			28.5		dB/V
	42 dB变化		750		ns
	单端		10		MΩ
	单端		70		kΩ
	CW多普勒模式 LO频率 相位增量 输出直流偏置(单端) 最大输出摆幅 跨导(差分)	f _{LO} = f _{4LO} /4 每通道	1		10
CWI+, CWI-, CWQ+, CWQ- 每个CWI+, CWI-, CWQ+, CWQ-, 每个所使能通道			1.5		V mA
经过解调的I _{OUT} /V _{IN} , 每个I或Q输出 LNA增益 = 15.6 dB LNA增益 = 17.9 dB LNA增益 = 21.3 dB			1.8 2.4 3.5		mA/V mA/V mA/V

AD9276

参数 ¹	测试条件/注释	最小值	典型值	最大值	单位
折合到输入端电压噪声	$R_S = 0 \Omega$, $R_{FB} = \infty$ LNA增益 = 15.6 dB LNA增益 = 17.9 dB LNA增益 = 21.3 dB		1.5 1.4 1.3		nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$
噪声系数	$R_S = 50 \Omega$, $R_{FB} = \infty$ LNA增益 = 15.6 dB LNA增益 = 17.9 dB LNA增益 = 21.3 dB		5.7 5.3 4.8		dB dB dB
折合到输入端动态范围	$R_S = 0 \Omega$, $R_{FB} = \infty$ LNA增益 = 15.6 dB LNA增益 = 17.9 dB LNA增益 = 21.3 dB		164 162 160		dBFS/ $\sqrt{\text{Hz}}$ dBFS/ $\sqrt{\text{Hz}}$ dBFS/ $\sqrt{\text{Hz}}$
折合到输出端信噪比	-3 dBFS输入, $f_{RF} = 2.5 \text{ MHz}$, $f_{4LO} = 10 \text{ MHz}$, 1 kHz偏移		155		dBc/ $\sqrt{\text{Hz}}$
双音交调(IMD3)	$f_{RF1} = 5.015 \text{ MHz}$, $f_{RF2} = 5.020 \text{ MHz}$, $f_{4LO} = 20 \text{ MHz}$, $A_{RF1} = 0 \text{ dB}$, $A_{RF2} = -20 \text{ dB}$, IMD3相对于 A_{RF2}		-58		dB
正交相位误差	I至Q, 所有相位, 1σ		0.15		度
I/Q幅度不平衡	I至Q, 所有相位, 1σ		0.015		dB
通道间匹配	I至I, Q至Q相位, 1σ		0.5		度
	I至I, Q至Q幅度, 1σ		0.25		dB
电源					
模式I/模式II/模式III					
AVDD1		1.7	1.8	1.9	V
AVDD2		2.7	3.0	3.6	V
DRVDD		1.7	1.8	1.9	V
I_{AVDD1}	TGC模式		190/263/317		mA
	CW多普勒模式		15		mA
I_{AVDD2}	TGC模式, 无信号		365		mA
	CW多普勒模式, 每个所使能通道, 无信号		30		mA
I_{DRVDD}			49/51/52		mA
总功耗 (包括输出驱动器)	TGC模式, 无信号		1560/1690/ 1780	1800/1940/ 2050	mW
	CW多普勒模式, 且使能8个通道, 无信号		750		mW
关断功耗				5	mW
待机功耗				175/200/210	mW
电源抑制比 (PSRR)			1.6		mV/V
ADC分辨率			12		位
ADC基准电压					
输出电压误差	$V_{REF} = 1 \text{ V}$			± 20	mV
负载调整(1.0 mA)	$V_{REF} = 1 \text{ V}$		2		mV
输入电阻			6		k Ω

¹ 如需了解完整的定义以及这些测试的实现方式, 请参阅应用笔记AN-835: “了解高速ADC测试和评估”。

² 超量程条件规定为超出满量程输入范围6 dB。

数字规格

除非另有说明，AVDD1 = 1.8 V，AVDD2 = 3.0 V，DRVDD = 1.8 V，1.0 V内部ADC基准电压， $f_{IN} = 5$ MHz，整个温度范围。

表2.

参数 ¹	温度	最小值	典型值	最大值	单位
时钟输入(CLK+、CLK-)					
逻辑兼容			CMOS/LVDS/LVPECL		
差分输出电压 ²	全	250			mV p-p
输入共模电压	全		1.2		V
输入电阻(差分)	25°C		20		kΩ
输入电容	25°C		1.5		pF
CW 4LO输入(4LO+、4LO-)					
逻辑兼容			CMOS/LVDS/LVPECL		
差分输出电压 ²	全	250			mV p-p
输入共模电压	全		1.2		V
输入电阻(差分)	25°C		20		kΩ
输入电容	25°C		1.5		pF
逻辑输入(PDWN、STBY、SCLK、RESET)					
逻辑1电压	全	1.2		3.6	V
逻辑0电压	全			0.3	V
输入电阻	25°C		30		kΩ
输入电容	25°C		0.5		pF
逻辑输入(CSB)					
逻辑1电压	全	1.2		3.6	V
逻辑0电压	全			0.3	V
输入电阻	25°C		70		kΩ
输入电容	25°C		0.5		pF
逻辑输入(SDIO)					
逻辑1电压	全	1.2		DRVDD + 0.3	V
逻辑0电压	全	0		0.3	V
输入电阻	25°C		30		kΩ
输入电容	25°C		2		pF
逻辑输出(SDIO) ³					
逻辑1电压($I_{OH} = 800 \mu A$)	全		1.79		V
逻辑0电压($I_{OL} = 50 \mu A$)	全			0.05	V
数字输出(DOUTx+、DOUTx-), (ANSI-644) ¹					
逻辑兼容			LVDS		
差分输出电压(V_{OD})	全	247		454	mV
输出失调电压(V_{OS})	全	1.125		1.375	V
输出编码(默认)			偏移二进制		
数字输出(DOUTx+、DOUTx-), (低功耗、减少信号选项) ¹					
逻辑兼容			LVDS		
差分输出电压(V_{OD})	全	150		250	mV
输出失调电压(V_{OS})	全	1.10		1.30	V
输出编码(默认)			偏移二进制		
逻辑输出(GPO0、GPO1、GPO2、GPO3)					
逻辑0电压($I_{OL} = 50 \mu A$)	全			0.05	V

¹ 如需了解完整的定义以及这些测试的实现方式，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

² 仅针对LVDS和LVPECL。

³ 针对共用同一连接的13个SDIO引脚。

AD9276

开关规格

除非另有说明，AVDD1 = 1.8 V，AVDD2 = 3.0 V，DRVDD = 1.8 V，1.0 V内部ADC基准电压， $f_{IN} = 5$ MHz，整个温度范围。

表3.

参数 ¹	温度	最小值	典型值	最大值	单位
时钟 ²					
时钟速率					
40 MSPS(模式I)	全	10		40	MHz
65 MSPS(模式II)	全	10		65	MHz
80 MSPS(模式III)	全	10		80	MHz
时钟脉冲宽度高电平(t_{EH})	全		6.25		ns
时钟脉冲宽度低电平(t_{EL})	全		6.25		ns
输出参数 ^{2,3}					
传播延迟(t_{PD})	全	$(t_{SAMPLE}/2) + 1.5$	$(t_{SAMPLE}/2) + 2.3$	$(t_{SAMPLE}/2) + 3.1$	ns
上升时间(t_R)(20%至80%)	全		300		ps
下降时间(t_F)(20%至80%)	全		300		ps
FCO传播延迟(t_{FCO})	全	$(t_{SAMPLE}/2) + 1.5$	$(t_{SAMPLE}/2) + 2.3$	$(t_{SAMPLE}/2) + 3.1$	ns
DCO传播延迟(t_{CPD}) ⁴	全		$t_{FCO} + (t_{SAMPLE}/24)$		ns
DCO至数据延迟(t_{DATA}) ⁴	全	$(t_{SAMPLE}/24) - 300$	$(t_{SAMPLE}/24)$	$(t_{SAMPLE}/24) + 300$	ps
DCO至FCO延迟(t_{FRAME}) ⁴	全	$(t_{SAMPLE}/24) - 300$	$(t_{SAMPLE}/24)$	$(t_{SAMPLE}/24) + 300$	ps
数据至数据偏斜($t_{DATA-MAX} - t_{DATA-MIN}$)	全		± 100	± 350	ps
唤醒时间(待机模式), GAIN+ = 0.5 V	25°C		2		μ s
唤醒时间(省电模式)	25°C		1		ms
流水线延迟	全		8		时钟周期
孔径					
孔径不确定(抖动)	25°C		<1		ps rms
LO生成					
4LO频率	全	4		40	MHz
LO分频器RESET建立时间 ⁵	全	5			ns
LO分频器RESET保持时间 ⁵	全	5			ns
LO分频器RESET高电平脉冲宽度	全	20			ns

¹ 如需了解完整的定义以及这些测试的实现方式，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

² 可通过SPI进行调整。

³ 将器件焊接在FR-4材料上进行测量。

⁴ $t_{SAMPLE}/24$ 基于位数的一半，因为延迟基于一半的占空比。

⁵ RESET沿至4LO上升沿。

ADC时序图

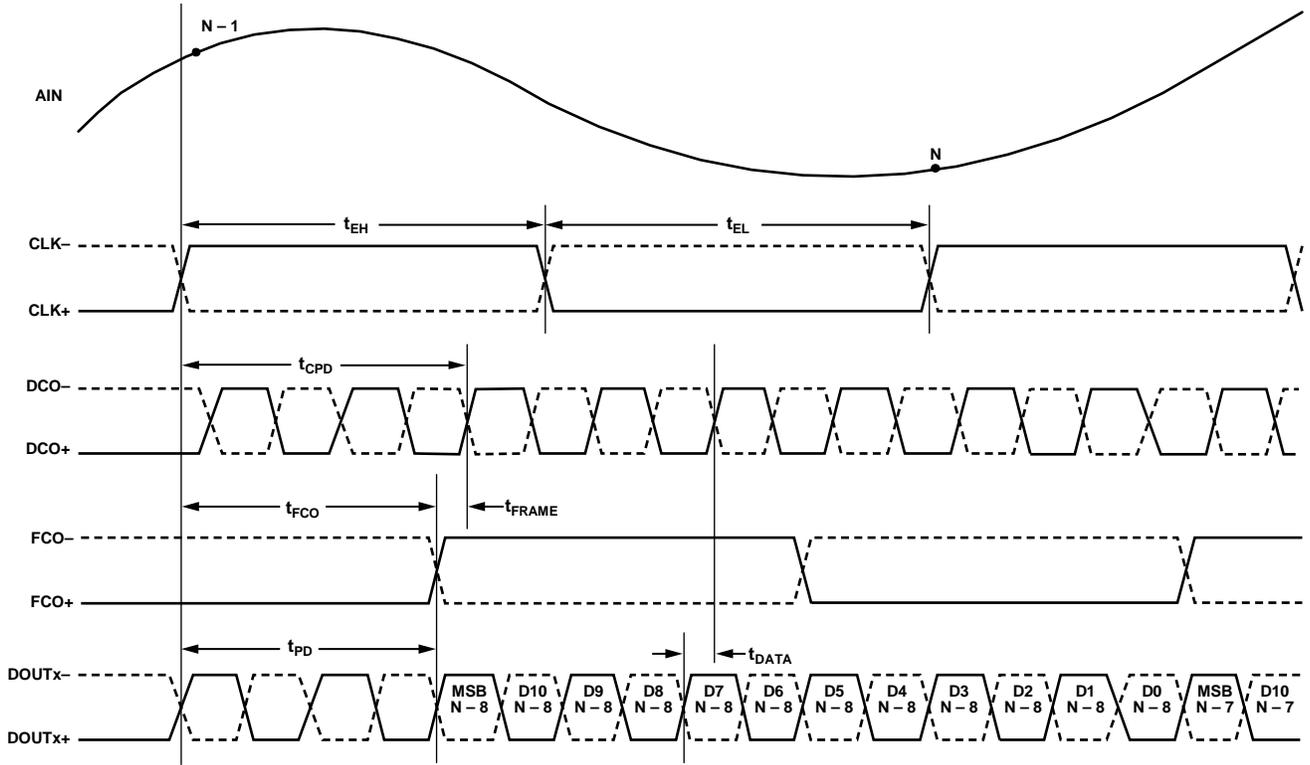


图2.12位数据串行流(默认)

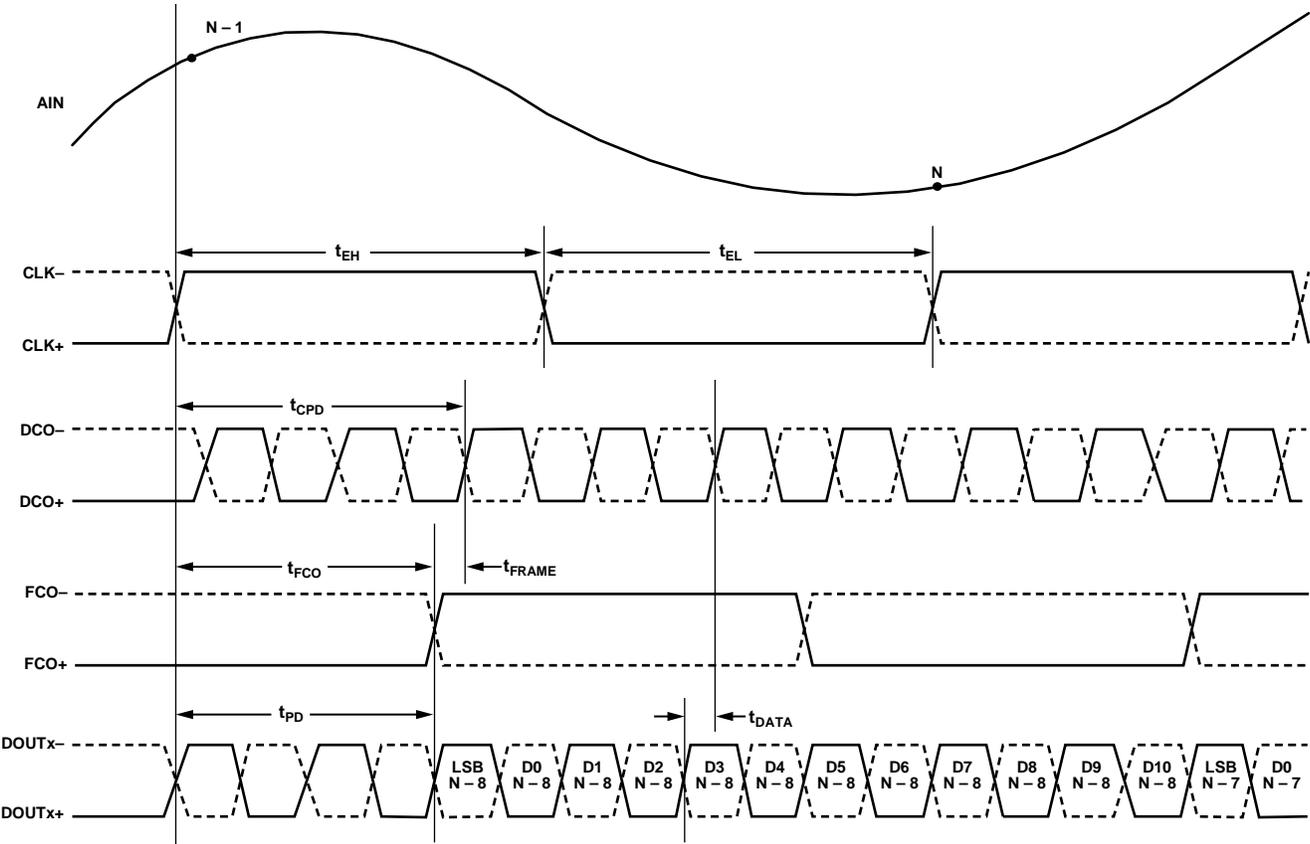


图3.12位数据串行流, LSB优先

绝对最大额定值

表4.

参数	额定值
AVDD1至GND	-0.3 V至+2.0 V
AVDD2至GND	-0.3 V至+3.9 V
DRVDD至GND	-0.3 V至+2.0 V
GND至GND	-0.3 V至+0.3 V
AVDD2至AVDD1	-2.0 V至+3.9 V
AVDD1至DRVDD	-2.0 V至+2.0 V
AVDD2至DRVDD	-2.0 V至+3.9 V
数字输出(DOUTx+, DOUTx-, DCO+, DCO-, FCO+, FCO-)至GND	-0.3 V至+2.0 V
CLK+, CLK-, SDIO至GND	-0.3 V至+2.0 V
LI-x, LO-x, LOSW-x至GND	-0.3 V至+3.9 V
CWI-, CWI+, CWQ-, CWQ+至GND	-0.3 V至+3.9 V
PDWN, STBY, SCLK, CSB至GND	-0.3 V至+2.0 V
GAIN+, GAIN-, RESET, 4LO+, 4LO-, GPO0, GPO1, GPO2, GPO3至GND	-0.3 V至+3.9 V
RBIAS, VREF至GND	-0.3 V至+2.0 V
工作温度范围(环境)	-40°C至+85°C
存储温度范围(环境)	-65°C至+150°C
最高结温	150°C
引脚温度(焊接, 10秒)	300°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

表5.

气流速度(m/s)	θ_{JA}^1	θ_{JB}	θ_{JC}	单位
0.0	20.3			°C/W
1.0	14.4	7.6	4.7	°C/W
2.5	12.9			°C/W

¹ θ_{JA} 的测试条件为有实接地层的四层PCB(仿真)。裸露焊盘焊接到PCB。

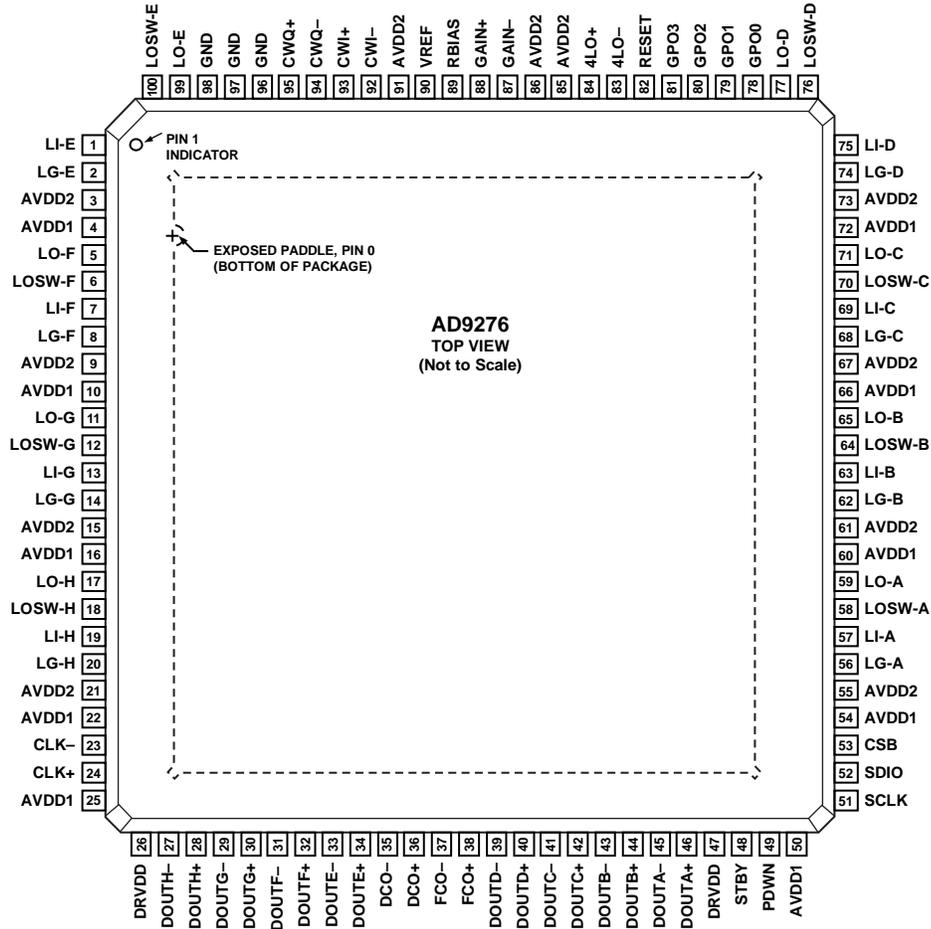
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EXPOSED PAD SHOULD BE TIED TO A QUIET ANALOG GROUND.

图4.引脚配置

表6.引脚功能描述

引脚编号	名称	说明
0, 96, 97, 98	GND	地。裸露焊盘应与低噪声模拟地相连。
1	LI-E	E通道LNA模拟输入。
2	LG-E	E通道LNA接地。
3, 9, 15, 21, 55, 61, 67, 73, 85, 86, 91	AVDD2	3.0 V模拟电源。
4, 10, 16, 22, 25, 50, 54, 60, 66, 72	AVDD1	1.8 V模拟电源。
5	LO-F	F通道LNA模拟反相输出。
6	LOSW-F	F通道LNA模拟开关输出。
7	LI-F	F通道LNA模拟输入。
8	LG-F	F通道LNA接地。
11	LO-G	G通道LNA模拟反相输出。
12	LOSW-G	G通道LNA模拟开关输出。
13	LI-G	G通道LNA模拟输入。
14	LG-G	G通道LNA接地。
17	LO-H	H通道LNA模拟反相输出。
18	LOSW-H	H通道LNA模拟开关输出。
19	LI-H	H通道LNA模拟输入。
20	LG-H	H通道LNA接地。

AD9276

引脚编号	名称	说明
23	CLK-	时钟输入(-)。
24	CLK+	时钟输入(+)
26, 47	DRVDD	1.8 V数字输出驱动器电源。
27	DOUTH-	ADC H数字输出(-)。
28	DOUTH+	ADC H数字输出(+)
29	DOUTG-	ADC G数字输出(-)。
30	DOUTG+	ADC G数字输出(+)
31	DOUTF-	ADC F数字输出(-)。
32	DOUTF+	ADC F数字输出(+)
33	DOUTE-	ADC E数字输出(-)。
34	DOUTE+	ADC E数字输出(+)
35	DCO-	数字时钟输出(-)。
36	DCO+	数字时钟输出(+)
37	FCO-	数字帧时钟输出(-)。
38	FCO+	数字帧时钟输出(+)
39	DOUTD-	ADC D数字输出(-)。
40	DOUTD+	ADC D数字输出(+)
41	DOUTC-	ADC C数字输出(-)。
42	DOUTC+	ADC C数字输出(+)
43	DOUTB-	ADC B数字输出(-)。
44	DOUTB+	ADC B数字输出(+)
45	DOUTA-	ADC A数字输出(-)。
46	DOUTA+	ADC A数字输出(+)
48	STBY	待机关断。
49	PDWN	完全关断。
51	SCLK	串行时钟。
52	SDIO	串行数据输入/输出。
53	CSB	片选信号。
56	LG-A	A通道LNA接地。
57	LI-A	A通道LNA模拟输入。
58	LOSW-A	A通道LNA模拟开关输出。
59	LO-A	A通道LNA模拟反相输出。
62	LG-B	B通道LNA接地。
63	LI-B	B通道LNA模拟输入。
64	LOSW-B	B通道LNA模拟开关输出。
65	LO-B	B通道LNA模拟反相输出。
68	LG-C	C通道LNA接地。
69	LI-C	C通道LNA模拟输入。
70	LOSW-C	C通道LNA模拟开关输出。
71	LO-C	C通道LNA模拟反相输出。
74	LG-D	D通道LNA接地。
75	LI-D	D通道LNA模拟输入。
76	LOSW-D	D通道LNA模拟开关输出。
77	LO-D	D通道LNA模拟反相输出。
78	GPO0	通用开漏输出0。
79	GPO1	通用开漏输出1。
80	GPO2	通用开漏输出2。
81	GPO3	通用开漏输出3。
82	RESET	重置为4LO 4分频计数器同步。
83	4LO-	CW多普勒4LO输入(-)。
84	4LO+	CW多普勒4LO输入(+)
87	GAIN-	增益控制电压输入(-)。
88	GAIN+	增益控制电压输入(+)

引脚编号	名称	说明
89	RBIAS	用于设置ADC内核偏置电流的外部电阻。
90	VREF	基准电压输入/输出。
92	CWI-	CW多普勒I输出(-)。
93	CWI+	CW多普勒I输出(+)
94	CWQ-	CW多普勒Q输出(-)。
95	CWQ+	CW多普勒Q输出(+)
99	LO-E	E通道LNA模拟反相输出。
100	LOSW-E	E通道LNA模拟开关输出。

典型性能参数

TGC模式

$f_{\text{SAMPLE}} = 40 \text{ MSPS}$, $f_{\text{IN}} = 5 \text{ MHz}$, $R_s = 50 \Omega$, LNA增益 = 21.3 dB, LNA偏置 = 高, PGA增益 = 27 dB, AAF LPF截止频率 = $f_{\text{SAMPLE}}/3$, HPF截止频率 = LPF截止频率/20.7 (默认)。

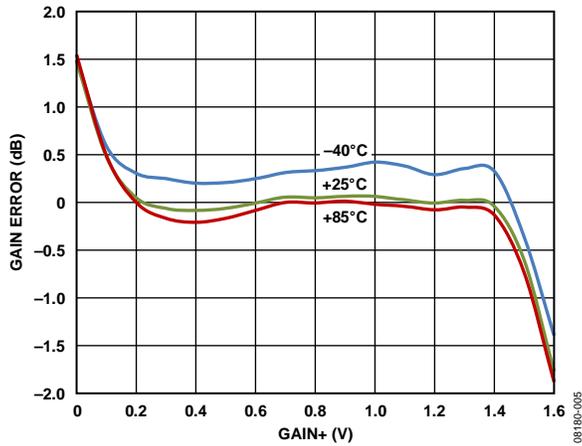


图5.三种温度下增益误差与GAIN+的关系

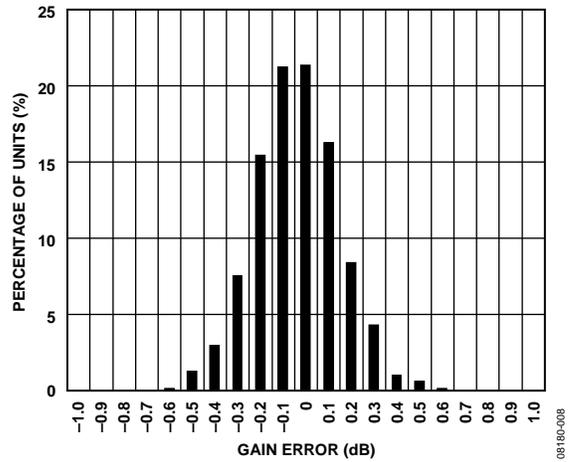


图8.增益误差直方图, GAIN+ = 1.44 V

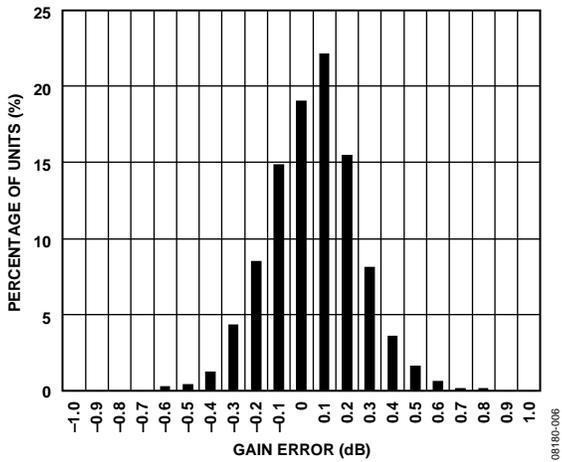


图6.增益误差直方图, GAIN+ = 0.16 V

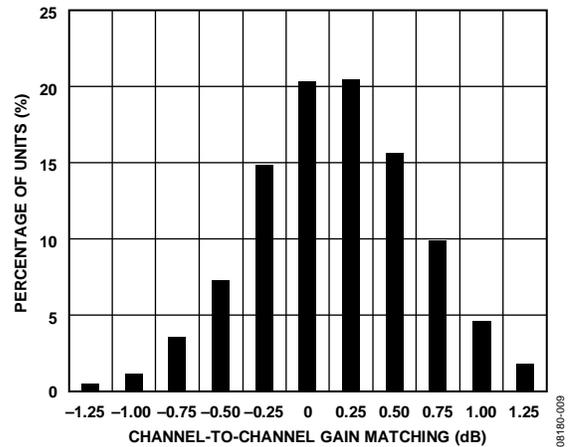


图9.增益匹配直方图, GAIN+ = 0.3 V

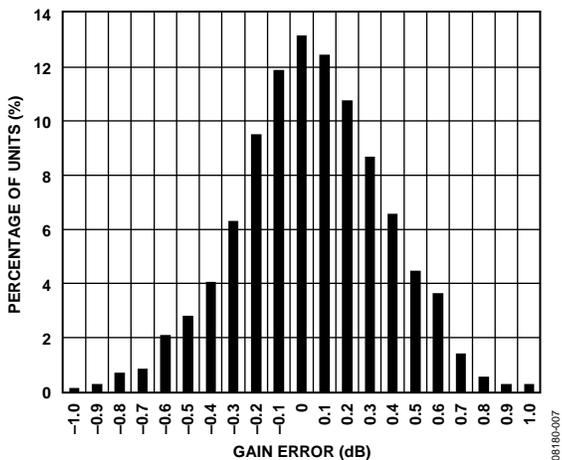


图7.增益误差直方图, GAIN+ = 0.8 V

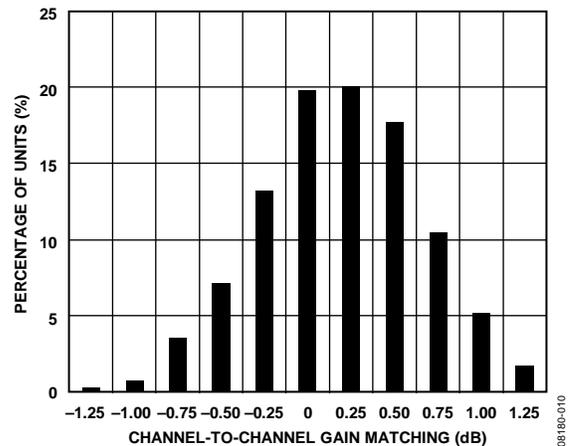


图10.增益匹配直方图, GAIN+ = 1.3 V

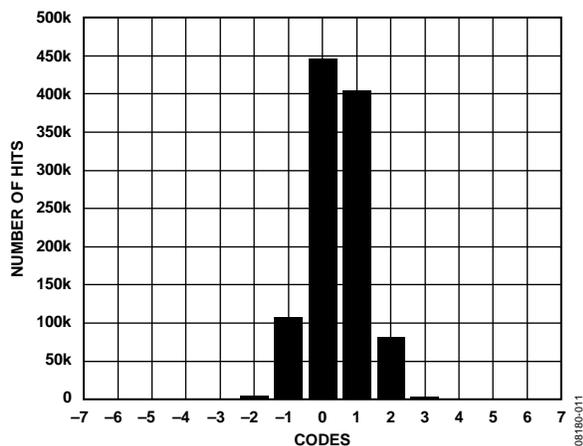


图11.折合到输出端的噪声直方图, $GAIN+ = 0.0 V$

08180-011

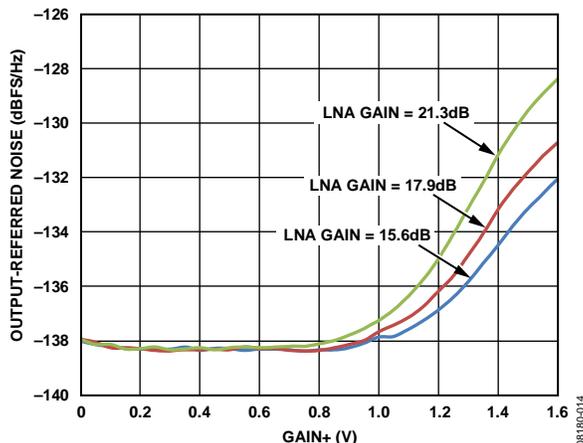


图14.短路, 折合到输出端的噪声与 $GAIN+$ 的关系

08180-014

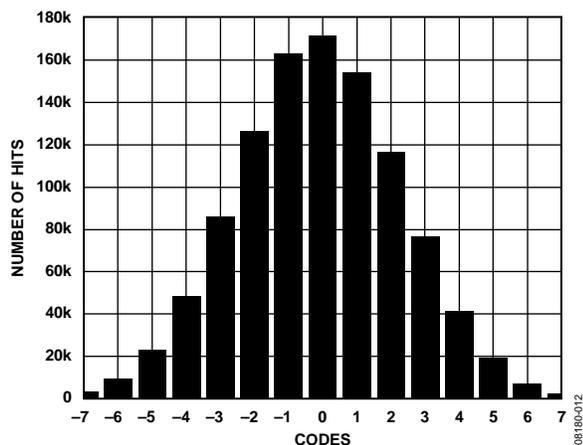


图12.折合到输出端的噪声直方图, $GAIN+ = 1.6 V$

08180-012

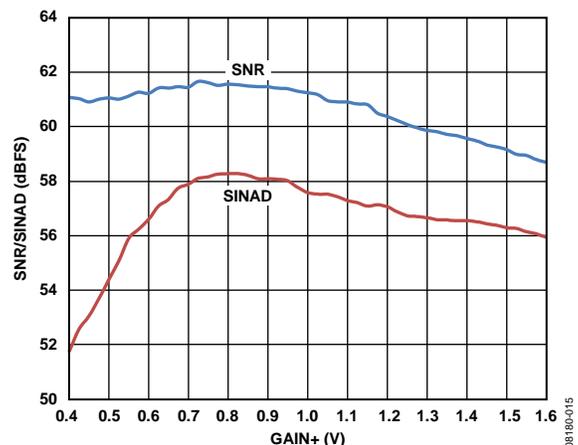


图15.信噪比/信噪失真比与 $GAIN+$ 的关系, $A_{IN} = -1.0 \text{ dBFS}$

08180-015

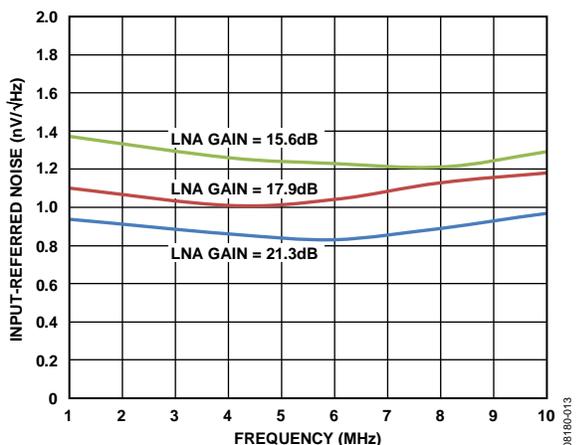


图13.短路, 折合到输入的噪声与频率的关系, PGA 增益 = 30 dB, $GAIN+ = 1.6 V$

08180-013

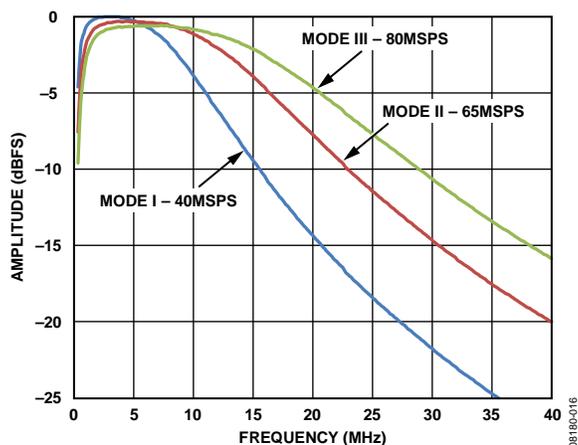


图16.抗混叠滤波器(AAF)通带响应, LPF 截止频率 = $f_{SAMPLE}/3$ (模式I和模式II), $f_{SAMPLE}/4.5$ (模式III)

08180-016

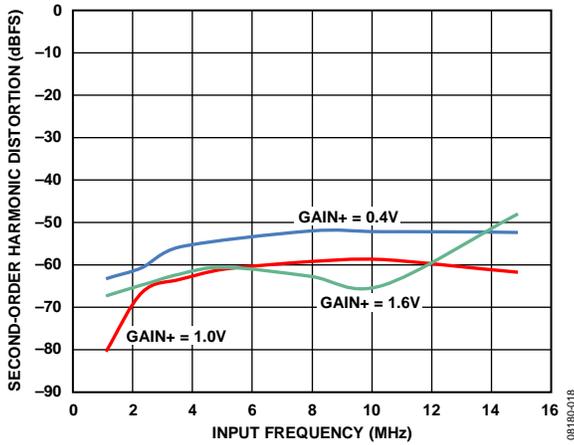


图17.二次谐波失真与频率的关系, $A_{IN} = -1.0$ dBFS

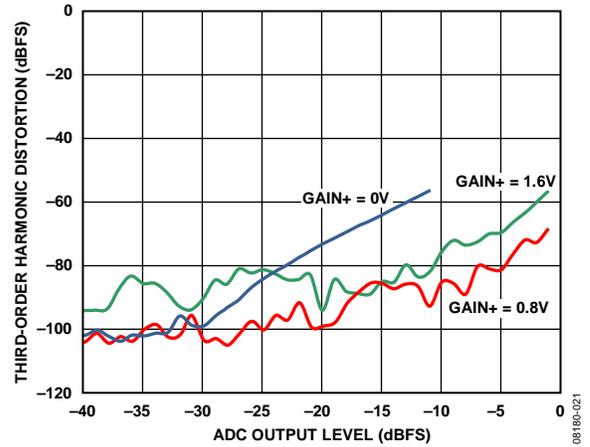


图20.三次谐波失真与ADC输出电平的关系

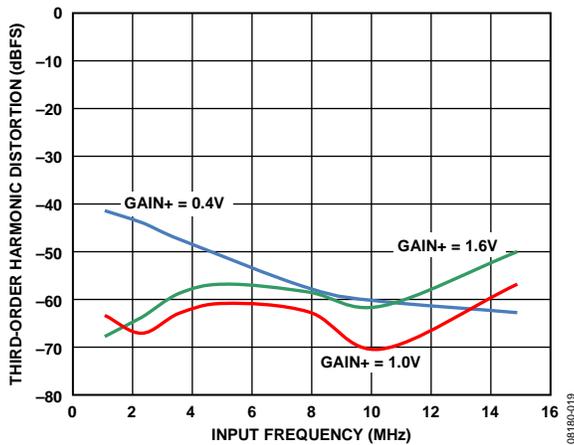


图18.三次谐波失真与频率的关系, $A_{IN} = -1.0$ dBFS

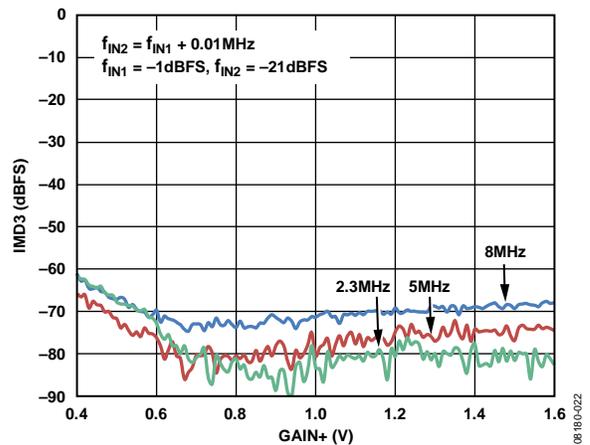


图21.IMD3与GAIN+的关系

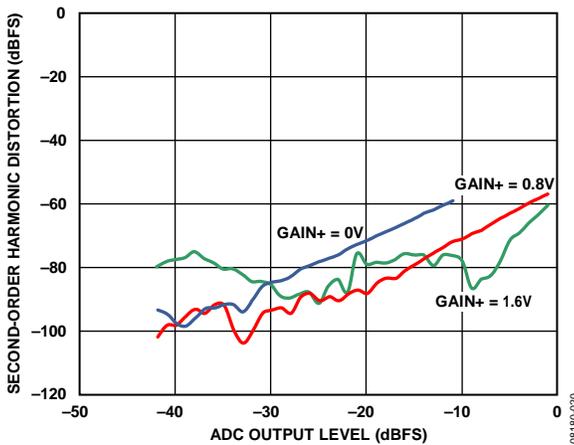


图19.二次谐波失真与ADC输出电平的关系

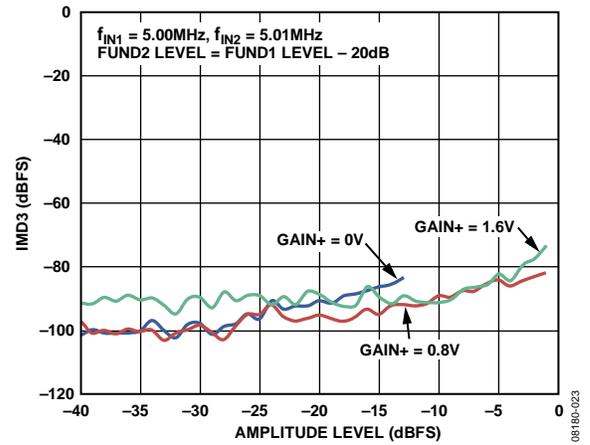


图22.IMD3与幅度水平的关系

CW多普勒模式

$f_{RF} = 2.5 \text{ MHz}$ at -3 dBFS , $f_{4LO} = 10 \text{ MHz}$, $R_s = 50 \Omega$, LNA增益 = 21.3 dB, LNA偏置 = 高, 使能所有CW通道, 相位旋转 0° .

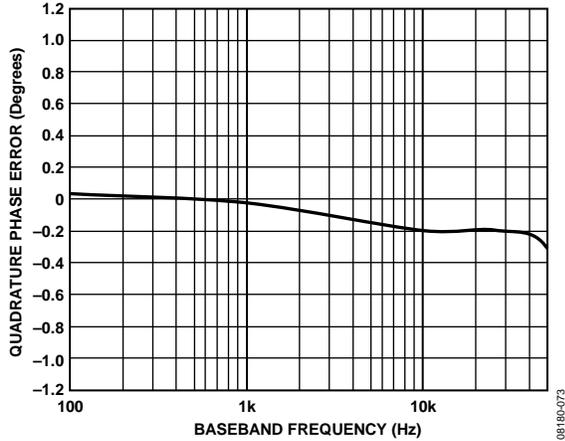


图23.正交相位误差与基带频率的关系

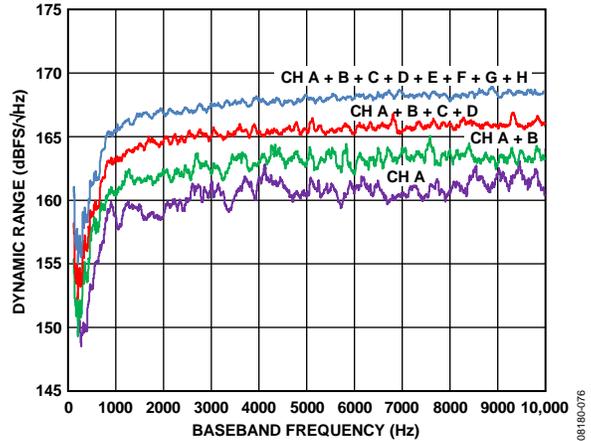


图26.小信号动态范围

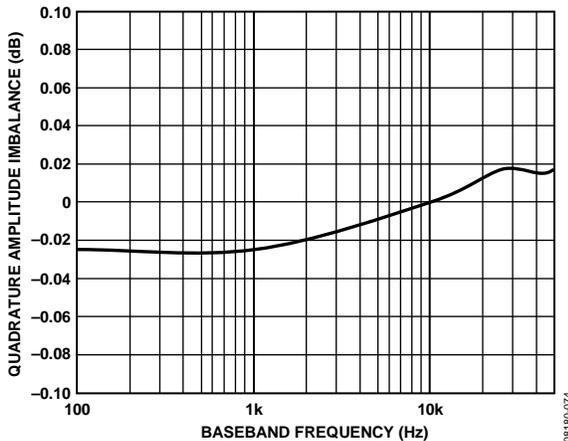


图24.正交幅度不平衡与基带频率的关系

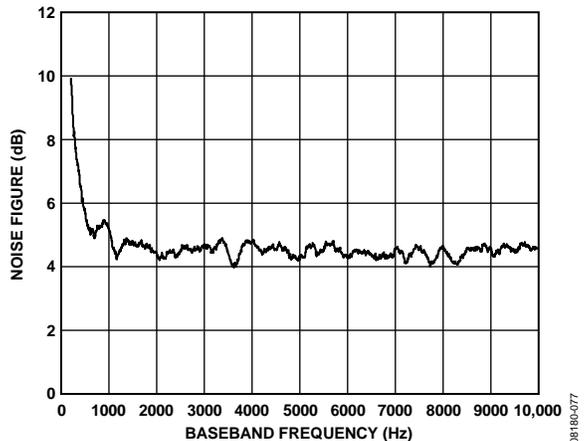


图27.噪声系数与基带频率的关系

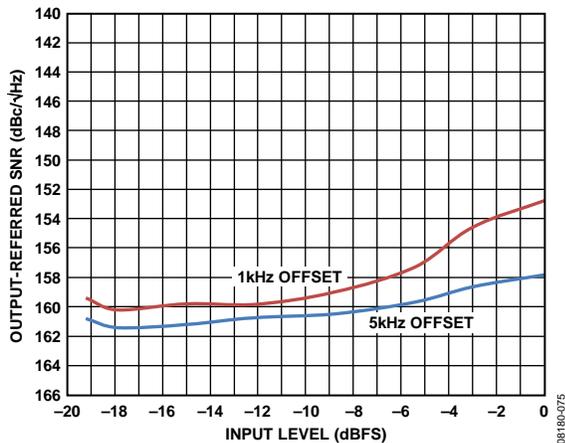


图25.折合到输出端信噪比与输入电平的关系

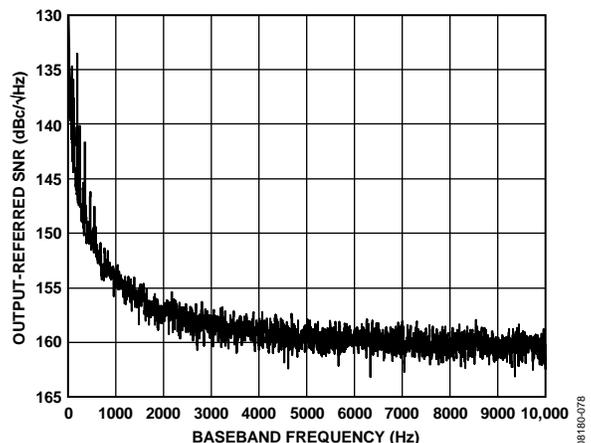


图28.折合到输出端信噪比与基带频率的关系

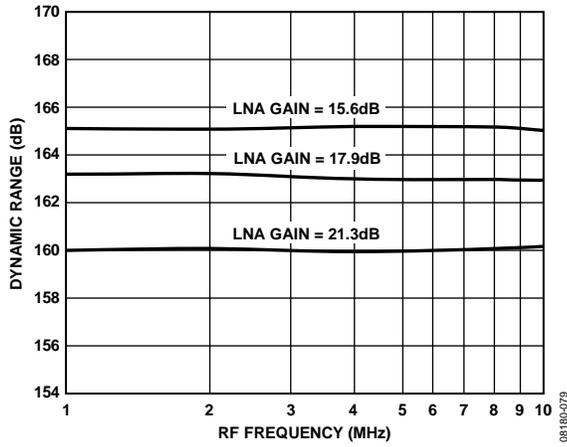


图29.小信号动态范围与RF频率的关系

08180-079

等效电路

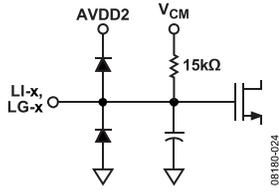


图30.等效LNA输入电路

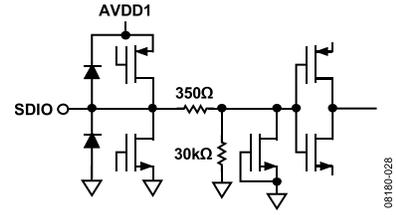


图34.等效SDIO输入电路

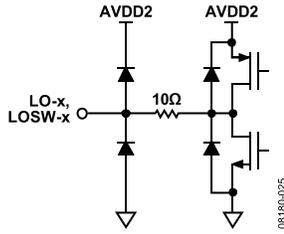


图31.等效LNA输出电路

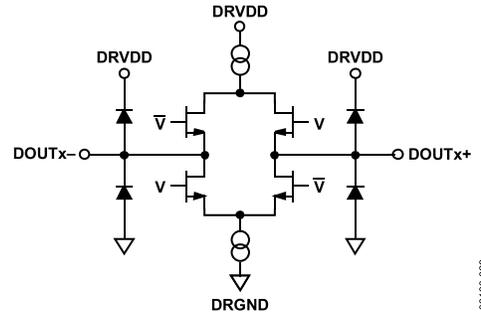


图35.等效数字输出电路

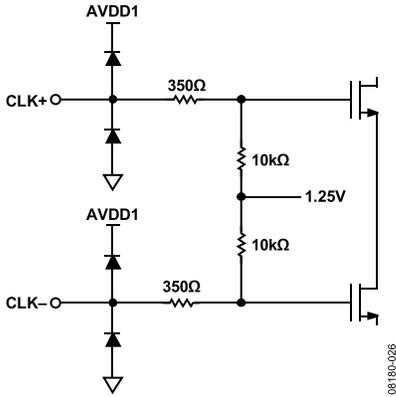


图32.等效时钟输入电路

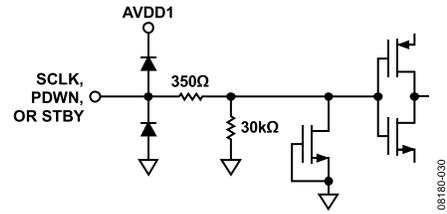


图36.等效SCLK、PDWN或STBY输入电路

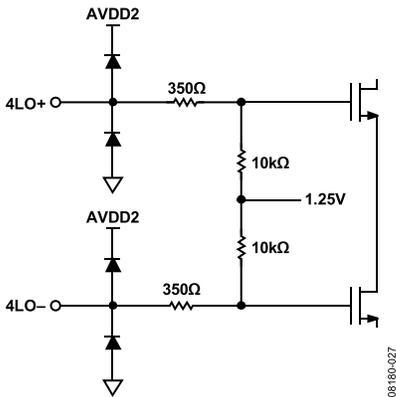


图33.等效4LO输入电路

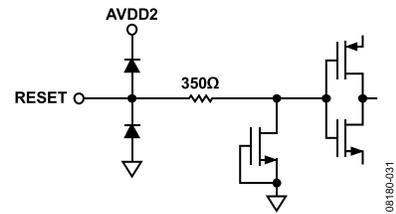


图37.等效RESET输入电路

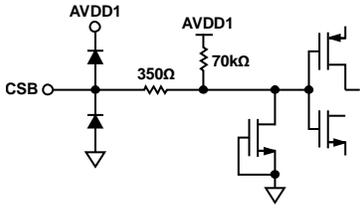


图38.等效CSB输入电路

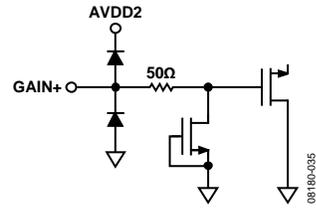


图41.等效GAIN+输入电路

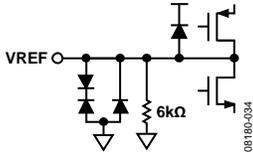


图39.等效VREF电路

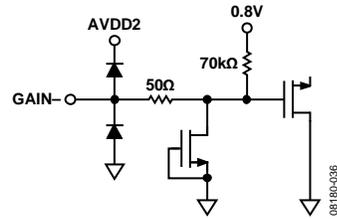


图42.等效GAIN-输入电路

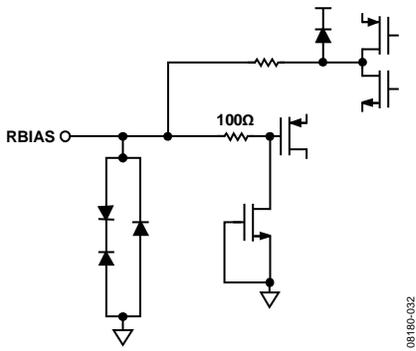


图40.等效RBIAS电路

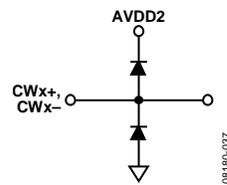


图43.等效CWx±、CWQ±输出电路

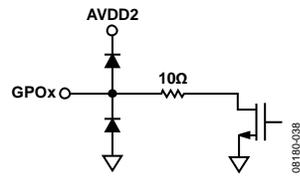


图44.等效GPOx输出电路

工作原理

超声

AD9276主要应用于医用超声领域。图45所示为超声系统的简化功能框图。超声系统的重要功能是为生理信号衰减进行时间增益控制(TGC)补偿。因为超声信号的衰减与距离(时间)呈指数关系,因此线性dB可变增益放大器为最佳解决方案。

超声信号链的主要要求有超低噪声、有源输入匹配、快速过载恢复、低功耗以及ADC差分驱动。由于超声设备使用波束形成技术,要求大量二进制加权通道(例如,32至512),所以在可能的最低噪声下实现最低功耗至关重要。

大多数现代超声设备使用数字波束形成技术。信号经TGC放大器后立即转换至数字格式,然后完成数字波束形成。

12位ADC采样速率最高达80 MSPS,可同时满足通用型和高端系统的要求。

对于低端和便携式超声设备而言,节省电力和低成本是两个重要考虑因素,AD9276的设计就能够满足这些要求。

有关超声波系统的其他信息,请参考“影响超声系统前端器件选择的考量因素”(《模拟对话》第36卷第3期,2002年5-7月)以及“AD9271-便携式超声设备的革命性解决方案”(《模拟对话》第41卷第7期,2007年7月)。

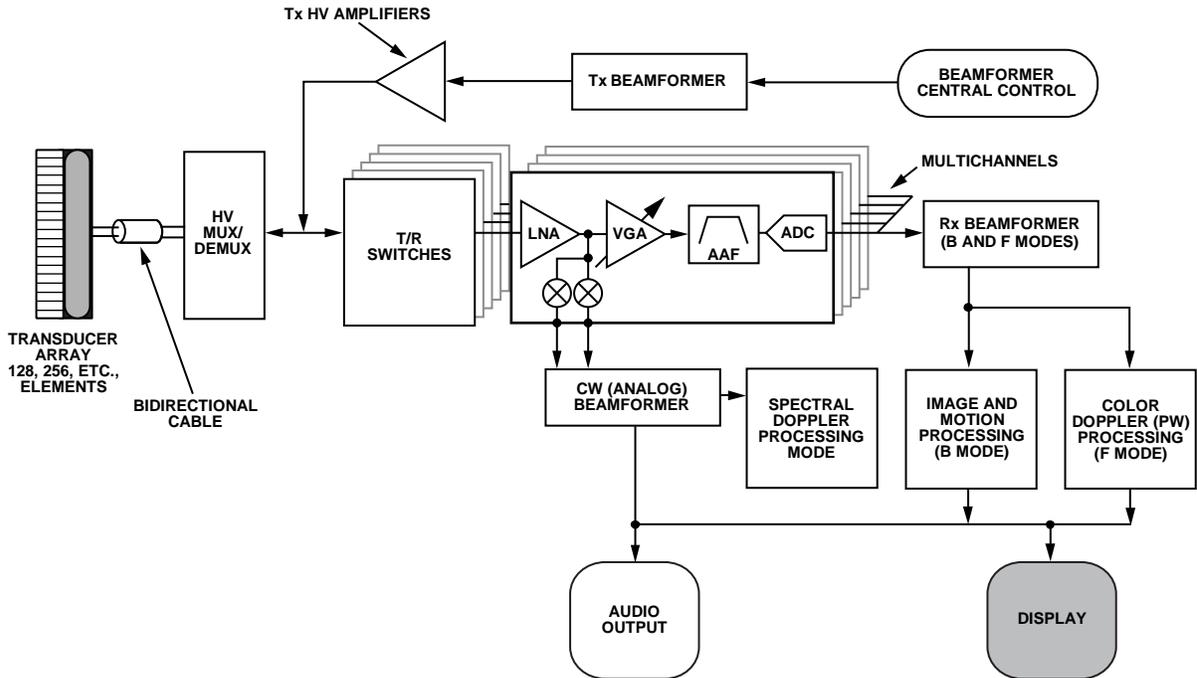


图45.简化超声系统功能框图

08180-039

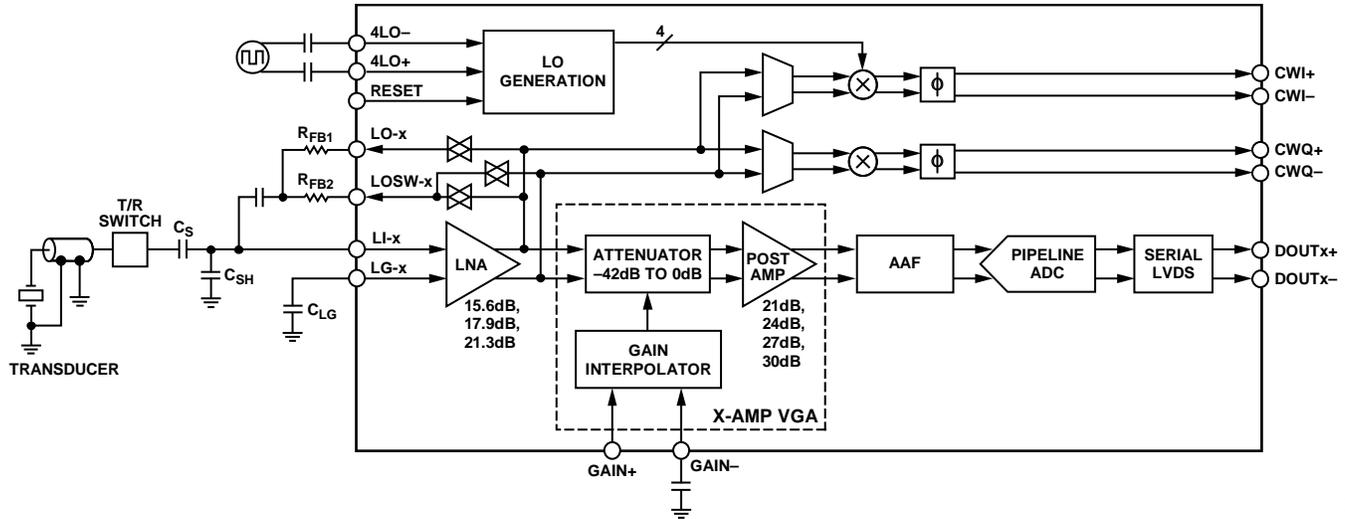


图46.单通道简化功能框图

08190-040

通道概述

每个通道都包括TGC信号路径和CW多普勒信号路径。LNA为两个信号路径提供用户可调的输入阻抗端接。CW多普勒路径包括一个I/Q解调器。TGC路径包括一个差分X-AMP® VGA、一个抗混叠滤波器和一个ADC。图46所示为带外部元件的简化功能框图。

信号路径为全差分路径，能够实现最大信号摆幅，并减少偶数阶失真；不过，LNA为单端信号源驱动。

低噪声放大器(LNA)

良好的噪声性能依赖于信号链始端的具有超低噪声的LNA，可将随后的VGA噪声分配降至最低。在需要输入阻抗匹配应用中，有源阻抗控制使噪声性能最佳。

LNA的原理示意图见图47。LI-x容性耦合到信号源。片上偏置电压发生器产生约0.9 V的直流输入偏置电压，将输出共模电平集中在1.5 V(二分之一AVDD2)。电容CLG的值与输入耦合电容Cs的值相同，与LG-x引脚相连并接地。

强烈建议通过LG-x引脚构成开尔文连接，连接至输入端或探头接地。简单地将LG-x引脚在器件附近接地，会导致不同地的电位差通过LNA放大。通常会产生一个直流偏移电压，该电压值随不同通道和器件而异，具体取决于应用和PCB的布局。

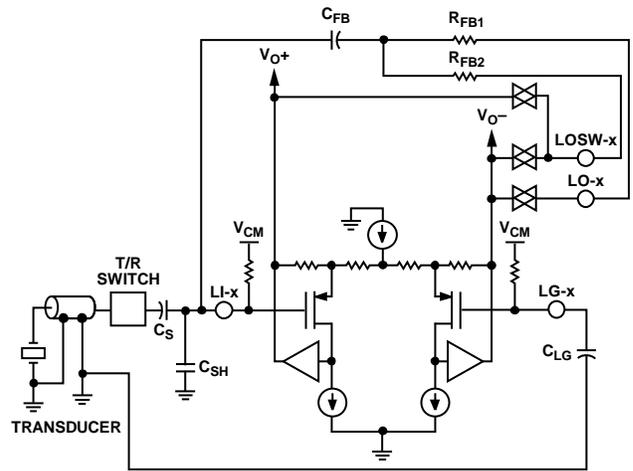


图47.LNA原理示意图

08190-041

LNA支持高达4.4 V p-p差分输出电压，与1.5V的共模电压正负偏移了±1.1 V。LNA差分增益可设定饱和前的最大输入信号。可通过SPI设置三个增益中的其中之一。增益设置为15.6dB、17.9dB和21.3时，对应的满量程输入分别为733 mV p-p、550 mV p-p和367 mV p-p。过载保护可确保从大输入电压状态下快速恢复。因为输入端都容性耦合至电源电压一半左右的偏置电压，所以无需与ESD保护交互，便可处理大的输入电压。

借助低值反馈电阻和输出级的电流驱动能力，LNA可以实现 $0.75 \text{ nV}/\sqrt{\text{Hz}}$ 的低折合到输入端噪声电压(增益为21.3 dB)。所需功耗仅27 mA/通带(80 mW)。片上电阻匹配产生精确的单端增益，这对准确阻抗控制很关键。由于采用全差动拓扑和负反馈，失真减至最低。低二阶谐波失真在二次谐波超声成像应用中尤其重要。差分信号使得每个输出端的摆幅变小，从而进一步降低三阶谐波失真。

有源阻抗匹配

LNA内置单端电压增益放大器，具有差分输出端，外部可提供负输出端。例如，固定增益为 $8\times$ (17.9 dB)时，在负输出引脚LO-x和正输入引脚LI-x间连接反馈电阻，形成有源输入端。通过这种众所周知技术可以在单一系统中连接多个探头阻抗。输入电阻如公式1所示。

$$R_{IN} = \frac{R_{FB}}{(1 + A/2)} \quad (1)$$

其中：

$A/2$ 为单端增益或LI-x输入端至LO-x输出端的增益。

R_{FB} 是 R_{FB1} 和 R_{FB2} 的组合阻抗(参见图47)。

因为放大器的输入端至差分输出端具有8倍增益，所以必须注意， $A/2$ 是LI-x引脚至LO-x引脚的增益，比放大器的增益小6 dB，即11.9 dB(4倍)。一个15 k Ω 的内部偏置电阻与LI-x引脚相连的源电阻并联减小了输入电阻值，LG-x引脚交流接地。等式2用来计算得出特定 R_{IN} 所需要的 R_{FB} ，即便是较大 R_{IN} 值。

$$R_{IN} = \frac{R_{FB}}{(1+3)} \parallel 15 \text{ k}\Omega \quad (2)$$

例如，要将 R_{IN} 设为200 Ω ， R_{FB} 的值必须为1000 Ω 。如果用简化式(公式2)计算 R_{IN} ，则该值为188 Ω ，结果，增益误差小于0.6 dB。一些因素，诸如存在动态源电阻，可能会更明显地影响绝对增益精度。高频率下，必须考虑LNA的输入电容。用户必须确定匹配精度水平并相应调整 R_{FB} 。

LNA带宽(BW)大于100 MHz。最终，LNA的带宽会限制合成 R_{IN} 的精度。若 $R_{IN} = R_S$ ，最高约200 Ω ，那么最佳匹配介于100 kHz与10 MHz之间，此时，频率下限由交流耦合电容的大小确定，上限由LNA BW确定。此外，输入电容和 R_S 限制了更高频的BW。图48显示了各种 R_{FB} 值时 R_{IN} 与频率的关系。

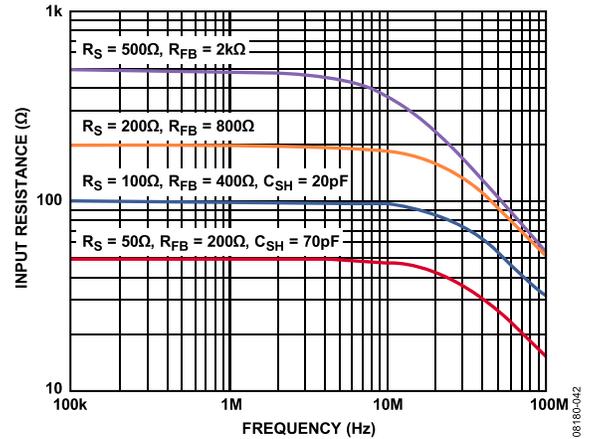


图48.各种 R_{FB} 值时 R_{IN} 与频率的关系
(同时显示 R_S 和 C_{SH} 的影响)

应当注意，在 R_{IN} 最低值(50 Ω)时， R_{IN} 峰值会出现在频率大于10 MHz时。这是因为LNA BW滚降的关系，如前文所述。

但 R_{IN} 值较大时，在LNA到达峰值前，寄生电容开始滚降信号BW。 C_{SH} 进一步降低了匹配度；因此， C_{SH} 不应用于 R_{IN} 值大于100 Ω 的情形中。表7列出了根据 R_{IN} 的情况 R_{FB} 和 C_{SH} 的推荐值。

C_{FB} 需要与 R_{FB} 串联，因为LO-x引脚和LI-x引脚的直流电平不相等。

表7.有源端接外部元件值

LNA增益 (dB)	R_{IN} (Ω)	R_{FB} (Ω)	最小值 C_{SH} (pF)	带宽(MHz)
15.6	50	200	90	57
17.9	50	250	70	69
21.3	50	350	50	88
15.6	100	400	30	57
17.9	100	500	20	69
21.3	100	700	10	88
15.6	200	800	不适用	72
17.9	200	1000	不适用	72
21.3	200	1400	不适用	72

LNA噪声

短路噪声电压(折合到输入端噪声)是系统性能的一个重要限制因素。增益为21.3 dB时, LNA的短路噪声电压为0.75 nV/√Hz, 包括VGA后置放大器增益为27 dB时的VGA噪声。这些测量值在无反馈电阻情况下测定, 为计算不同配置的输入噪声和噪声系数性能提供了基础。如图49所示。

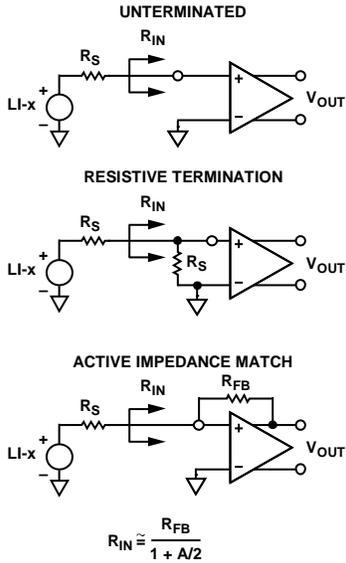


图49.输入配置

图50和51显示噪声系数与 R_s 关系的仿真结果。其中使用上述配置, VGA折合到输入端的噪声电压为3.8 nV/√Hz。无端接($R_{FB} = \infty$)运行达到了最低等效输入噪声和噪声系数。图51显示噪声系数与源电阻上升的关系, R_s 较低时, LNA电压噪声比源噪声大; R_s 较高时, 是因为噪声源于 R_{FB} 。当 R_s 与 R_{IN} 匹配时, 噪声系数最低。

输入阻抗匹配主要是为了提高系统的瞬态响应。采用阻性端接时, 因为匹配电阻的热噪声, 以及LNA输入电压噪声发生器的贡献增加, 输入噪声增大。不过, 采用有源阻抗匹配时, 两者的贡献比阻性端接时小 $1/(1 + \text{LNA增益})$ 。

图50所示为相应的噪声系数性能。LNA增益为21.3 dB时, 输入阻抗被 R_s 扫描以保持每个点的匹配。50 Ω源阻抗在阻性端接、有源端接和无端接配置时的噪声系数分别为7.3 dB、4.2 dB和2.8 dB。200 Ω源阻抗的噪声系数分别为4.5 dB、1.7 dB和1.0 dB。

图51显示各种 R_{IN} 值时 R_s 相关噪声系数, 有助于顺利完成设计。

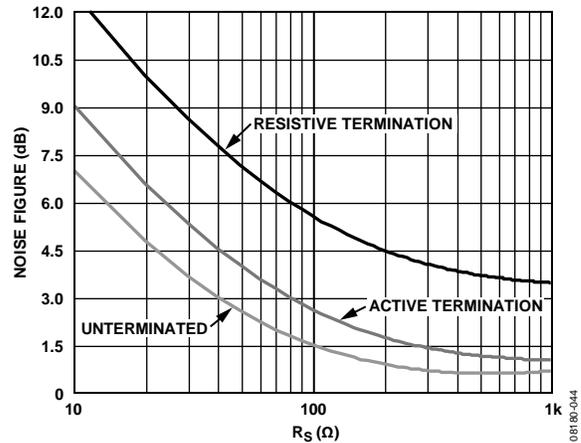


图50.阻性端接、有源端接匹配和无端接输入时的噪声系数和 R_s 的关系, $V_{GAIN} = 0.8 V$

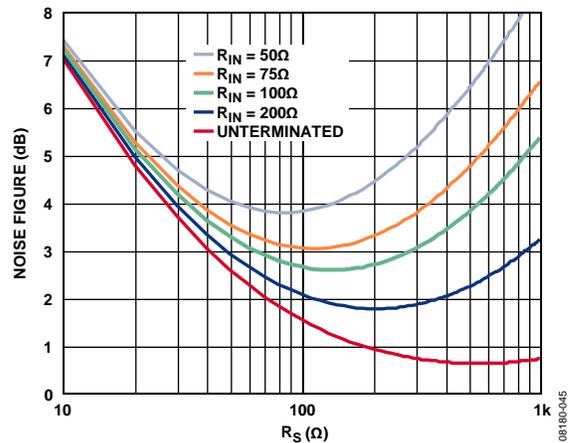


图51.各种 R_{IN} 固定值、有源端接匹配输入、 $V_{GAIN} = 0.8 V$ 时噪声系数和 R_s 的关系

输入过驱

在超声系统中，出色的过载表现是非常重要的。LNA和VGA都内置过载保护，能在过载事件后快速恢复。

输入过载保护

跟任何放大器一样，如果应用易受到高瞬态电压的影响，强烈推荐在输入端前进行电压钳位。

图52所示为简化的超声传感器接口。普通的传感器元件具有发射与接收超声能量双重功能。在发射阶段，将向陶瓷基元施加高压脉冲。典型发射/接收(T/R)开关由四个采用桥式配置的高压二极管组成。尽管理想状态下，二极管会阻止来自灵敏接收机输入端的发射脉冲，但二极管特性并不完美，所以LI-x输入端的泄漏瞬态可能会有问题。

由于超声系统是一种脉冲系统，传播时间用于确定深度，因此从输入过载中快速恢复的功能是至关重要的。前置放大器和VGA会出现过载情况。紧接着发射脉冲后，典型VGA增益较低，LNA受到T/R开关泄漏过载的影响。随着增益的增加，因为近场和声学高密度材料(如骨)造成的强回波可能会引起VGA发生过载。

图52显示外部过载保护方案。应在交流耦合电容前放置一对背靠背信号二极管。注意，所有二极管都容易出现一定量的散粒噪声。许多类型的二极管可用于实现所需的噪声性能。图52所示的配置中往往会增加 $2\text{ nV}/\sqrt{\text{Hz}}$ 折合到输入端噪声。根据不同的应用，降低 $5\text{ k}\Omega$ 的电阻和增加 $2\text{ k}\Omega$ 的电阻可能会改善噪声分布。如图52所示，增加了二极管后， $\pm 0.5\text{ V}$ 或更低的钳位电平显著提高了系统的过载性能。

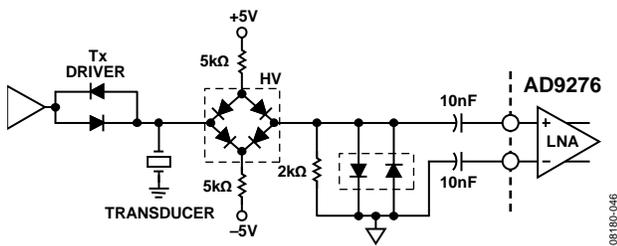


图52. 输入过载保护

CW多普勒操作

AD9276每个通道都有一个I/Q解调器。每个解调器具有一个单独的可编程移相器。I/Q解调器是医疗超声领域相控阵波束形成应用的理想选择。每个通道都可以通过SPI端口选择16延迟状态($360^\circ/16$ 或 22.5° /步进)。该器件的RESET输入端用来同步每个通道的LO分频器。如果使用多个AD9276，共有跨阵列RESET可确保所有通道相位同步。在AD9276内部，通道I和Q的输出电流进行求和。如果使用多个AD9276，每个AD9276都能进行I和Q输出电流求和，并使用外部跨导放大器转换为电压。

正交产生

内部 0° 和 90° LO数字相位都由4分频逻辑电路产生。分频器支持直流耦合输入，本身为宽带；最高LO频率只能通过开关速度来限制。正交LO信号的占空比本身为50%，不受外部连接4LO输入不对称的影响。此外，利用分频器以满足4LO信号对产生内部LO信号的最终触发器重新计时，从而最大限度地减少分频电路引入的噪声。

为了获得最佳性能，4LO输入为差分驱动，同AD9276评估板。每个引脚上的共模电压约为 1.2 V ，标称电源电压 3 V 。重要的是，要获得CW信号链的最佳性能，须确保LO源有非常低的相位噪声(抖动)、快速压摆率以及充足的输入电平。

波束形成应用需要精确的通道间相位关系，实现多通道之间的一致性。不同AD9276在数个阵列使用时，采用RESET引脚同步LO分频电路。多个AD9276通电后，RESET引脚将分频器复位到已知状态。使用一个以上AD9276时，只能通过RESET引脚上的同一脉冲实现精确的通道间相位匹配。

I/Q解调器和移相器

I/Q解调器由多个双平衡无源混频器组成。RF输入信号通过跨导级转换成电流，跨导级具有最大差分输入信号处理能力，与LNA输出满量程相匹配。这些电流然后注入混频器，混频器将其转换为基带电流(RF - LO)和两倍射频电流(RF + LO)。根据SPI锁存器中的编程设置码(见表8)，信号发生相移。整体电路具有相移功能。表8第1栏所列的相移定义为基带I或Q输出通道之间的相移。例如，向AD9276的两个RF输入端施加同一信号时，基带输出同相，以便生成匹配的相位编码。但是，如果通道1的相位编码是0000，通道2的是0001，那么通道2的输出领先通道1的输出22.5°。

表8.通道间相移的相位选择码

Φ移位	I/Q解调相位 (SPI寄存器0x2D [3:0])
0°	0000
22.5°	0001
45°	0010
67.5°	0011
90°	0100
112.5°	0101
135°	0110
157.5°	0111
180°	1000
202.5°	1001
225°	1010
247.5°	1011
270°	1100
292.5°	1101
315°	1110
337.5°	1111

动态范围和噪声

图53为AD9276所有8个通道的互连框图。如图所示，通过线“或”技术连接输出端，可轻松将更多通道添加到求和通道中(AD8021用作求和放大器时最多达32个)。在波束形成应用中，多个接收通道的I和Q输出端被求和。该系统的动态范围增加比例为 $10 \log_{10}(N)$ ，其中N指通道数(假设为随机无关噪声)。图53的8通道示例中，噪声增加了9 dB，而信号变为四倍(18 dB)，总的信噪比改善值为 $(18 - 9) = 9$ dB。

CW信号路径折合到输出端的噪声取决于LNA增益、外部求和放大器的选择、和 R_{FILT} 值。要确定折合到输出端的噪声，必须知道有源低通滤波器(LPF)的值 R_{FILT} 和 C_{FILT} ，如图53所示。对于单个通道的典型滤波器值， R_{FILT} 为2 kΩ， C_{FILT} 为0.8 nF；这些值可以实现一个100 kHz的单极LPF。在八个通道合成的情况下， R_{FILT} 和 C_{FILT} 为250Ω和6.4nF。

如果RF和LO偏移10 kHz，那么解调信号为10 kHz并通过LPF。从RF输入端到AD8021输出端的单通道混合增益(例如， $I1'$ 、 $Q1'$)近似为LNA增益，其中 R_{FILT} 和 C_{FILT} 分别为2 kΩ和0.8 nF。

增加滤波器电阻，同时保持截止频率，即可提高该增益。限制增益幅度的因素是输出摆幅，以及根据I-V转换器而选定的运算放大器(在此例中是AD8021)的驱动能力。任何放大器的驱动能力都有限，所以可以将有限多个通道进行求和。通道求和范围与放大器的电流驱动能力直接相关，该放大器用来实现有源低通滤波器和电流-电压转换器。使用AD8021时，最多支持AD9276的32个通道；也就是说，四个AD9276($4 \times 8 = 32$ 个通道)可以用一个AD8021求和。

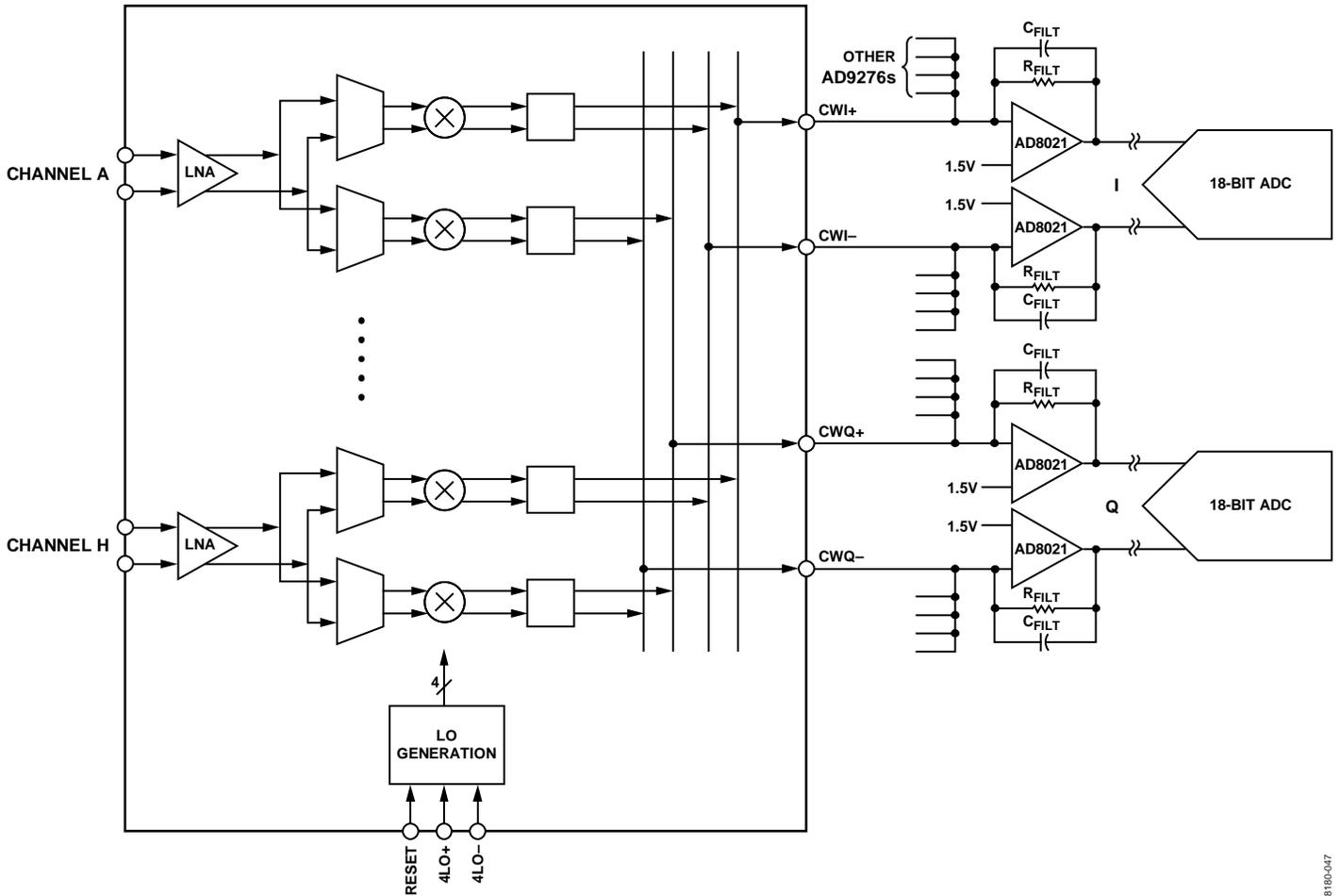


图53.CW模式下I/Q输出端的典型连接接口

相位补偿和模拟波束形成

波束形成在医疗超声中定义为对多基元超声传感器在不同时间接收的同源信号进行相位对准并求和。波束形成有两个功能：指定传感器发射方向，提高其增益；确定人体内的焦点，即产生回波的位置。AD9276 I/Q解调器的主要应用在超声CW多普勒模拟波束形成电路中。

现代医学应用超声设备采用多通道接收器实现波束形成。典型CW多普勒阵列最长达64个接收通道，这些通道经相移并求和用于提取相干信息。使用多个接收器时，可对来自每个通道的所需信号求和而产生一个大信号（增加N倍，N为通道数），噪声以通道数的平方根数增加。这种技术提高了设备的信噪比性能。波束形成器设计的关键要素是时域输入信号的对齐方法以及将个别信号求和为复合整体的方法。

在集成多普勒功能的传统模拟波束形成器中，每通道有一个V-I转换器和交叉点开关，然后接无源延时线作为组合相移器和求和电路。系统通过延时线以载波频率(RF)运行，各个通道的信号通过延时线求和，然后合并信号由I/Q解调器下变频。解调器的动态范围会限制可实现的动态范围。

由此产生的I和Q信号经过滤波，然后通过两个高分辨率模数转换器采样。采样信号经过处理，可提取多普勒相关信息。

或者，射频信号在每个通道上分别进行下变频处理，并对下变频信号进行相移，然后合并所有通道。因为波束形成在解调之后使动态范围扩展，所以解调器的动态范围对输出动态范围的影响不大。AD9276就是采用这种架构。每个通道上的I/Q解调器进行下变频，求和的电流输出与延迟线方法相同。经I-V转换后的滤波器和ADC也类似。

AD9276

在CW多普勒操作中，AD9276集LNA、相移器、变频器和I/Q解调器于一体，并直接产生基带信号。图54是简化图，显示的是四个通道的情况。超声波由超声探头里的4个传感器元件(TE1-TE4)接收，并产生信号E1-E4。此例中，TE1的相位以45°领先TE2的相位。

实际应用中，相位差取决于基元间距、波长(λ)、波速、入射角以及其他因素。图54中，信号E1-E4由低噪声放大器放大。为达到最佳信噪比性能，LNA输出直接应用于解调器输入。要对E1-E4信号求和，将通道2的相位编码设置为0010，使E2相对于E1移相45°，E3移相90°(相位编码为0100)；以及E4移相135°(相位编码为0110)。AD9276输出端的相位对准电信号在I-V转换器中求和，为合并的输出信号提供四个通道的动态范围改善(理论值6 dB)。

CW应用信息

在使用多个AD9276时，RESET引脚用于同步LO分频器。因为由同一内部LO驱动，任何AD9276中的通道本质上是同步的。然而，使用多个AD9276时，其分频器可能在不同相位状态唤醒。RESET引脚的功能是对多个AD9276的所有LO信号进行相位对准。

相对于其他AD9276，每个AD9276的4LO分频器开始可以为四种状态之一：相对于其他AD9276 0°、90°、180°和270°。每个AD9276 LO分频器内部产生的I/Q信号始终彼此呈90°角，但上电时，同一阵列使用的多个AD9276的分频器之间可能发生相移。

RESET机制也可以用于测量RF输入到输出的非混合增益。高电平有效RESET脉冲的上升沿任何时间都可能发生；然而，其持续时间最少应 ≥ 20 ns。当RESET脉冲由高向低转变，LO分频器在4LO时钟的下一个上升沿重新激活。为了保证多个AD9276同步运行，在4LO时钟下一个上升沿之前，RESET脉冲必须在所有器件上拉低。

因此，在4LO时钟的下降沿，最好是拉低RESET脉冲；最起码， t_{SETUP} 应该 ≥ 5 ns。RESET脉冲的最佳时序设置是：在4LO下降沿拉高，然后在4LO下降沿拉低；这样即使4LO频率为32 MHz(内部LO: 8 MHz)时，建立时间也有15 ns。

使用以下程序来检查多个AD9276的同步情况：

1. 通过在串行接口设置适当的通道使能位，每个AD9276至少激活一个通道(见表18，寄存器0x2D，第4位)。
2. 以相同的逻辑状态设置所有AD9276通道的相位编码，例如0000。
3. 所有设备应用相同的测试信号，以便在基带输出端产生正弦波，用来测量每个器件的每个通道输出。
4. 向所有AD9276施加RESET脉冲。
5. 由于所有AD9276的相位编码都应相同，多个器件的合并信号应比单个通道大N倍。如果合并后的信号比单个通道信号的N倍小，那么单个AD9276的一个或更多LO相位出错。

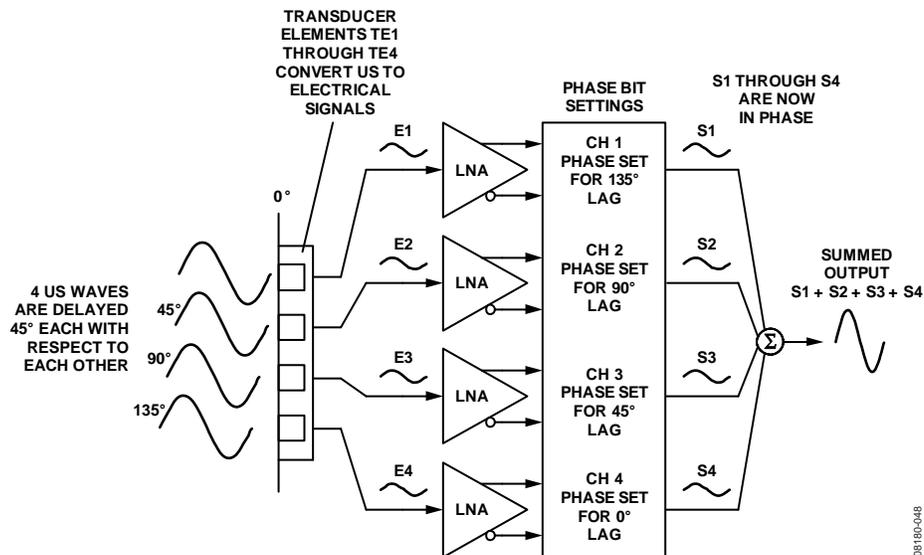


图54.简化的AD9276移相器示例

TGC操作

TGC信号路径为全差分路径，能够实现最大信号摆幅，并减少偶数阶失真；不过，LNA为单端信号源驱动。增益值以单端LNA输入至差分ADC输入为基准。图55显示满足最高和最低增益要求的简单测试。

所需最高增益由下式确定：

$$(ADC\text{ 噪底}/LNA\text{ 输入噪底}) + \text{裕量} = 20 \log(224/3.9) + 11 \text{ dB} = 46 \text{ dB}$$

所需最低增益由下式确定：

$$(ADC\text{ 输入}FS/LNA\text{ 输入}FS) + \text{裕量} = 20 \log(2/0.55) - 10 \text{ dB} = 3 \text{ dB}$$

因此，12位40 MSPS ADC(带宽15 MHz，增益42 dB)应能满足如今大多数超声系统所需的动态范围。

系统增益分配如表9所列。

表9.通道增益分配

部分	标称增益(dB)
LNA	15.6/17.9/21.3
衰减器	-42至0
VGA放大器	21/24/27/30
滤波器	0
ADC	0

TGC路径的线性dB增益(法则一致性)范围为42 dB。增益控制接口的斜度为28.5 dB/V，增益控制范围为-0.8 V至+0.8 V。公式3是差分电压 V_{GAIN} 的表达式，公式4是通道增益的表达式。

$$V_{GAIN} (V) = (GAIN+) - (GAIN-) \tag{3}$$

$$\text{增益 (dB)} = 28.5 \text{ dB/V} \times V_{GAIN} + ICPT \tag{4}$$

其中， $ICPT$ 是TGC增益截点。

默认状态下，LNA的增益为21.3 dB(12×)；如果GAIN+引脚电压为0 V，GAIN-引脚电压为0.8 V，则VGA后置放大器的增益为24 dB(42 dB衰减)。因此，如果LNA输入不匹配时，通过TGC路径的总增益(或 $ICPT$)达到3.6 dB，或如果LNA匹配至50 Ω($R_{FB} = 350 \Omega$)，总增益为-2.4 dB。但如果GAIN+引脚的电压为1.6 V，GAIN-引脚的电压为0.8 V(0 dB衰减)，则VGA增益为24 dB。此时，若LNA输入不匹配，通过TGC路径的总增益达到45 dB，或LNA输入匹配，则总增益为39 dB。

每个LNA输出端都直流耦合至VGA输入端。VGA内置增益范围为-42 dB至0 dB的衰减器，后接增益为21 dB/24 dB/27 dB/30 dB的放大器。X-AMP增益内插法会形成低增益误差和均衡带宽，且差分信号路径将失真降至最低。

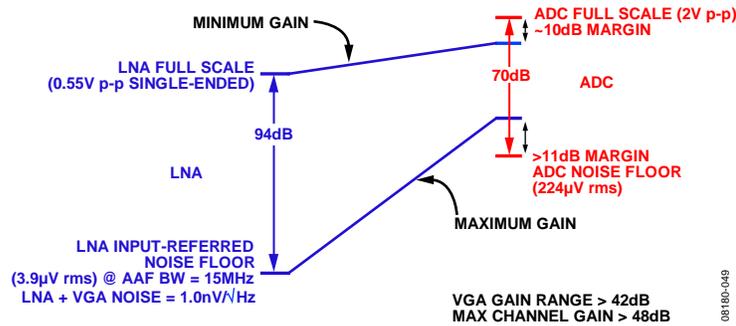


图55.12位40 MSPS ADC的TGC操作增益要求

AD9276

表10.敏感度和动态范围间的权衡考量^{1,2,3}

增益		LNA		VGA		通道	
(V/V)	(dB)	满量程输入(V _{p-p})	输入噪声(nV/√Hz)	后置放大器增益(dB)	典型输出动态范围(dB)		GAIN+ = 1.6 V (nV/√Hz) 时折合到输入端的噪声 ⁶
					GAIN+ = 0 V ⁴	GAIN+ = 1.6 V ⁵	
6	15.6	0.733	0.98	21	67.5	65.1	1.395
				24	66.4	63.0	1.286
				27	64.6	60.6	1.227
				30	62.5	57.9	1.197
8	17.9	0.550	0.86	21	67.5	64.5	1.149
				24	66.4	62.3	1.071
				27	64.6	59.8	1.030
				30	62.5	57.1	1.009
12	21.3	0.367	0.75	21	67.5	63.3	0.910
				24	66.4	60.9	0.865
				27	64.6	58.2	0.842
				30	62.5	55.4	0.830

¹ LNA: 输出满量程= 4.4 V p-p差分。

² 滤波器: 损耗≈ 1 dB, NBW = 13.3 MHz, GAIN- = 0.8 V。

³ ADC: 40 MSPS, 70 dB SNR, 2 V p-p满量程输入。

⁴ 最小VGA增益(VGA为主的)时的输出动态范围。

⁵ 最大VGA增益(LNA为主的)时的输出动态范围。

⁶ 最大VGA增益时的通道噪声。

表10显示相对于各种LNA和VGA增益设置，能实现的敏感度和动态范围间的权衡考量。

例如，当VGA设定为最小增益电压时，TGC路径主要是VGA噪声，可实现最大输出信噪比。但随着后置放大器增益选项的增加，折合到输入端的噪声随之降低，信噪比性能也下降。

如果VGA设定为最大增益电压时，TGC路径主要是LNA噪声，折合到输入端的噪声达到最低，但输出信噪比性能也下降。TGC (LNA + VGC)增益越高，输出信噪比就越低。随着后置放大器增益增加，折合到输入端的噪声也降低。

低增益时，VGA应限制系统噪声性能(信噪比)；高增益时，噪声取决于噪声源和LNA。最大电压摆幅则受ADC满量程输入电压峰值(2 V p-p)的限制。

TGC路径的每个部分中，LNA和VGA的满量程范围不同。范围值取决于每个功能框的增益设置，以及GAIN+与GAIN-引脚电压。LNA有三个范围值，即通过SPI实现的满

量程设置值。同样，VGA也有四个后置放大器增益设置可通过SPI实现。GAIN±引脚电压确定放大器(LNA或VGA)饱和的先后顺序。最大信号输入电平与GAIN±引脚电压成函数关系，为SPI可选增益选项，如图56至58所示。

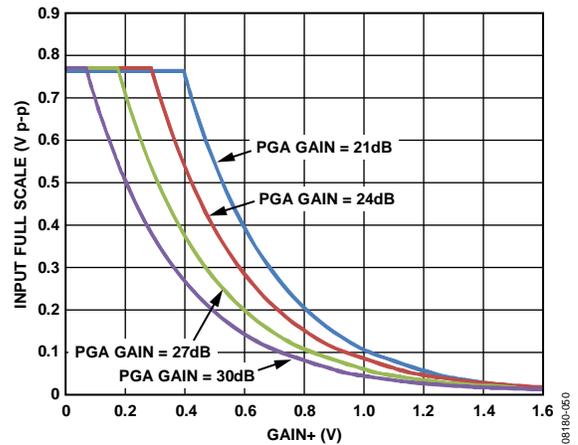


图56.LNA(15.6dB增益设置)/VGA满量程范围

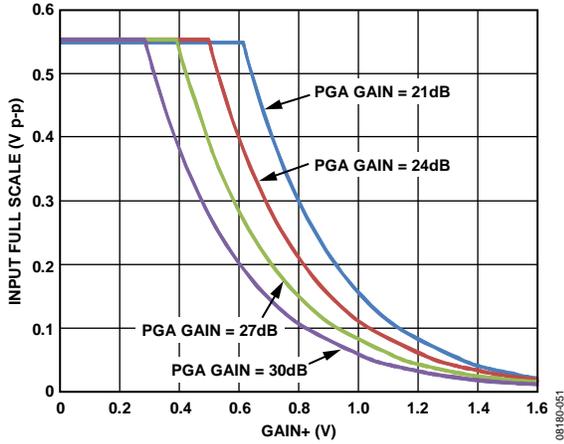


图57.LNA(17.9dB增益设置)/VGA满量程范围

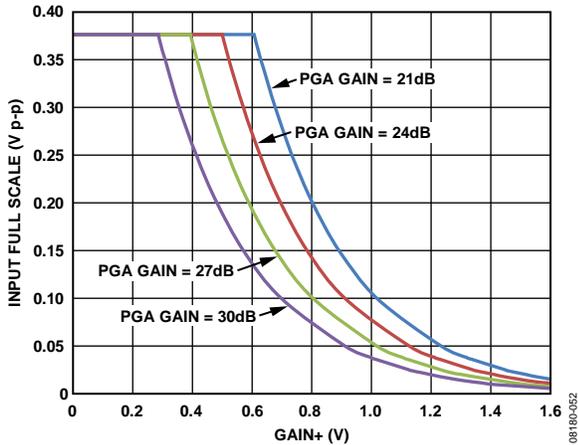


图58.LNA(21.3dB增益设置)/VGA满量程范围

可变增益放大器(VGA)

X-AMP差分VGA提供精确输入衰减和插值, 具有 $3.8 \text{ nV}/\sqrt{\text{Hz}}$ 低折合到输入端噪声和出色的增益线性。简化框图如图59所示。

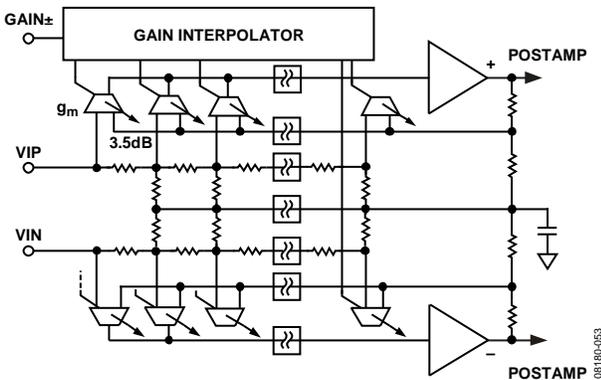


图59.VGA原理示意图

VGA的输入为14级差分电阻梯, 每抽头3.5 dB。由此产生的总增益范围是42 dB, 在端点损失范围之内。每侧的有效输入电阻标称值为 180Ω , 总差分电阻为 360Ω 。电阻梯由LNA的全差分输入信号驱动。LNA输出为直流耦合, 避免使用外部耦合电容。衰减器和VGA的共模电压受控于放大器, 该放大器采用从LNA中获得的相同中间电源, 允许LNA直流耦合至VGA, 不会于共模差异而产生较大的失调。但是, 随着增益的增加, LNA的任何失调都会被放大, 使VGA输出失调以指数规律增加。

X-AMP的输入级沿电阻梯分布, 一个由增益接口控制的偏置插值器决定输入抽头点。偏置电流存在重叠, 相继抽头的信号会合并以提供从 -42 dB 到 0 dB 的平滑衰减。这种电路技术可产生线性dB增益法则一致性和低失真水平, 仅偏离理想值 $\pm 0.5 \text{ dB}$ 或更少。增益斜率相对于控制电压单调无变化, 在过程、温度和电源供应发生变化时相对稳定。

X-AMP输入端为可编程增益反馈放大器的一部分, 使得VGA成为一个完整的器件。其带宽约为 100 MHz 。输入级设计用于降低输出馈通, 并确保整个增益设置范围具有出色的频率响应一致性。

增益控制

增益控制接口 $\text{GAIN}\pm$ 为差分输入端。通过插值器选择连接到输入衰减器的适当输入级, VGAIN 可以改变所有VGA的增益。对于 0.8 V GAIN- , 28.5 dB/V 标称 GAIN+ 范围为 0 V 至 1.6 V , 最佳增益线性度约为 0.16 V 至 1.44 V , 误差通常小于 $\pm 0.5 \text{ dB}$ 。 GAIN+ 电压大于 1.44 V 和低于 0.16 V 时, 误差增大。无增益折叠时, GAIN+ 值可超过电源电压 1 V 。

增益控制响应时间小于 750 ns , 是最小到最大增益变化最终值的10%。

GAIN+ 和 GAIN- 引脚可以用两种连接方式之一。可以使用单端法, 即开尔文连接至地, 如图60所示。用于驱动多个器件时, 最好使用差分法, 如图61所示。对于任何一种方法, GAIN+ 和 GAIN- 引脚均应直流耦合, 并驱动以适合 1.6 V 满量程输入。

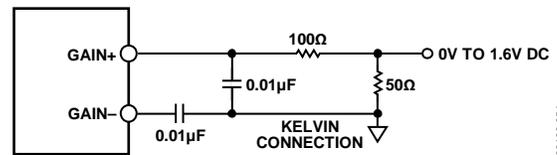


图60.单端 GAIN+ 、 GAIN- 引脚配置

AD9276

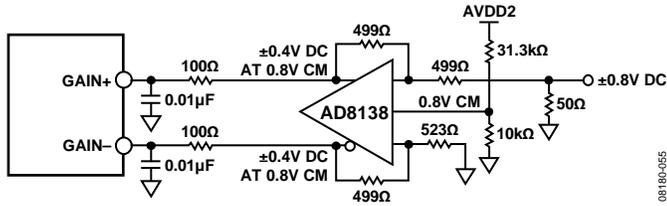


图61.差分GAIN+、GAIN-引脚配置

VGA噪声

典型应用中，VGA将宽动态范围输入信号调整至ADC输入范围内。LNA折合到输入端的噪声限制了最小可分辨输入信号；而折合到输出端噪声(主要取决于VGA)限制了最大瞬时动态范围，该范围可以在任何一个特定的增益控制电压下处理。折合到输出端的噪声范围根据ADC的总噪声底设置。

短路输入条件下，折合到输出端的噪声与GAIN+成函数关系，如图11、图12和图14所示。输入噪声电压等于输出噪声除以控制范围内每一点的测量增益。

在大部分增益范围内，因为以VGA折合到输出端的固定噪声为主，所以折合到输出端的噪声均为 $60 \text{ nV}/\sqrt{\text{Hz}}$ (后置放大器增益= 24 dB)。在增益控制范围高端部分，则主要是LNA噪声和源噪声。在最大增益控制电压附近，折合到输入端的噪声为最小值，而VGA折合到输入端的噪声贡献微乎其微。

较低增益时，折合到输入端的噪声以及噪声系数随着增益的下降而增加。系统的瞬时动态范围不会丢失，但是，因为折合到输入端的噪声增加，输入容量也随之增加。ADC噪声分布具有同样的相关性。重要的是，VGA输出噪声的幅度是相对于ADC的噪声的幅度而言的。

增益控制噪声在极低噪声应用中值得注意。增益控制接口的热噪声可以调制通道增益。由此产生的噪声与输出信号电平成正比，通常只有出现大信号时会很明显。增益接口包括片上噪声滤波器，该滤波器能显著降低5 MHz以上频率噪声的影响。应注意尽量减少GAIN±输入端的噪声冲击。外部RC滤波器可用于去除 V_{GAIN} 源噪声。滤波器带宽应足以满足所需的控制带宽。

抗混叠滤波器(AAF)

信号到达ADC之前，抗混叠滤波器用来抑制直流信号，并限制信号的带宽以达到抗混叠的目的。图62显示了滤波器的结构。

抗混叠滤波器由单极点高通滤波器和二阶低通滤波器组合而成。高通滤波器可配置为与低通滤波器截止频率成一定比例关系。可通过SPI进行选择。

该滤波器采用片上调谐来调整电容，进而设置所需的截止频率并减少变化。-3 dB低通滤波器的默认截止频率为ADC采样时钟速率的1/3或1/4.5。截止频率可通过SPI调整至该频率的0.7、0.8、0.9、1、1.1、1.2或1.3倍。截止频率范围可保持在8 MHz至18 MHz范围。

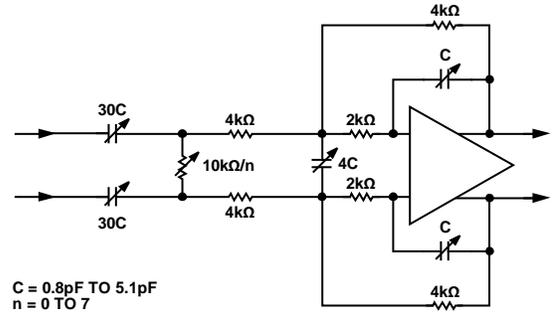


图62.抗混叠滤波器原理示意图

调谐通常关闭以免在关键时刻改变电容设置。调谐电路通过SPI使能和禁用。初始上电后，以及滤波器截止频率缩放比例或ADC采样率重新编程后，必须对滤波器调谐执行初始化。建议在空闲时间偶尔重新调整，以补偿温度漂移。

共有8个SPI可编程设置值，用户可以更改高通滤波器截止频率与低通截止频率的函数关系。表11所示为两个示例：一个是8 MHz低通截止频率，另一个是18 MHz低通截止频率。这两种情况下，低端频率的抑制量随比例下降而逐步增加。因此，使整个AAF频率通带变窄可以减少低频噪声，或者使谐波处理的动态范围最大。

表11.SPI可选的高通滤波器的截止频率选项

SPI设置	比例 ¹	高通滤波器截止频率	
		低通滤波器截止频率 = 8 MHz	低通滤波器截止频率 = 18 MHz
0	20.65	387 kHz	872 kHz
1	11.45	698 kHz	1.571 MHz
2	7.92	1.010 MHz	2.273 MHz
3	6.04	1.323 MHz	2.978 MHz
4	4.88	1.638 MHz	3.685 MHz
5	4.10	1.953 MHz	4.394 MHz
6	3.52	2.270 MHz	5.107 MHz
7	3.09	2.587 MHz	5.822 MHz

¹ 比例=低通滤波器的截止频率/高通滤波器的截止频率。

ADC

AD9276采用流水线式ADC架构。各级的量化输出组合在一起，在数字校正逻辑中形成一个12位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。然后将数据串行化，并使其与帧和输出时钟对齐。

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD9276采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。这两个引脚有内部偏置，无需其它偏置。

图63显示了为AD9276提供时钟信号的首选方法。使用RF变压器，可以将低抖动时钟源(如VFAC3-BHL-50 MHz Valpey Fisher振荡器)从单端转换成差分。跨接在次级变压器上的背对背肖特基二极管可以将输入AD9276中的时钟幅度限制为约0.8 V p-p差分信号。这样，既可以防止时钟的大电压摆幅馈通至AD9276的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

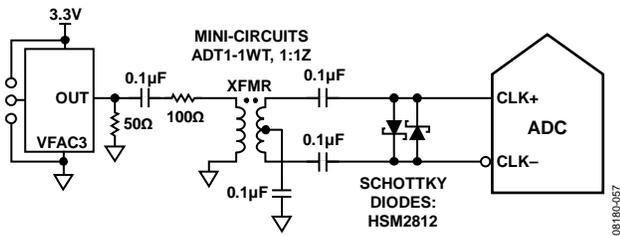
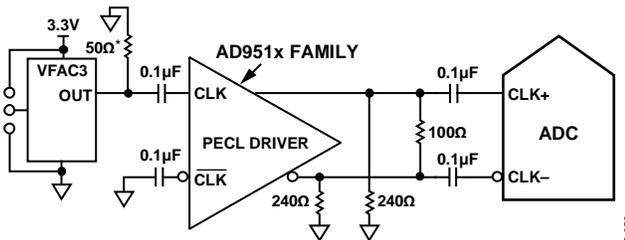


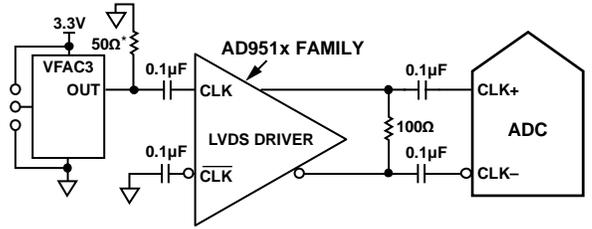
图63. 变压器耦合的差分时钟

如果有低抖动的时钟源，那么，另一种方法是对差分PECL信号进行交流耦合，并传输至采样时钟输入引脚(如图64所示)。AD951x系列时钟驱动器具有出色的抖动性能。



*50Ω RESISTOR IS OPTIONAL.

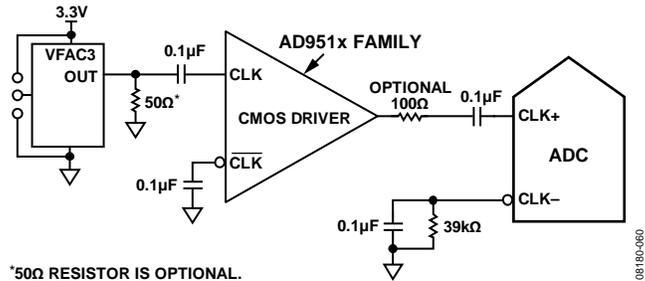
图64. 差分PECL采样时钟



*50Ω RESISTOR IS OPTIONAL.

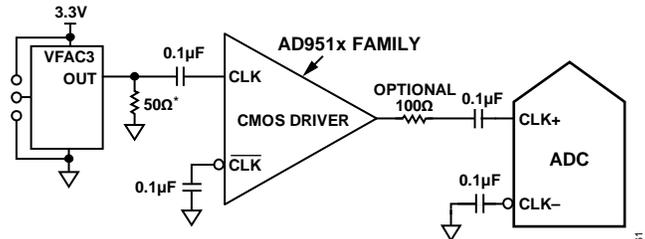
图65. 差分LVDS采样时钟

在某些应用中，可以利用单端CMOS信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由CMOS门电路驱动，CLK-引脚则通过与39 kΩ电阻并联的0.1 μF电容旁路接地(见图66)。虽然CLK+输入电路电源为AVDD1 (1.8 V)，但该输入电路可支持高达3.3 V的输入电压，因此，驱动逻辑的电压选择非常灵活。



*50Ω RESISTOR IS OPTIONAL.

图66. 单端1.8 V CMOS采样时钟



*50Ω RESISTOR IS OPTIONAL.

图67. 单端3.3 V CMOS采样时钟

时钟占空比考虑

典型的高速ADC利用两个时钟沿产生不同的内部定时信号。因此，这些ADC可能对时钟占空比很敏感。通常，为保持ADC的动态性能，时钟占空比容差应为5%。AD9276内置一个占空比稳定器(DCS)，可对非采样边沿进行重新定时，并提供标称占空比为50%的内部时钟信号。因此，时钟输入占空比范围非常广，且不会影响AD9276的性能。当DCS处于开启状态时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的。但是，有些应用可能要求关闭DCS功能。如果是这样，则在这种模式下工作时，应注意动态范围性能可能会受影响。有关使用此功能的更多详细信息，请参阅表18。

AD9276

占空比稳定器利用延迟锁定环(DLL)创建非采样边沿。因此，一旦采样频率发生变化，DLL就需要大约8个时钟周期来获取并锁定新的速率。

时钟抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_A)下，由于孔径抖动(t_j)造成的信噪比(SNR)下降计算公式如下：

$$SNR \text{ 下降幅度} = 20 \times \log_{10}(1/2 \times \pi \times f_A \times t_j)$$

公式中，均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动)的均方根。中频欠采样应用对抖动尤其敏感(见图68)。

当孔径抖动可能影响AD9276的动态范围时，应将时钟输入信号视为模拟信号。时钟驱动器电源应与ADC输出驱动器电源隔离，以免在时钟信号内混入数字噪声。低抖动、晶控振荡器为最佳时钟源，如Valpey Fisher VFAC3系列。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要最后在原始时钟进行重定时。

如需更深入了解与ADC相关的抖动性能信息，请参阅应用笔记AN-501和AN-756(访问www.analog.com)。

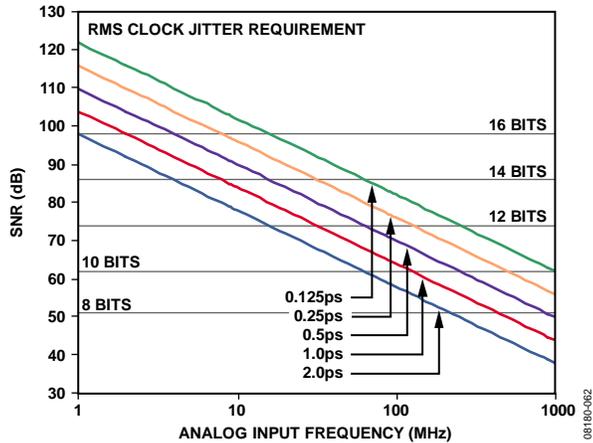


图68.理想信噪比与输入频率和抖动的关系

功耗和省电模式

如图69和图70所示，AD9276的功耗与其采样速率成比例关系。数字功耗变化不大，因为它主要由DRVDD电源和LVDS输出驱动器的偏置电流决定。

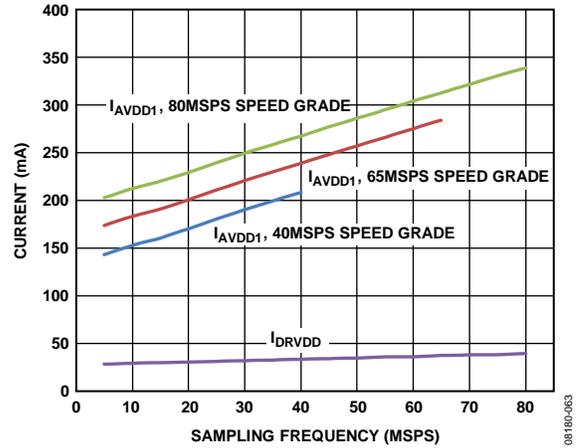


图69.电源电流与 f_{SAMPLE} 的关系($f_{IN} = 5 \text{ MHz}$)

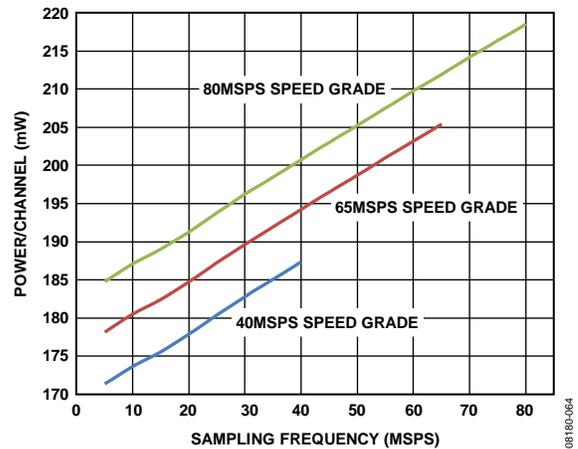


图70.每通道功耗与 f_{SAMPLE} 的关系($f_{IN} = 5 \text{ MHz}$)

AD9276具有可调整LNA偏置电流特性(见表18，寄存器0x12)。默认LNA偏置电流设置为高。图71显示每个偏置设置值时AVDD2电流减少的典型值。此外，LNA偏置设置为低时，建议使用寄存器0x10(见表18)调整LNA偏移。

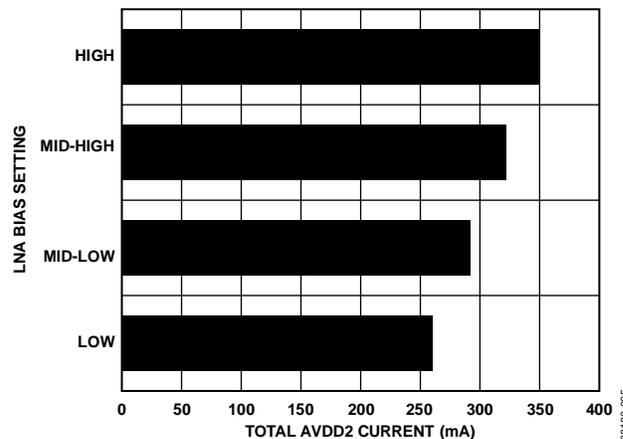


图71.不同LNA偏置设置下的AVDD2电流($f_{SAMPLE} = 40 \text{ MSPS}$)

将PDWN引脚置位高电平，可使AD9276进入省电模式。在这种状态下，器件的典型功耗为5 mW。在省电模式下，LVDS输出驱动器处于高阻抗状态。将PDWN引脚拉低时，AD9276返回正常工作模式。此引脚兼容1.8 V和3.3 V电压。

将STBY引脚置位高电平，可使AD9276进入待机模式。在这种状态下，器件的典型功耗为175 mW。待机状态下，除了内部基准电压源外，整个器件都断电。LVDS输出驱动器处于高阻抗状态。这种模式非常适合需要省电的应用，因为器件能够在不使用时关断，使用时迅速上电。器件再次上电的时间也大大缩短。将STBY引脚拉低时，AD9276返回正常工作模式。此引脚兼容1.8 V和3.3 V电压。

在省电模式下，通过关闭基准电压源、基准电压缓冲器、PLL和偏置网络，可实现低功耗。进入省电模式时，VREF上的去耦电容放电；返回正常工作模式时，去耦电容必须重新充电。因此，唤醒时间与处于省电模式的时间有关；处于省电模式的时间越短，则相应的唤醒时间越短。器件全面恢复运作需要约0.5毫秒的时间，建议在VREF引脚使用1 μ F和0.1 μ F的去耦电容，在GAIN \pm 引脚使用0.01 μ F的去耦电容。时间大多取决于增益去耦：GAIN \pm 引脚上的去耦电容值越高，唤醒时间越长。

使用SPI端口接口时，可以使用一些其它省电选项。用户可以分别关断各通道，或者将整个器件置于待机模式。如需较短的唤醒时间，可以使用待机模式，使内部PLL处于通电状态。唤醒时间跟增益有一定的关系。当器件处于待机模式时，要达到1 μ s的唤醒时间，GAIN \pm 引脚必须施加0.8 V的电平。有关使用这些功能的更多详细信息，请参阅表18。

数字输出和时序

采用默认设置上电时，AD9276差分输出符合ANSI-644 LVDS标准。通过SPI接口，用寄存器0x14第6位，可以将它更改为低功耗、减少信号选项(类似于IEEE 1596.3标准)。这种LVDS标准可以将器件的总功耗进一步降低约36 mW。

LVDS驱动器电流来自芯片，并将各输出端的输出电流设置为标称值3.5 mA。LVDS接收器输入端有一个100 Ω 差分端接电阻，因此接收器摆幅标称值为350 mV。

AD9276 LVDS输出便于与具有LVDS能力的定制ASIC和FPGA中的LVDS接收器连接，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将100 Ω 端接电阻尽可能靠近接收器放置。如果没有远端接收器端接电阻，或者差分线布线不佳，可能会导致时序错误。建议走线长度不要超过24英寸，差分输出走线应尽可能彼此靠近且长度相等。图72显示了一个走线长度和位置适当的FCO、DCO和数据流示例。

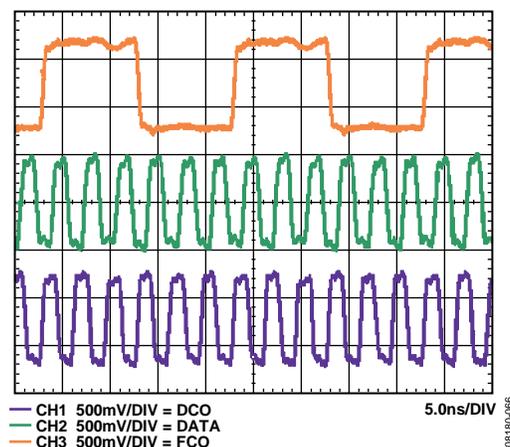


图72.LVDS输出时序示例(默认ANSI-644模式下)

图73显示使用ANSI-644标准(默认)数据眼图的LVDS输出示例和时间间隔误差(TIE)抖动直方图，其中走线长度小于24英寸，并采用标准FR-4材料。图74显示走线长度超过24英寸、采用标准FR-4材料的示例。请注意，从TIE抖动直方图可看出，数据眼图开口随着边沿偏离理想位置而减小；因此，走线长度超过24英寸时，用户必须确定波形是否满足设计的时序预算要求。

附加SPI选项允许用户进一步提高所有8路输出的内部端接电阻(因而提高电流)，从而驱动更长的走线(见图75)。虽然这会在数据边沿上产生更陡的上升和下降时间，更不容易发生比特错误，并且改善了频率分布(见图75)，但使用此选项会提高DRVDD电源的功耗。

如果因为负载不匹配而要求提高DCO \pm 和FCO \pm 输出的驱动器强度，用户可以通过设置寄存器0x15中的位0，将驱动强度提高一倍(2x)。注意，此功能不能使用寄存器0x15的位[5:4]，因为这些位优先于此功能。详情参见表18。

AD9276

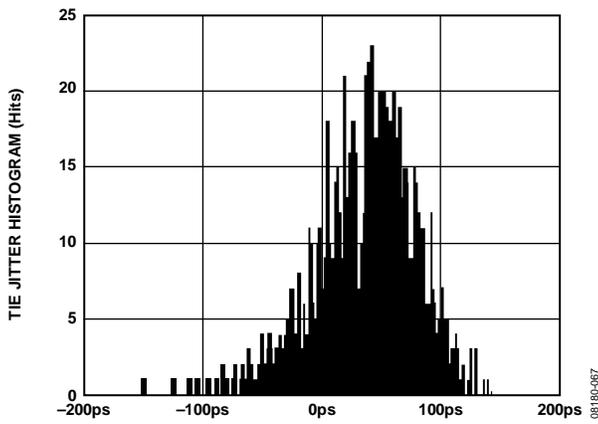
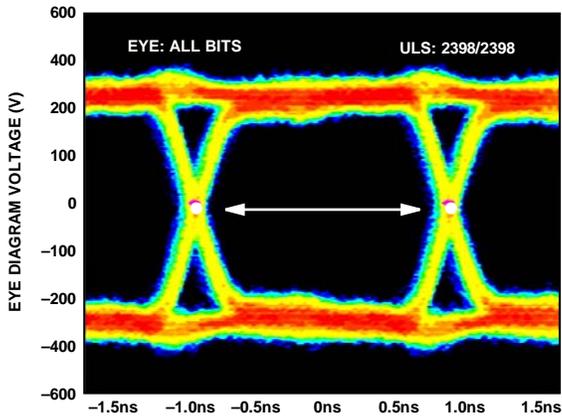


图73.VDS输出的数据眼(ANSI-644模式, 走线长度小于24英寸, 标准FR-4)

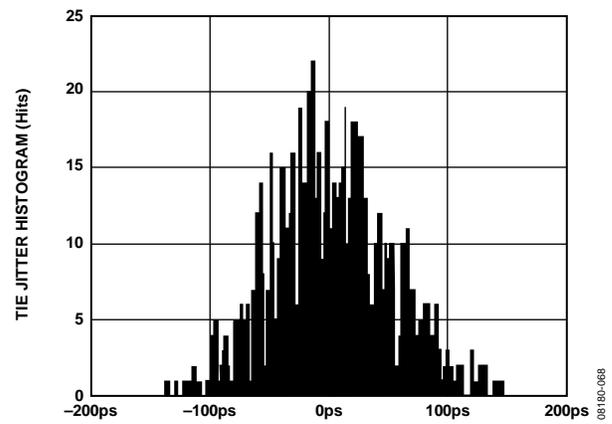
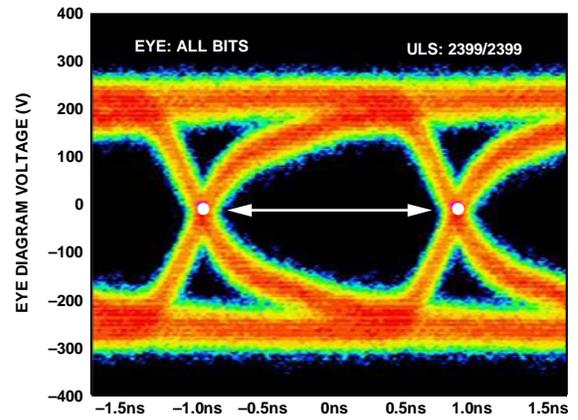


图74.VDS输出的数据眼(ANSI-644模式, 走线长度大于24英寸, 标准FR-4)

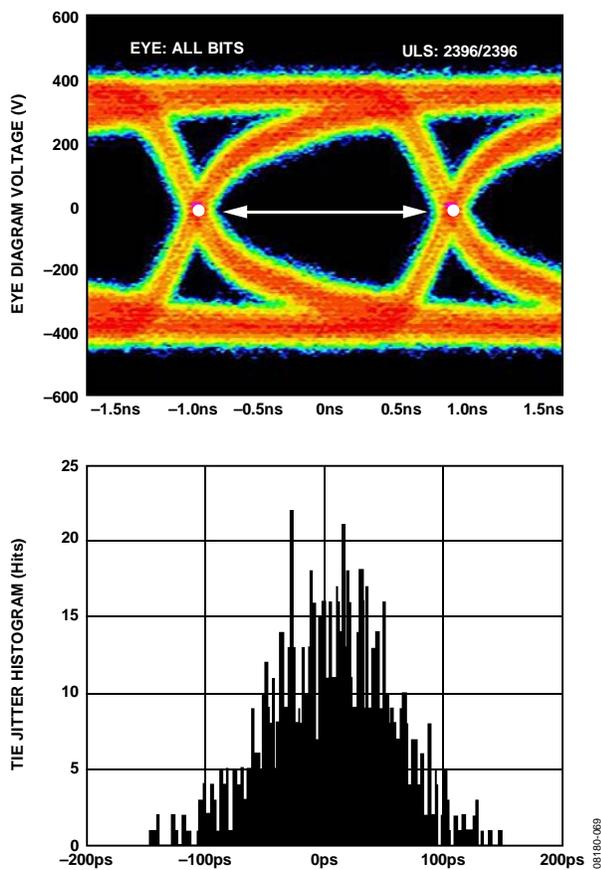


图75.LVDS输出的数据眼(ANSI-644模式, 100Ω端接电阻, 走线长度大于24英寸, 标准FR-4)

输出数据格式默认为偏移二进制。表12提供了输出编码格式的示例。若要将输出数据格式变为二进制补码, 请参阅存储器映射部分。

表12.数字输出码

代码	(V_{IN+}) - (V_{IN-}), 输入范围= 2 V p-p (V)	数字输出偏移 二进制(D11至D0)
4095	+1.00	1111 1111 1111
2048	0.00	1000 0000 0000
2047	-0.000488	0111 1111 1111
0	-1.00	0000 0000 0000

来自各ADC的数据经过串行化后, 通过不同的通道产生。每个串行流的数据速率等于12位乘以采样时钟速率, 最大值为960 Mbps(12位 × 80 MSPS = 960 Mbps)。最低典型转换速率为10 MSPS, 但如果特定应用需较低的采样速率, PLL可以通过SPI设置低至5 MSPS的编码速率。有关启用此功能的详细信息, 请参阅表18。

为了帮助从AD9276捕捉数据, 器件提供了2个输出时钟。DCO±用来为输出数据定时, 它等于采样时钟速率的6倍。数据逐个从AD9276输出, 必须在DCO±的上升沿和下降沿进行捕捉; DCO±支持双倍数据速率(DDR)捕捉。帧时钟输出(FCO±)用于指示新输出字节的开始, 它与采样时钟速率相等。更多信息参见图2所示的时序图。

使用SPI时, DCO±相位可以相对于数据边沿以60°增量进行调整。这样, 用户可以根据需要优化系统时序余量。DCO±默认时序相对于输出数据边沿为180°, 如图2所示。

还可以从SPI启动8、10或14位串行流。这样, 用户就可以实现不同串行流并测试与更低和更高分辨率系统的兼容性。当分辨率变为8位或10位串行流时, 数据流缩短。当使用14位选项时, 数据流会在正常12位串行数据的末尾填充两个0。

使用SPI时, 通过设置输出模式寄存器(地址0x14)的位2, 所有的数据输出也可以从其标准状态反转。这种方式不要与串行流反转到LSB优先模式相混淆。在默认模式下, 如图2所示, 数据输出串行流首先输出MSB。但是, 可以将该顺序反转, 使数据输出串行流首先输出LSB(见图3)。

通过SPI可以启动的数字输出测试码选项有12个。当验证接收器捕捉和时序功能时, 这个功能很有用。可用的输出位序列选项参见表13。一些测试码有两个串行序列字, 可以通过各种方式进行交替, 具体取决于所选的测试码。注意有些测试码可能并不遵守数据格式选择选项。此外, 可以在0x19至0x1C寄存器地址中指定用户定义的测试码。除PN短序列和PN长序列以外, 其它测试模式都支持8到14位字长, 以便验证接收器的数据捕捉是否成功。

PN短序列测试码产生一个伪随机位序列, 每隔 $2^9 - 1$ 位或511位重复一次。关于PN短序列的说明以及如何产生, 请参阅ITU-T O.150 (05/96)标准的第5.1部分。唯一的不同在于起始值是一个特定值, 而不是全1(初始值见表14)。

表13.灵活的输出测试模式

输出测试模式位序列	测试码名称	数字输出字1	数字输出字2	接受数据格式选择
0000	关闭(默认)	不适用	不适用	不适用
0001	中间电平短码	1000 0000 0000	相同	是
0010	+满量程短码	1111 1111 1111	相同	是
0011	-满量程短码	0000 0000 0000	相同	是
0100	棋盘形式	1010 1010 1010	0101 0101 0101	否
0101	PN长序列	不适用	不适用	是
0110	PN短序列	不适用	不适用	是
0111	1/0字反转	1111 1111 1111	0000 0000 0000	否
1000	用户输入	寄存器0x19和寄存器0x1A	寄存器0x1B和寄存器0x1C	否
1001	1/0位反转	1010 1010 1010	不适用	否
1010	1×同步	0000 0011 1111	不适用	否
1011	1位高电平	1000 0000 0000	不适用	否
1100	混合位频率	1010 0011 0011	不适用	否

PN长序列测试码产生一个伪随机位序列，每隔 $2^{23} - 1$ 位或8,388,607位重复一次。关于PN长序列的说明以及如何产生，请参阅ITU-T O.150 (05/96)标准的第5.6部分。不同之处在于起始值是一个特定值，而不是全1，并且AD9276会根据ITU-T标准反转位流(初始值见表14)。

表14.PN短序列

时序	初始值	前三个采样输出(MSB优先)
PN短序列	0x0DF	0xDF9, 0x353, 0x301
PN长序列	0x29B80A	0x591, 0xFD7, 0x0A3

有关如何通过SPI更改这些附加数字输出时序特性的信息，请参阅“存储器映射”部分。

SDIO引脚

此引脚用于运行SPI。它内置30 kΩ下拉电阻，可拉低该引脚。引脚仅兼容1.8 V电压。如果应用要求以3.3 V逻辑电平驱动此引脚，则应在此引脚上串联一个1 kΩ电阻以限制电流。

SCLK引脚

此引脚用于运行SPI端口接口。它内置30 kΩ下拉电阻，可拉低该引脚。引脚兼容1.8 V和3.3 V电压。

CSB引脚

此引脚用于运行SPI端口接口。它内置70 kΩ上拉电阻，可拉高该引脚。引脚兼容1.8 V和3.3 V电压。

RBIAS引脚

为了设置ADC的内核偏置电流，应在RBIAS引脚上串联一个接地电阻(标称值10.0 kΩ)。建议使用10.0 kΩ电阻，若使用其它电阻作为RBIAS会降低器件的性能。因此，要实现稳定的性能，至少应使用1%容差的电阻。

基准电压源

AD9276内置稳定、精确的0.5 V基准电压源。基准电压在内部放大2倍，将VREF设置为1.0 V，因此ADC的满量程差分输入范围为2.0 V p-p。VREF默认为内部设置，但也可以用1.0 V外部基准电压源驱动VREF引脚，以便提高精度。不过，AD9276不支持低于2.0 V p-p的ADC满量程范围。

对VREF引脚应用去耦电容时，应采用低ESR陶瓷电容。这些电容应靠近基准引脚，并与AD9276处于同一层PCB。VREF引脚应该有一个0.1 μF的电容和一个1 μF的电容并联至模拟地。建议ADC采用这些电容值以妥善建立和获得下一个有效采样。

基准电压源设置可以使用SPI来选择。设置允许两种选择：使用内部基准电压源或外部基准电压源。内部基准电压源选项为默认设置，相应的差分范围为2 V p-p。

表15.SPI可选择的基准电压设置

SPI选择模式	相应的VREF (V)	相应的差分范围(V p-p)
外部基准电压源	不适用	2 × 外部基准电压
内部基准电压源(默认)	1.0	2.0

串行端口接口(SPI)

AD9276串行端口接口允许用户利用芯片内部的一个结构化寄存器空间来配置信号链，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间，以及对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如“存储器映射”部分所述。如需了解详细操作信息，请参阅ADI应用笔记AN-877：“通过SPI与高速ADC接口”。

定义串行端口接口(SPI)的是以下三个引脚：SCLK、SDIO和CSB(见表16)。SCLK(串行时钟)引脚用于同步提供给器件的读出和写入数据。SDIO(串行数据输入/输出)双功能引脚允许将数据发送至内部器件存储器映射寄存器或从寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表16.串行端口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入。SCLK用来使串行接口的读写操作同步。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号(低电平有效)。用来控制读写周期的选通。

CSB的下降沿与SCLK的上升沿共同决定帧序列的开始。在指令周期传输一条16位指令，然后是一个或多个数据字节，由位域W0和W1决定。图76为串行时序图示例，相应的定义见表17。

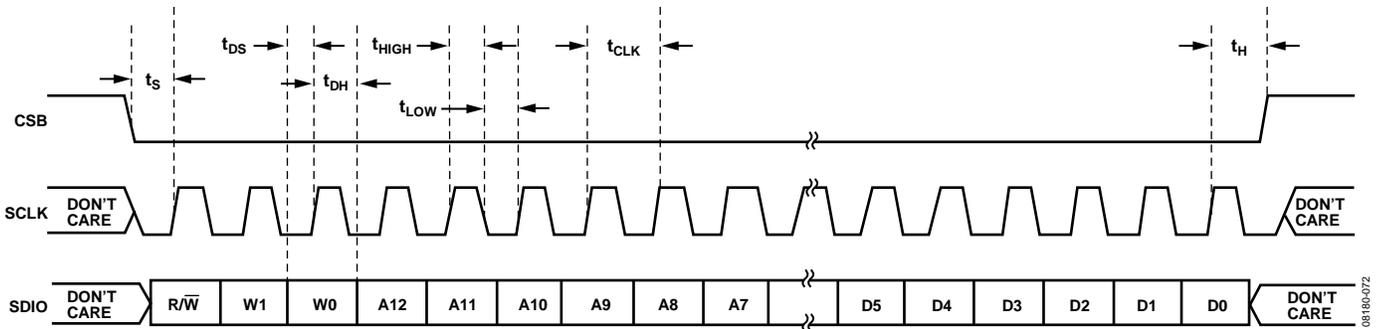


图76.串行时序详图

表17.串行时序定义

参数	时序(最小值, ns)	说明
t_{DS}	5	数据与SCLK上升沿之间的建立时间
t_{DH}	2	数据与SCLK上升沿之间的保持时间
t_{CLK}	40	时钟周期
t_s	5	CSB与SCLK之间的建立时间
t_H	2	CSB与SCLK之间的保持时间
t_{HIGH}	16	SCLK应处于逻辑高电平状态的最短时间
t_{LOW}	16	SCLK应处于逻辑低电平状态的最短时间
t_{EN_SDIO}	10	相对于SCLK下降沿，SDIO引脚从输入状态切换到输出状态所需的最短时间(图76未显示)
t_{DIS_SDIO}	10	相对于SCLK上升沿，SDIO引脚从输出状态切换到输入状态所需的最短时间(图76未显示)

正常工作时，CSB用来告知器件准备接收和处理SPI命令。当CSB被拉低时，器件通过SCLK和SDIO来执行指令。一般而言，CSB将一直保持低电平，直到通信周期结束。然而，如果与慢速器件相连，可以在两个字节之间拉高CSB，使老式微控制器有足够的时间将数据传输至移位寄存器。当传输一个、两个或三个字节的的数据时，CSB可以保持不变。当W0和W1设置为11时，器件进入流模式并继续处理数据(读出或写入)，直到CSB被拉高以结束通信周期。这样就可以传输整个存储器而无需额外的指令。无论何种模式，如果CSB在字节传输期间被拉高，则SPI状态机复位，器件等待新的指令。

除了操作模式之外，可配置SPI端口以不同的方式操作。对于不需要控制端口的应用，CSB线可以连接并保持高电平。这将把其余SPI引脚置于其第二模式(见应用笔记AN-877)。CSB也可以接低电平，以使能双线模式。当CSB接低电平时，通信只需要SCLK和SDIO引脚。虽然器件在上电期间已同步，但在使用双线模式时，应注意确保串行端口仍然与CSB线同步。在双线模式下，建议仅使用1、2或3字节传输。无有效CSB线的情况下，可以进入但无法退出流模式。

除了字长，指令阶段还决定串行帧是读操作指令还是写操作指令，从而通过串行端口对芯片编程或读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SDIO)引脚的数据传输方向，在串行帧的一定位置由输入改为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过调整配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。

硬件接口

表16中所描述的引脚构成用户编程器件与AD9276的串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

如果多个SDIO引脚共用一个连接，应注意确保其达到正确的 V_{OH} 电平。假设每个AD9276的负载相同，图77显示了可以连在一起的SDIO引脚数量以及相应的 V_{OH} 电平。

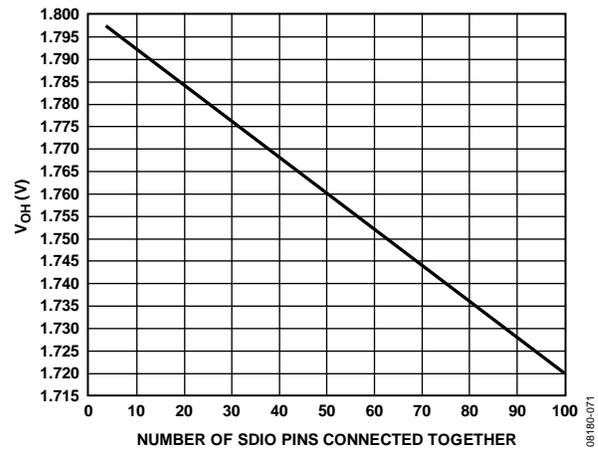


图77.SDIO引脚负载

SPI接口非常灵活，串行PROM或PIC微控制器均可控制该接口，因而除了完整SPI控制器之外，用户还可以使用其它方法对器件编程(参阅应用笔记AN-812)。

存储器映射

读取存储器映射表

存储器映射寄存器表的每一行有8位。存储器映射大致分为三个部分：芯片配置寄存器映射(地址0x00至地址0x02)、器件索引和传送寄存器映射(地址0x04至0xFF)以及程序寄存器映射(地址0x08至地址0x2D)。

存储器映射的第一栏显示寄存器地址号码，倒数第二栏显示默认值。位7 (MSB)栏为给定十六进制默认值的起始位。例如，地址0x09(时钟寄存器)的默认值为0x01，表示位7=0、位6=0、位5=0、位4=0、位3=0、位2=0、位1=0、位0=1，或者0000 0001(二进制)。此设置是占空比稳定器在开启状态下的默认值。通过向该地址的位0写入0，然后在寄存器0xFF(传送位)写入的0x01之后至，关闭占空比稳定器。在每个写入序列后对传送位写入1以更新SPI寄存器，这点很重要。

除了寄存器0x00、0x02、0x04、0x05和0xFF之外的所有寄存器都利用主从锁存器进行缓冲，并要求对传送位写入1。如需了解更多关于该功能及其它功能的信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。

保留位置

不得写入未定义的存储器位置，除非写入本数据手册建议的默认值。值标示为0的地址应被视为保留地址，上电期间应将0写入其寄存器。

默认值

复位后，关键寄存器自动加载默认值。表18显示了这些值，其中X表示未定义的特性。

逻辑电平

以下是逻辑电平的说明：“置位”是指将某位设置为逻辑1或向某位写入逻辑1。类似地，“清除位”是指将某位设置为逻辑0或向某位写入逻辑0。

AD9276

表18AD9276存储器映射寄存器

地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	注释	
芯片配置寄存器												
0x00	chip_port_config	0	LSB优先 1 = 开 0 = 关 (默认)	软复位 1 = 开 0 = 关 (默认)	1	1	软复位 1 = 开 0 = 关 (默认)	LSB优先 1 = 开 0 = 关 (默认)	0	0x18	半字节之间应建立镜像关系,使得无论在何种移位模式下,均能正确设置LSB优先或MSB优先模式。	
0x01	chip_id	芯片ID位[7:0] (AD9276 = 0x72, 默认)										默认值为唯一芯片ID,各器件均不相同。只读寄存器。
0x02	chip_grade	X	X	子ID [5:4] (在芯片ID下确定器件等级) 00: 模式I (40 MSPS)(默认) 01: 模式II (65 MSPS) 10: 模式III (80 MSPS)		X	X	X	X	0x00	子ID用来区分ADC速度功耗模式。	
器件索引和传送寄存器												
0x04	device_index_2	X	X	X	X	数据通道H 1 = 开 (默认) 0 = 关	数据通道G 1 = 开 (默认) 0 = 关	数据通道F 1 = 开 (默认) 0 = 关	数据通道E 1 = 开 (默认) 0 = 关	0x0F	设置这些位以决定哪一个片内器件接收下一个写命令。	
0x05	device_index_1	X	X	时钟通道DCO± 1 = 开 0 = 关 (默认)	时钟通道FCO± 1 = 开 0 = 关 (默认)	数据通道D 1 = 开 (默认) 0 = 关	数据通道C 1 = 开 (默认) 0 = 关	数据通道B 1 = 开 (默认) 0 = 关	数据通道A 1 = 开 (默认) 0 = 关	0x0F	设置这些位以决定哪一个片内器件接收下一个写命令。	
0xFF	device_update	X	X	X	X	X	X	X	软件传输 1 = 开 0 = 关 (默认)	0x00	从主移位寄存器向从移位寄存器同步传输数据。	
程序功能寄存器												
0x08	模式	X	X	X	LNA输入阻抗 1 = 5 kΩ 0 = 15 kΩ (默认)	0	内部省电模式 000 = 芯片运行(默认) 001 = 完全关断 010 = 待机 011 = 复位 100 = CW模式(TGC PDWN)			0x00	决定芯片运行的一般工作模式(全局)。	
0x09	时钟	X	X	X	X	X	X	X	DCS 1 = 开 (默认) 0 = 关	0x01	打开和关闭内部占空比稳定器(DCS)(全局)。	
0x0D	test_io	用户测试模式 00 = 关(默认) 01 = 开, 单一交替 10 = 开, 单一一次 11 = 开, 交替一次		产生复位PN长序列 1 = 开 0 = 关 (默认)	产生复位PN短序列 1 = 开 0 = 关 (默认)	输出测试模式——见表13 0000 = 关(默认) 0001 = 中间电平短码 0010 = +FS短码 0011 = -FS短码 0100 = 棋盘形式输出 0101 = PN长序列 0110 = PN短序列 0111 = 1/0字反转 1000 = 用户输入 1001 = 1/0位反转 1010 = 1×同步 1011 = 1位高电平 1100 = 混合位频率 (格式由output_mode决定)				0x00	设置此寄存器后,测试数据将取代正常数据被置于输出引脚上。(局部,PN序列除外。)	
0x0E	GPO输出	X	X	X	X	通用数字输出				0x00	各值置于GPO[0:3]引脚上(全局)。	

地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	注释
0x0F	flex_channel_input	滤波器截止频率控制 0000 = $1.3 \times 1/3 \times f_{\text{SAMPLE}}$ 0001 = $1.2 \times 1/3 \times f_{\text{SAMPLE}}$ 0010 = $1.1 \times 1/3 \times f_{\text{SAMPLE}}$ 0011 = $1.0 \times 1/3 \times f_{\text{SAMPLE}}$ (默认) 0100 = $0.9 \times 1/3 \times f_{\text{SAMPLE}}$ 0101 = $0.8 \times 1/3 \times f_{\text{SAMPLE}}$ 0110 = $0.7 \times 1/3 \times f_{\text{SAMPLE}}$ 1000 = $1.3 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1001 = $1.2 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1010 = $1.1 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1011 = $1.0 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1100 = $0.9 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1101 = $0.8 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1110 = $0.7 \times 1/4.5 \times f_{\text{SAMPLE}}$				X	X	X	X	0x30	抗混叠滤波器截止频率(全局)。
0x10	flex_offset	X	X	6位LNA失调调节 10 0000用于LNA偏置高、中高、中低(默认) 10 0001用于LNA偏置低					0x20	LNA强制失调校正(局部)。	
0x11	flex_gain	X	X	X	X	PGA增益 00 = 21 dB 01 = 24 dB(默认) 10 = 27 dB 11 = 30 dB		LNA增益 00 = 15.6 dB 01 = 17.9 dB 10 = 21.3 dB (默认)		0x06	LNA和PGA增益调整(全局)。
0x12	bias_current	X	X	X	X	1	X	LNA偏置 00 = 高(默认) 01 = 中高 10 = 中低 11 = 低		0x08	LNA偏置电流调整(全局)。
0x14	output_mode	X	0 = LVDS ANSI-644 (默认) 1 = LVDS 低功耗 (类似于 IEEE 1596.3)	X	X	X	输出反相使能 1 = 开 0 = 关 (默认)	数据格式选择 00 = 偏移二进制 (默认) 01 = 二进制补码		0x00	配置输出和数据的格式(位[7:3]和位[1:0]为全局;位2为局部)。
0x15	output_adjust	X	X	输出驱动器端接 00 = 无(默认) 01 = 200 Ω 10 = 100 Ω 11 = 100 Ω		X	X	X	DCO±和FCO ±2倍驱动强度 1 = 开 0 = 关 (默认)	0x00	决定LVDS或其它输出属性。主要功能是设置LVDS范围和共模电平,代替外部电阻(位[7:1]为全局;位0为局部)。
0x16	output_phase	X	X	X	X	0011 = 输出时钟相位调整 (0000至1010) (默认: 相对于数据边沿为180°) 0000 = 相对于数据边沿为0° 0001 = 相对于数据边沿为60° 0010 = 相对于数据边沿为120° 0011 = 相对于数据边沿为180° 0100 = 相对于数据边沿为240° 0101 = 相对于数据边沿为300° 0110 = 相对于数据边沿为360° 0111 = 相对于数据边沿为420° 1000 = 相对于数据边沿为480° 1001 = 相对于数据边沿为540° 1010 = 相对于数据边沿为600° 1011至1111 = 相对于数据边沿为660°				0x03	用于利用全局时钟分频的器件上,决定使用分频器输出的哪一个相位来提供输出时钟。内部锁存不受影响。
0x18	flex_vref	X	0 = 内部基准电压源 1 = 外部基准电压源	X	X	X	X	X	X	0x00	选择内部基准电压源(推荐的默认值)或外部基准电压源(全局)。

AD9276

地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	注释
0x19	user_patt1_lsb	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码1, LSB(全局)。
0x1A	user_patt1_msb	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码1, MSB(全局)。
0x1B	user_patt2_lsb	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码2, LSB(全局)。
0x1C	user_patt2_msb	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码2, MSB(全局)。
0x21	serial_control	LSB优先 1 = 开 0 = 关 (默认)	X	X	X	<10 MSPS, 低编码 速率 模式 1 = 开 0 = 关 (默认)	串行位流长度 000 = 12位(默认, 正常位流) 001 = 8位 010 = 10位 011 = 12位 100 = 14位			0x00	串行流控制(全局)。
0x22	serial_ch_stat	X	X	X	X	X	X	通道输出复位 1 = 开 0 = 关 (默认)	通道掉电 1 = 开 0 = 关 (默认)	0x00	用来关断转换器的各个部分(局部)。
0x2B	flex_filter	X	使能自动 低通调谐 1 = 开 (自清零)	X	X	高通滤波器截止频率 0000 = $f_{LP}/20.7$ 0001 = $f_{LP}/11.5$ 0010 = $f_{LP}/7.9$ 0011 = $f_{LP}/6.0$ 0100 = $f_{LP}/4.9$ 0101 = $f_{LP}/4.1$ 0110 = $f_{LP}/3.5$ 0111 = $f_{LP}/3.1$			0x00	滤波器截止频率(全局)。(f_{LP} = 低通滤波器截止频率。)	
0x2C	analog_input	X	X	X	X	X	X	LO-x、LOSW-x连接 00 = (-)LNA输出, 高阻态 01 = (-)LNA输出, (-)LNA输出 10 = (-)LNA输出, (+)LNA输出 11 = 高-Z, 高-Z		0x00	LNA有源端接/输入阻抗(全局)。
0x2D	CW多普勒I/Q解调器相位	X	X	X	CW多普勒通道使能 1 = 开 0 = 关	I/Q解调器相位 0000 = 0° 0001 = 22.5° 0010 = 45° 0011 = 67.5° 0100 = 90° 0101 = 112.5° 0110 = 135° 0111 = 157.5° 1000 = 180° 1001 = 202.5° 1010 = 225° 1011 = 247.5° 1100 = 270° 1101 = 292.5° 1110 = 315° 1111 = 337.5°				相位(局部)。	

应用信息

电源和接地建议

建议使用两个独立的1.8 V电源为AD9276供电：一个用于模拟端(AVDD)，一个用于数字端(DRVDD)。如果仅提供一个1.8 V电源，则应先连接到AVDD1引脚，然后分接出来，并用铁氧体磁珠或滤波扼流圈及去耦电容隔离，再连接到DRVDD引脚。用户应针对所有电源使用多个去耦电容以适用于高频和低频。去耦电容应放置在接近PCB入口点和接近器件的位置，并尽可能缩短走线长度。

AD9276仅需要一个PCB接地层。只要对PCB的模拟、数字和时钟部分进行适当地去耦和巧妙地分隔，就能轻松实现最佳性能。

裸露焊盘散热块建议

为获得最佳的AD9276电气性能和散热性能，必须将器件底部的裸露焊盘连接至模拟地。PCB上裸露的连续铜平面应与AD9276的裸露焊盘(引脚0)匹配。铜平面上应有多个通孔，获得尽可能低的热阻路径以通过PCB底部进行散热。这些通孔应采用焊料填充，或者用绝缘环氧化物堵塞。

为了最大化地实现器件与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层或阻焊膜，以便将连续铜平面划分为多个均等的部分。这样，在回流焊过程中，可在AD9276与PCB之间提供多个连接点，而一个无分割的连续层只能保证一个连接点。可以参考图78所示的PCB布局布线范例。如需了解有关封装和PCB板布局的详情，请参阅应用笔记AN-772“LFCSP封装设计与制造指南”(www.analog.com)。

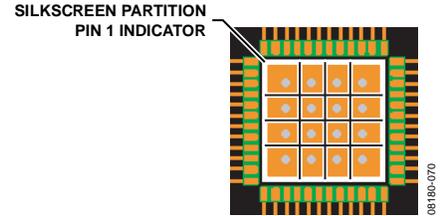
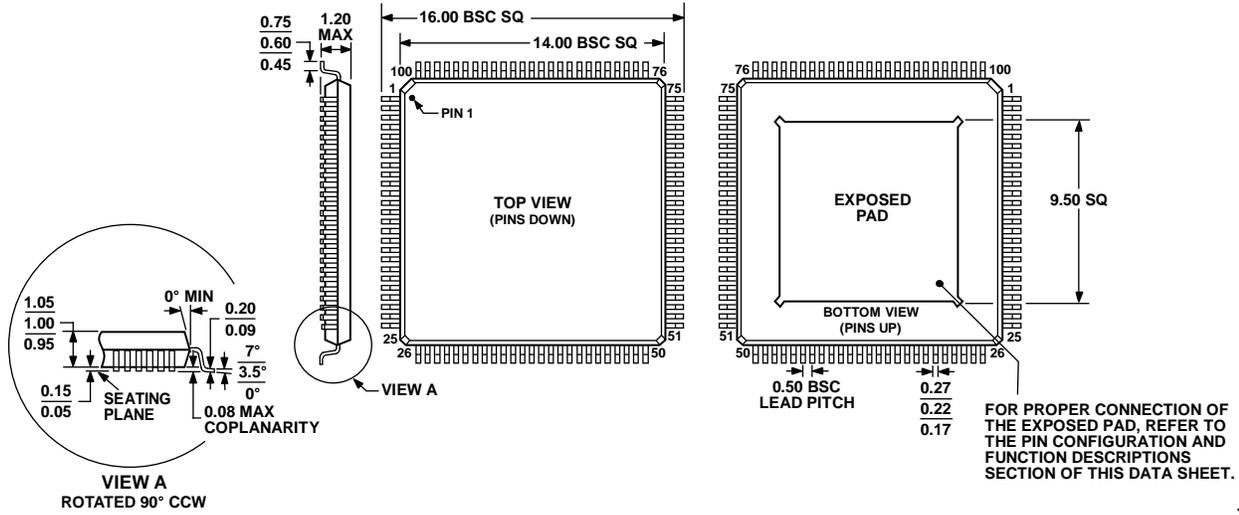


图78.典型PCB布局

AD9276

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-AED-HD
图79100引脚裸露焊盘超薄四方扁平封装 [TQFP_EP]
(SV-100-3)
图示尺寸单位: mm

100908-A

订购指南

型号	温度范围	封装描述	封装选项
AD9276BSVZ ¹	-40°C至+85°C	100引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-100-3
AD9276-65EBZ ¹		评估板	
AD9276-80KITZ ¹		评估板和高速FPGA数据采集板	

¹ Z = 符合RoHS标准的器件。

注释

AD9276

注释